

## High-k ゲート絶縁膜を用いた CMOS の開発 (14 point)

### Development of CMOS with High-K gate Oxide (14 point)

絶縁膜 太郎<sup>1</sup> 電極 二郎<sup>2</sup> (11 point)

1 ???大学 〒305-0044 茨城県つくば市 123-1

2 ???株式会社 ???研究所 〒305-0044 茨城県つくば市 123-1

Taro Zetsuenmaku<sup>1</sup>, Jiro Denkyoku<sup>2</sup>

1 ??? University, 123-1 Tsukub, Ibaraki 305-0044, Japan

2 ??? Co. Ltd., 123-1 Tsukuba, Ibaraki 305-0044, Japan

Tel: + 81-29-860-4???, Fax: + 81-29-860-4??? (e-mail: Zetsuenmaku@???.jp)

#### **Abstract**

CMOS with high-k dielectric were developed by using gate-last process or gate-first process. In near future, ...----- (12 point)

**Abstract は英文**

#### 1. はじめに (11 point)

高誘電率ゲート絶縁膜(high-k)を用いた CMOS は、ゲートファストプロセス或いはゲートラストプロセスで.....

#### 2. 実験条件

p型シリコン基板(100)に HfO<sub>2</sub>膜を ALD 法で作製した。

**中略**

#### 4. まとめ

ゲートファストプロセスでは従来プロセスを踏襲できる利点が、..... ..  
... ..

Fig.1 Schematic illustration of CMOS structure (12 point)

本研究は、???によってサポートされた。

**Figure Caption は英文**

#### 3. 結果

## References

- [1] T. Zetsuenmaku et al., *Symp.on VLSI tech*, pp. 111-112, 2011

原稿は4ページまで