

Semiconductor, packaging

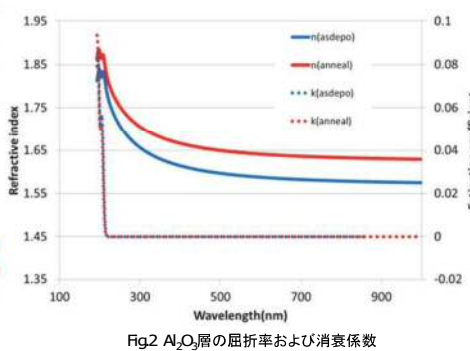
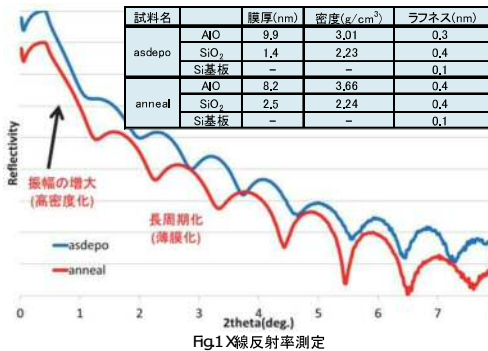
# 半導体・実装

Technical Notes

# 極薄膜の膜質および界面非破壊評価

近年の半導体材料は薄膜化且つ、原子層レベルでの精密な制御が行われており、膜質や界面の僅かな違いを、より正確に評価する方法が求められている。そこで今回は $\text{Al}_2\text{O}_3$ 薄膜の熱処理前後における変化について、非破壊分析手法により多角的にアプローチした事例を紹介する。

## XRR[膜厚、密度、界面]、分光エリプソメトリー(S.E.)[光学定数]

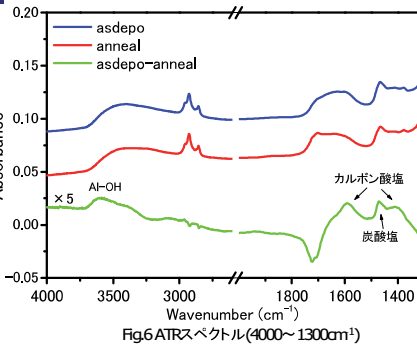
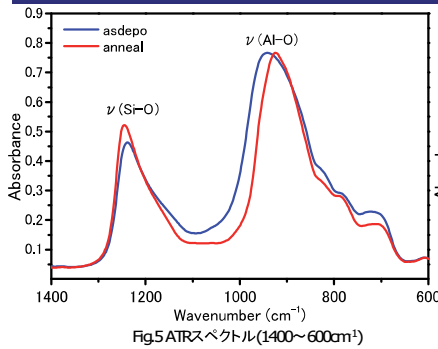


分析試料(各手法共通)

Si基板/自然酸化膜/ $\text{Al}_2\text{O}_3$ 膜(10nm)  
asdepo, anneal

< $\text{Al}_2\text{O}_3$ 層>  
anneal後は $\text{Al}_2\text{O}_3$ 層の薄膜化と高密度化・高屈折率が認められる。  
⇒膜のシュリンクおよび膜質向上。  
< $\text{SiO}_2$ 層(界面層)>  
anneal後は膜厚が1nm以上増加するが、密度はほぼ一定である。  
⇒基板酸化の可能性が高い。

## FTIR[官能基、結晶性、界面]



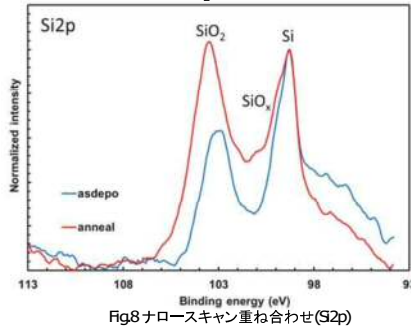
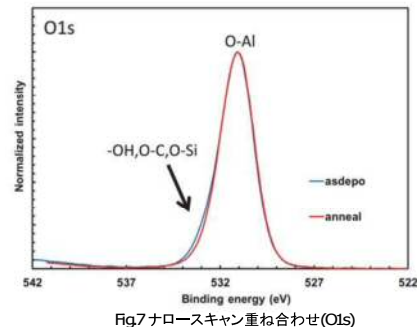
<Al-Oピーク>  
anneal後は半値幅が狭い。⇒高結晶性。  
<Si-Oピーク>  
anneal後はピーク強度が増大し、高波数側へシフト。⇒ $\text{SiO}_2$ 膜厚が増加。  
その他、シリケート化等は認められない。

<Al-OHピーク>  
anneal後はAl-OH基の減少。  
<炭酸塩、カルボン酸塩ピーク>  
asdepoでは、原料由来と思われるピークが存在するが、anneal後は減少。⇒加熱による分解。

## XPS[組成、結合状態、界面]

(atome%)	C	O	Al	Si	O/Al
asdepo	16.4	52.9	29.5	1.2	1.61
anneal	15.2	53.5	28.8	2.5	1.62

※O/Al比は有機酸素、 $\text{SiO}_2$ 由来の酸素を除去して算出した値。

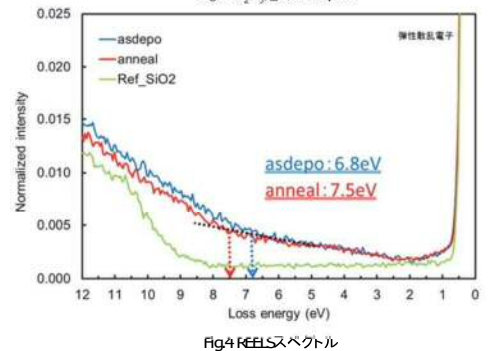
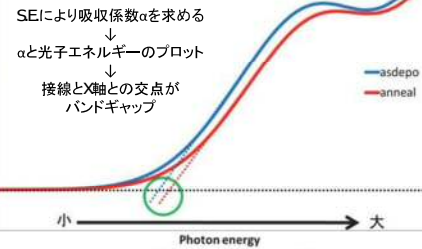


anneal前後でのO/Al比に変化はないが、-OH成分やO-C成分はanneal後に減少。

anneal後は $\text{SiO}_2$ 成分が増加し、一部サブオキサイド化も認められる。

## S.E.&REELS[バンドギャップ]

SEを用いたバンドギャップ評価



anneal後は $\text{Al}_2\text{O}_3$ 層のバンドギャップが0.7eV大きくなる(SEも同様の傾向)。

$\text{Al}_2\text{O}_3$ などの極薄膜に対しては、複数の分析手法を適用することにより、膜質変化や界面反応について非破壊で詳細な議論が可能となる。

# 積層絶縁膜のnmオーダー深さ方向分析

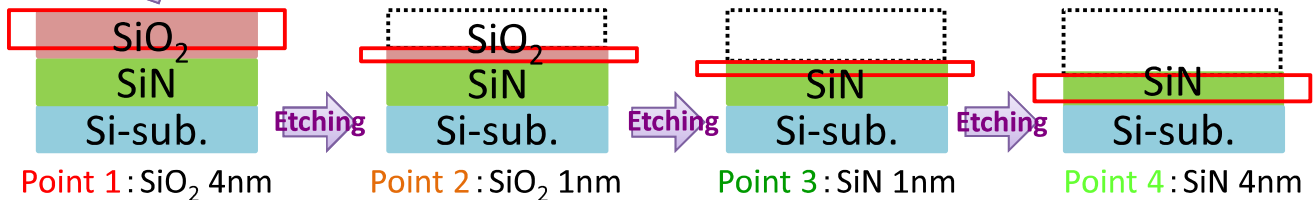
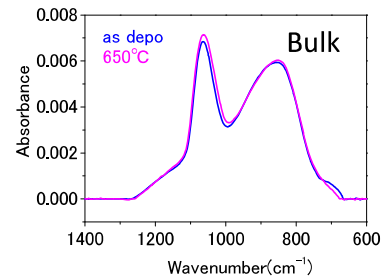
多層積層膜の膜質の深さ方向の構造や組成の分布状態、あるいは界面状態を把握することは、デバイス特性をコントロールする上で重要となる。ここでは、独自のエッチング技術と高精度FT-IR測定によるnmオーダーの深さ方向状態解析について紹介する。

## 試料について

SiO<sub>2</sub> 5nm  
SiN 5nm  
Si-sub.

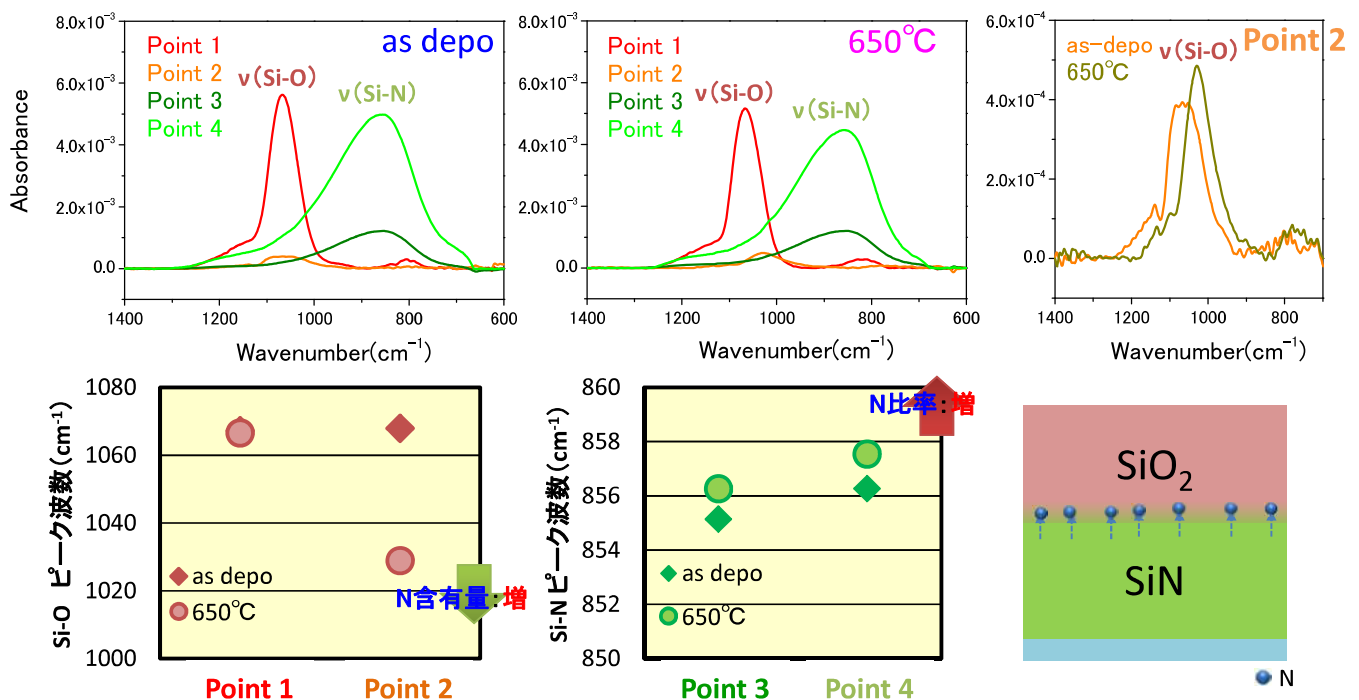
PEALD積層絶縁膜 at 350°C  
(Plasma-Enhanced Atomic Layer Deposition)  
Post Deposition Annealing at 650°C

Step Etchingによって、下図に示す測定箇所のFT-IRスペクトルを取得した。



## 積層膜の深さ方向分析

独自エッチング技術と高精度な赤外測定により、差スペクトルでnm厚みの各層の議論が可能。



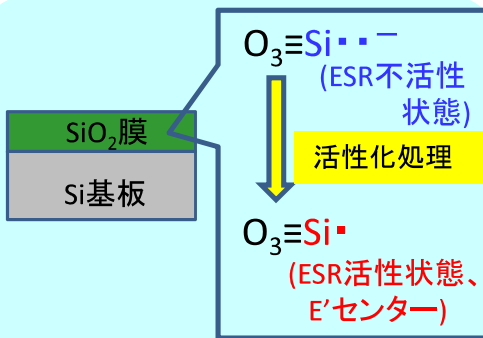
Nの影響でSi-Oは低波数シフトする⇒アニールによりSiO<sub>2</sub>側へNの拡散が起きている。

Step Etching + FT-IR を用いることにより、多層積層薄膜の界面に着目した構造・組成変化が検出可能である。

# SiO<sub>2</sub>薄膜の高感度欠陥量 (E' センター量) 評価

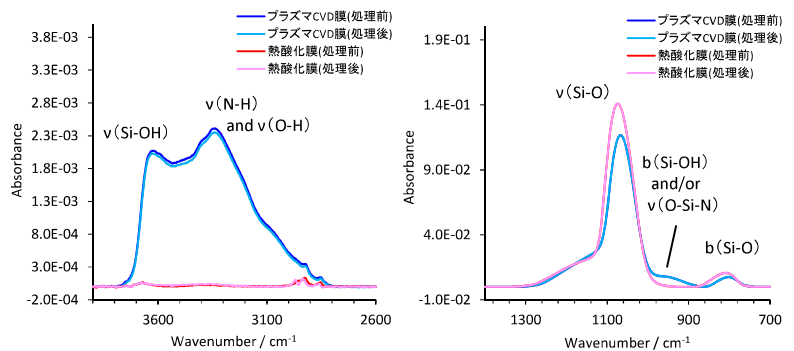
ESR法ではデバイス特性を左右するSiO<sub>2</sub>膜中のダングリングボンド量(= E' センター量)を評価可能であるが、極薄膜(<20nm)ではほとんど観測されず、極薄膜中のダングリングボンドの評価は長年の課題であった。今回、東レリサーチセンター独自の処理を施す事で、ESR活性状態に移行させる事に成功し、極薄膜のダングリングボンドの評価が可能になった。

## SiO<sub>2</sub>薄膜の活性化処理



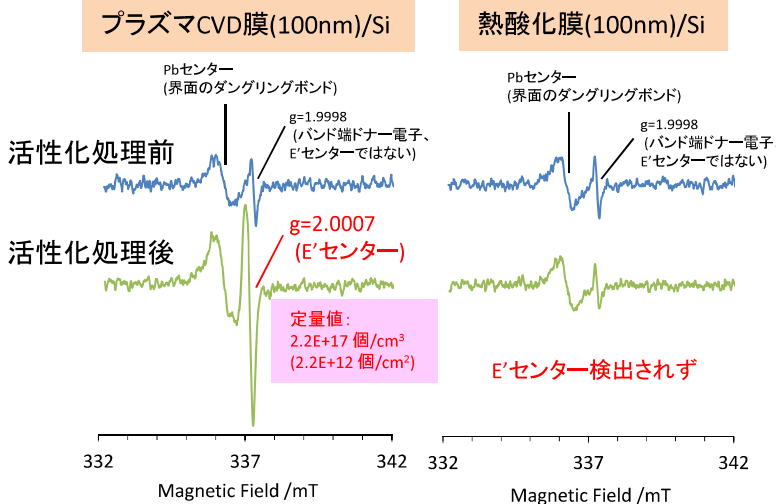
東レリサーチセンター独自の処理を施す事で、ESR活性状態に移行させる事が可能

## 活性化処理による膜質変化有無の確認 (FT-IR分析)



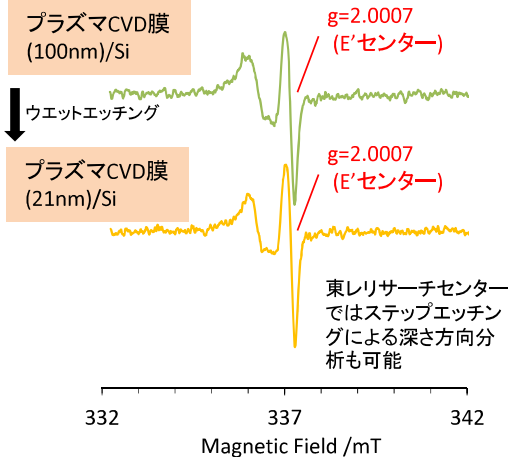
プラズマCVD膜(100nm)、熱酸化膜(100nm)とも、活性化処理前後で有意差は認められない ⇒ 処理により官能基脱離(膜質変化、ダングリングボンド生成)は生じない

## ESRスペクトル (成膜法違いでの比較)



活性化処理前 → 両試料ともE'センターは検出されず  
活性化処理後 → プラズマCVD膜でE'センターが検出された  
熱酸化膜では検出されず

## 活性化処理後のESRスペクトル (膜厚違いでの比較)



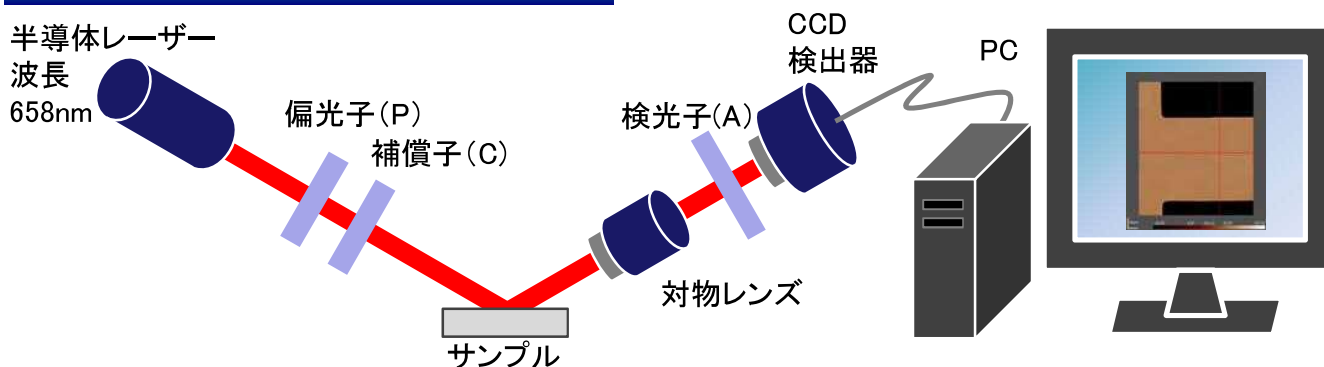
E'センターの信号強度に違いが認められない → E'センターはSiO<sub>2</sub>/Si界面付近のSiO<sub>2</sub>側に存在していると考えられる

20nm以下のSiO<sub>2</sub>極薄膜でも活性化処理+ESR測定により、膜中のE' センター量評価が可能である

# イメージングエリプソメトリーによる 微小部の屈折率評価

イメージングエリプソメトリーでは光学定数・膜厚のイメージング像の取得、および数 $\mu\text{m}$ 程度の微小部評価が可能である。これにより、マクロ測定ではできなかったサンプルの加工断面からのエリプソメトリー測定が可能になり、製品内部の特定箇所や基板断面での屈折率を評価することができる。

## イメージングエリプソメトリーの模式図・原理



サンプルに単色レーザー光を照射、偏光子・検光子を回転させながら反射強度像を測定し、消光した回転角から反射光の偏光パラメータ $\psi$ ・ $\Delta$ を取得する(消光法)。最大約 $400\mu\text{m}$ 角の $\psi$ ・ $\Delta$ のイメージング像を取得可能。反射強度像から、数 $\mu\text{m}$ 程度の任意の場所における光学定数・膜厚を算出することが可能である。

## SiCパッケージ中の微小部屈折率評価

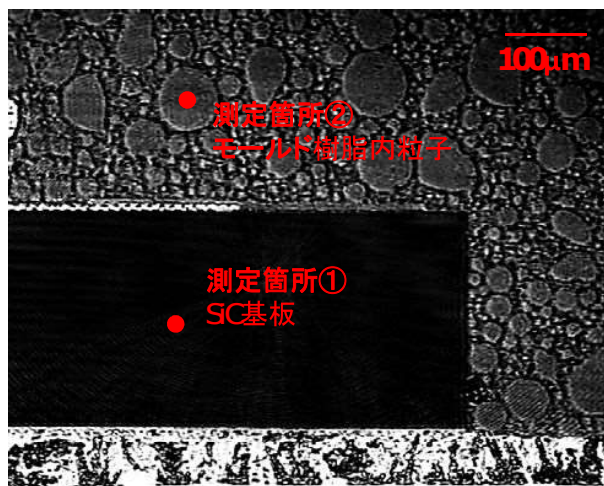


図1: SiCパッケージ断面の反射強度像  
(入射角 $50^\circ$ 、 $P50^\circ$ 、 $C45^\circ$ 、 $A30^\circ$ )

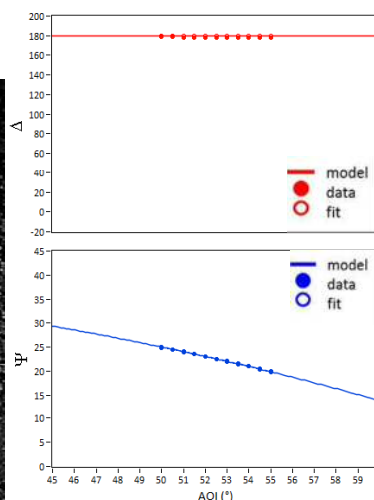


図2: 測定箇所①の  
フィッティング結果  
(入射角 $50^\circ \sim 55^\circ$ )

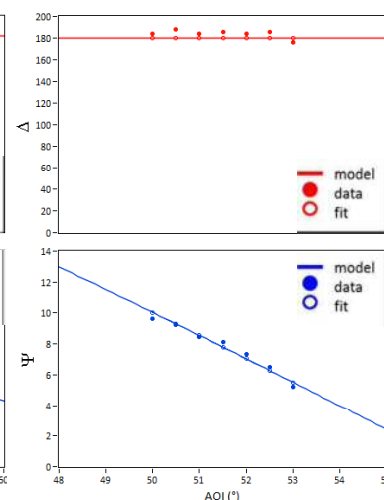


図3: 測定箇所②の  
フィッティング結果  
(入射角 $50^\circ \sim 53^\circ$ )

フィッティング結果より算出された屈折率は、  
測定箇所① SiC基板  $n_{658} = 2.62_5$   
測定箇所② 樹脂内粒子  $n_{658} = 1.51_4$

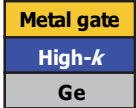
- 反射強度像のコントラストから、屈折率分布を可視化できる。  
光学顕微鏡像では識別しにくい透明物質の屈折率の違いを可視化することも可能である。
- 試料断面中の微小領域での屈折率(波長 $658\text{nm}$ )の評価が可能である。  
経年劣化・試験後劣化など、各種材料劣化後に生じた屈折率変化・分布評価も可能である。

# Ge-MOSデバイスの HfO<sub>2</sub>/GeO<sub>2</sub>界面反応の理解と制御

MOSFETの高性能化のために、チャネルを現在主流のSiから高キャリア移動度であるGeに置き換える研究が進められている。しかし、Ge上にHfO<sub>2</sub>絶縁膜を成膜すると電気特性が劣化する。そこで、劣化メカニズム理解と特性改善の指針を得るため、HfO<sub>2</sub>/GeO<sub>2</sub>界面反応および原子拡散の挙動を調べた。

## Motivation: 高性能Ge-MOSFET実現に向けたHigh-k/Ge界面構造の解析

### ◆ 高品質Ge-MOSスタック構造



- ✓ Geチャネル: Siより高いキャリア移動度
- ✓ High-k絶縁膜: 1 nm以下のSiO<sub>2</sub>等価換算膜厚 (EOT)

EOT: Equivalent Oxide Thickness

⇒ 次世代の高性能MOSFET実現のために、Metal/High-k/Geスタック構造の実用化に期待

Ge-MOS特性の比較 (GeO<sub>2</sub>/Ge, HfO<sub>2</sub>/Geスタック)

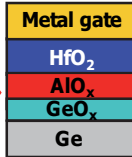
	界面特性	EOT
GeO <sub>2</sub> /Geスタック	< 10 <sup>11</sup> cm <sup>-2</sup> eV <sup>-1</sup> [1]	× (低誘電率)
HfO <sub>2</sub> /Geスタック	× 界面劣化 [2]	○ (高誘電率)

[1] H. Matsubara et al., Appl. Phys. Lett. **93**, 032104 (2008).  
[2] N. Wu et al., Appl. Phys. Lett. **84**, 19, 3741 (2004).

### ✓ 良好な界面特性とEOT低減を両立するプロセスが必要

- ⇒ 界面層にGeO<sub>x</sub>層を有するHigh-k/GeO<sub>x</sub>スタック構造
- ⇒ HfO<sub>2</sub>/GeO<sub>x</sub>界面へのAlO<sub>x</sub>層挿入による特性改善 (良好な界面特性とEOT 1 nm以下実現[3, 4])

[3] R. Zhang et al., VLSI Tech. Symp., 161 (2012).  
[4] R. Asahara et al., Appl. Phys. Lett. **106**, 233503 (2015).



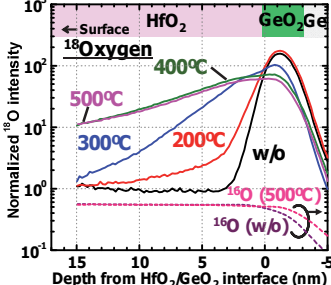
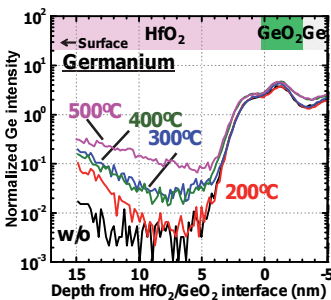
### ◆ 本研究の目的: HfO<sub>2</sub>/GeO<sub>x</sub>界面反応メカニズムの理解と制御

- ✓ HfO<sub>2</sub>/GeO<sub>x</sub>界面反応および原子拡散挙動の評価
- ✓ 極薄AlO<sub>x</sub>層挿入効果の検証

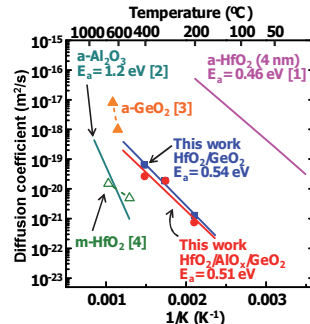
## 同位体酸素 (<sup>18</sup>O) を用いたスタック構造形成と Dynamic-SIMS による酸素拡散挙動の評価

- ◆ 通常の酸素 (<sup>16</sup>O) と重酸素 (<sup>18</sup>O) を使い分けてスタック構造を形成し、HfO<sub>2</sub>膜中の酸素の拡散挙動をSIMSで調査した。

SIMS profiles of Hf<sup>16</sup>O<sub>2</sub>/Ge<sup>18</sup>O<sub>2</sub>/Ge



HfO<sub>2</sub>膜中に拡散する酸素の拡散係数 (Fickの拡散方程式に基づく解析)



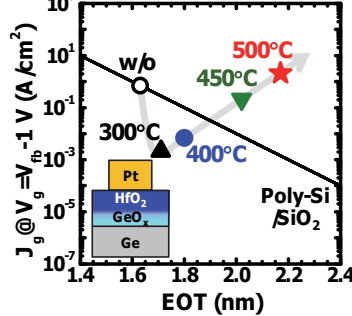
[1] S. Zafer et al., Appl. Phys. Lett. **98**, 152903 (2011).  
[2] T. Nabatame et al., Jpn. J. Appl. Phys. **42**, 7205 (2003).  
[3] S. K. Wang et al., Jpn. J. Appl. Phys. **50**, 04DA01 (2011).  
[4] T. Nabatame et al., SSDM, C-2-4 (2002).

- ◆ 酸素拡散はHfO<sub>2</sub>/GeO<sub>2</sub>界面から徐々に拡がる挙動。
  - ◆ 活性化エネルギーが低く、HfO<sub>2</sub>/GeO<sub>2</sub>界面で相互拡散。
  - ◆ AlO<sub>x</sub>膜挿入の効果が低い。
- ⇒ Geと酸素の拡散は独立。酸素拡散と特性の相関は低いと推定。

## STEM-EELSによるゲートスタック構造の評価 (HfO<sub>2</sub>/GeO<sub>x</sub>界面反応の解析)

### ◆ ゲートスタック構造形成後のアニール温度とリーク電流 (J<sub>g</sub>)、EOTの関係

T. Hosoi et al., Microelectron. Eng. **109**, 137 (2013).

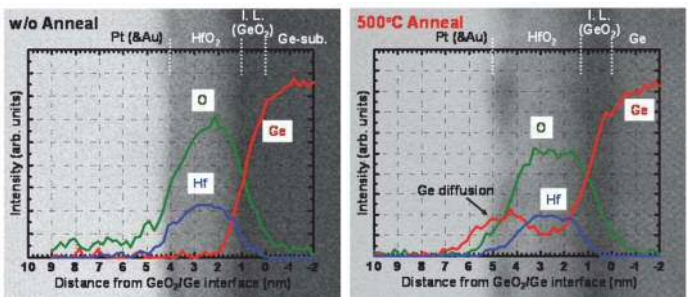


- ◆ 400°C以上のアニールにより、リーク電流増加、EOT増膜



STEM-EELSによる積層構造、元素分布の評価

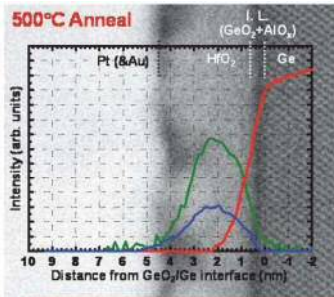
### ◆ Pt/HfO<sub>2</sub>/GeO<sub>2</sub>/Geスタック構造 (アニール前後) のSTEM-EELS結果



- ◆ アニール後、界面層 (GeO<sub>x</sub>) が増膜 ⇒ EOT増膜
- ◆ アニール後、GeがHfO<sub>2</sub>上層側に拡散 ⇒ リーク電流 (J<sub>g</sub>) 増大 ⇒ HfO<sub>2</sub>/GeO<sub>x</sub>界面は高温アニールにより反応が促進 (熱不安定性)

### ◆ 極薄AlO<sub>x</sub>層挿入後のゲートスタック構造評価

### ◆ Pt/HfO<sub>2</sub>/AlO<sub>x</sub>/GeO<sub>x</sub>/Geスタック構造 (500°C Anneal) のSTEM-EELS結果



- ◆ 界面層 (GeO<sub>x</sub>) の増膜無し ⇒ sub-nm EOTの実現
- ◆ GeのHfO<sub>2</sub>膜への拡散無し ⇒ 優れた界面特性・絶縁性
- ◆ 500°Cアニールにより、HfO<sub>2</sub>上層のラフネスが若干増加 ⇒ さらなる改善が必要

- ☆ Geおよび酸素原子のHfO<sub>2</sub>膜中への拡散は独立。 ⇒ Ge原子拡散が特性劣化要因のひとつと推定。
- ☆ 極薄AlO<sub>x</sub>膜挿入によりHfO<sub>2</sub>/GeO<sub>x</sub>界面反応および原子拡散を抑制可能。 ⇒ 界面反応の制御が特性改善のキーファクター。

- ✓ 原子個々の特徴の理解 ⇒ 高性能high-k/Ge MOS
- ✓ 界面特性の精密な制御 ⇒ デバイスの設計指針

# TEOS-SiO<sub>2</sub>膜の電氣的, 物理的相補解析 ～水銀プローブ, RBS, XPS, FT-IR～

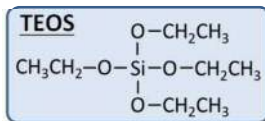
化学気相蒸着 (CVD) で成膜するSiO<sub>2</sub>膜は、低温でかつSi以外の基板にも成膜できる特徴があるため、様々な半導体デバイスの絶縁膜または誘電膜として用いられている。以下で、CVDで成膜したSiO<sub>2</sub>膜の評価事例を紹介する。電気特性と物理分析の相補解析によりSiO<sub>2</sub>膜質を理解することで、SiO<sub>2</sub>膜成膜プロセスの評価が可能であり、プロセス最適化の指針を得ることができる。

## 1. 評価サンプル: TEOS-SiO<sub>2</sub>膜

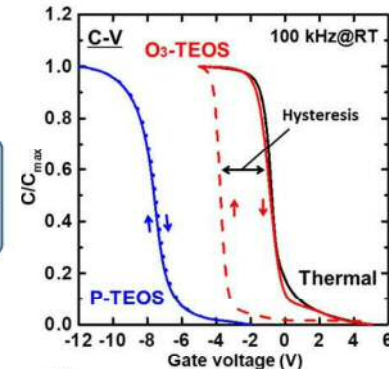
### SiO<sub>2</sub>膜作製方法

TEOSを原料として、Si基板上に2種類のCVDプロセスでSiO<sub>2</sub>膜を成膜。

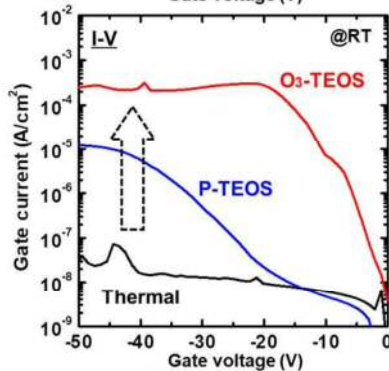
- 原料: TEOS (Tetraethoxysilane)
- CVDプロセス
  - プラズマ酸化 (以降、P-TEOS)
  - オゾン酸化 (以降、O<sub>3</sub>-TEOS)
- SiO<sub>2</sub>膜厚: 約50 nm
- 成膜後アニール: 600 °C in N<sub>2</sub>
- 比較のため、熱酸化SiO<sub>2</sub>膜 (以降、Thermal) も併せて評価。



## 2. 電気特性評価: 水銀プローブ



- P-TEOS: 負方向のシフト。(フラットバンド電圧のシフト) ⇒ 正の固定電荷が多く存在。
- O<sub>3</sub>-TEOS: ヒステリシス増大。⇒ 可動電荷が多く存在。
- Thermalと比べて、P-TEOS, O<sub>3</sub>-TEOSそれぞれ特有の劣化挙動を示した。



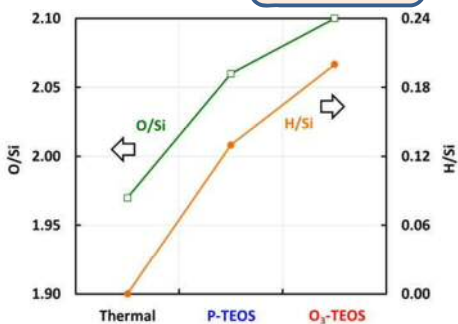
- O<sub>3</sub>-TEOS: 低電圧領域でリーク電流増大。⇒ 多量の電流パスの存在。
- 高電圧領域のリーク電流値 O<sub>3</sub>-TEOS > P-TEOS > Thermal

成膜方法に依存した電気特性の顕著な変化を確認。→ 水銀プローブにより、電極形成無しで性能評価スクリーニングが可能!

## 3. 物理分析: RBS, XPS, FT-IR

### RBS分析結果

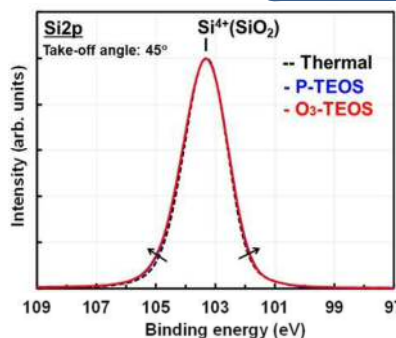
確度の高い組成分析



- 3試料ともO/Siは2に近いのでSiO<sub>2</sub>が主成分。TEOS膜はH検出。
- O/Si比, H/Si比 O<sub>3</sub>-TEOS > P-TEOS > Thermal ⇒ 余剰O, Hが電気特性劣化を導く。

### XPS分析結果

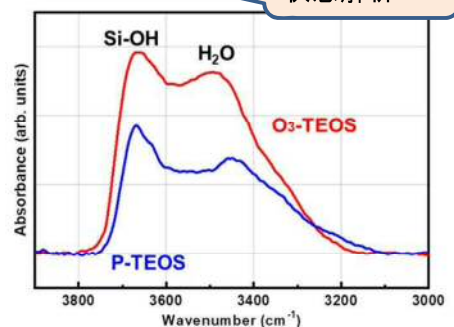
結合状態, 価数解析



- 3試料ともSi<sup>4+</sup>(SiO<sub>2</sub>)が主成分。
- TEOS膜のSi2pピーク幅は Thermalよりわずかに大きい。⇒ SiO<sub>2</sub>ネットワークの秩序性が低い\*。 \* 構造がランダムなほどピーク幅は大きい。

### FT-IR分析結果

水酸基, 結合状態解析



- Si-OH基, H<sub>2</sub>O濃度: O<sub>3</sub>-TEOS > P-TEOS

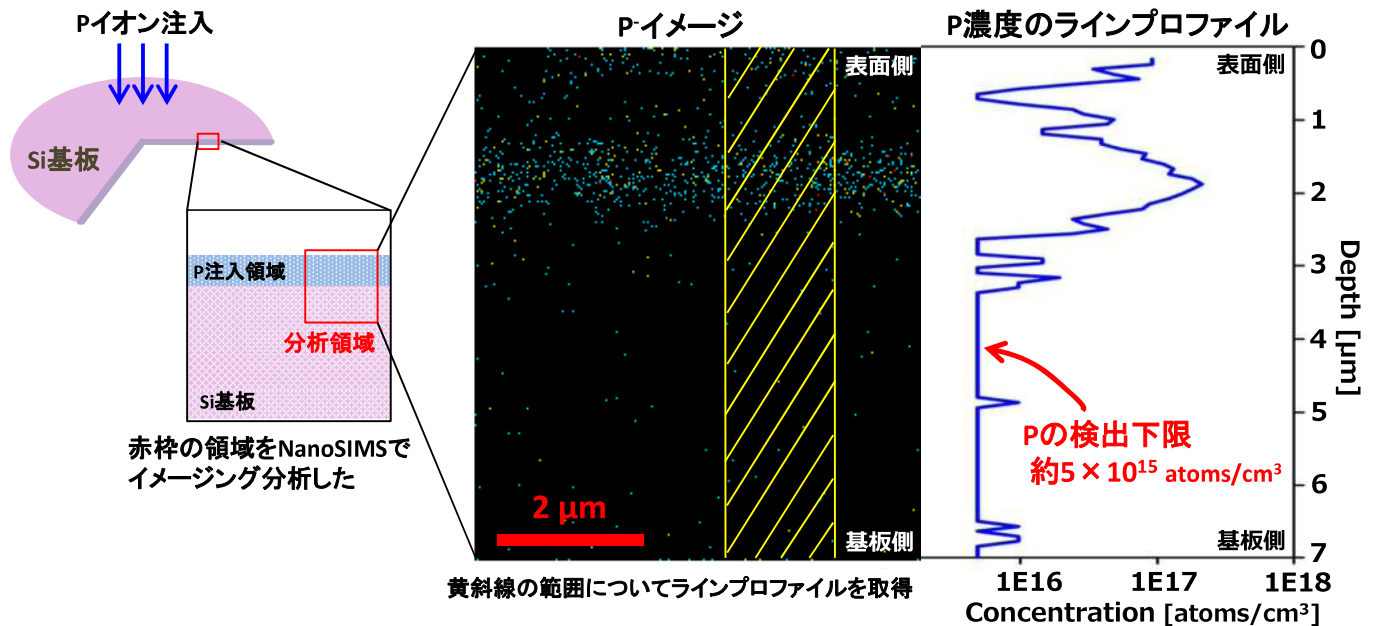
Si-OH基, H<sub>2</sub>Oが可動電荷の増加およびリークパス増加を招く電気特性劣化要因と推定!

- 電氣的, 物理的相補解析によりデバイス製造プロセスの最適化を支援します!
- 上記手法以外にも様々な分析手法を組み合わせた総合解析が可能(ex. SIMS, ESR, XRR etc.)。

# 高感度質量イメージング(NanoSIMS 50L)によるSi中Pの断面プロファイル分析

NanoSIMS 50Lを用いて、Si基板中のドーパント分布について断面から高感度質量イメージング分析を行った。前処理および分析条件を工夫することで大幅にバックグラウンドを低減することができ、初めて、 $\mu\text{m}$ オーダーの微小領域に含まれる低濃度のP ( $10^{16}$  atoms/cm<sup>3</sup> 台)を高空間分解能で評価することに成功した。

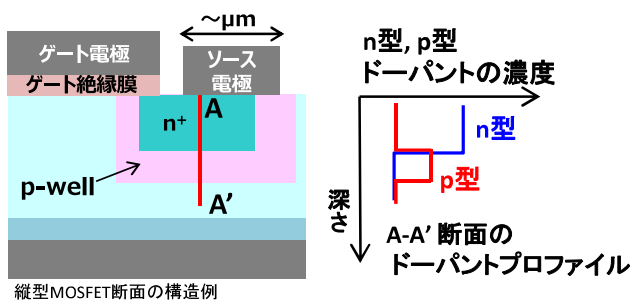
## 高感度質量イメージング (NanoSIMS 50L)によるSi中Pの断面プロファイル分析



一般的なDynamic SIMSでは対応が難しい $\mu\text{m}$ オーダーの微小領域において、バックグラウンドレベルを $10^{15}$  atoms/cm<sup>3</sup> オーダーまで低減し、 $10^{16}$  atoms/cm<sup>3</sup> 台の低濃度のP濃度を検出することに成功した。

## NanoSIMS 50Lによる断面プロファイル分析の適用例

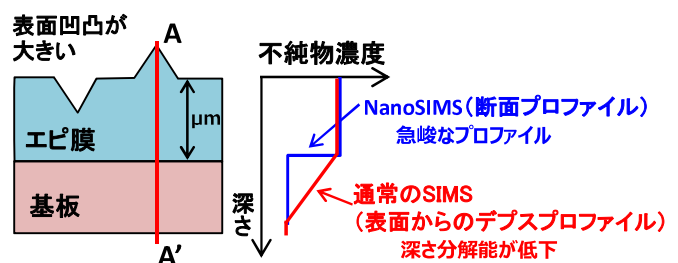
### 実デバイス断面のドーパント分布評価



通常のSIMSでは空間分解能が不足

$\mu\text{m}$ オーダーの微小領域のドーパント分布を評価することが可能

### 凹凸の大きな試料の深さ方向分布評価



表面から深さ方向分析すると深さ分解能が低下

表面凹凸の影響を受けずに評価可能



# μRBS/HFSによる微小部組成分析

RBSは正確な組成定量、および深さ分布が得られる手法である。プローブに収束ビームを用いることにより、微小領域においてもRBSが適用可能となった(μRBS)。ここでは、半導体材料の微小部組成分析事例を示す。

## μRBS/HFS: 特徴

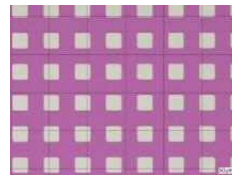
RBS: Rutherford Backscattering Spectrometry  
HFS: Hydrogen Forward scattering Spectrometry

	μ-RBS
入射イオン	H <sup>+</sup> , He <sup>+</sup> , Li <sup>+</sup> ~Bi <sup>+</sup>
ビーム径	1 μmφ
最大入射エネルギー (He <sup>+</sup> )	5.1 MeV
分析深さ	5 nm ~ 30 μm

## 試料

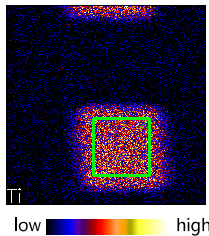
### ● 作製フロー

- PE-CVD SiN (300 nm) on Si-sub.
- Ti sputter deposition (50 nm) on SiN
- 20 μm□ patterning by photolithography
- w/ or w/o annealing : 800 C°, N<sub>2</sub>, 2 hr

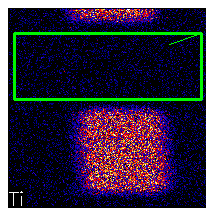


光学顕微鏡像 (w/o anneal)

## μRBS/HFS分析例

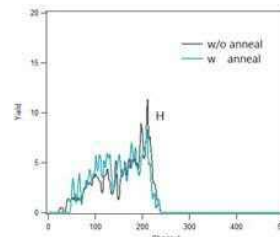
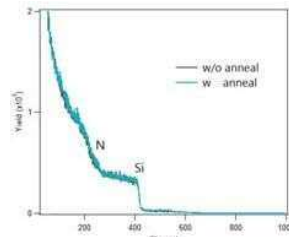
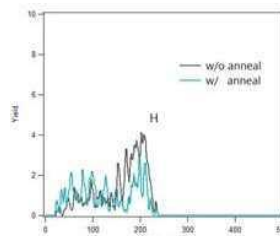
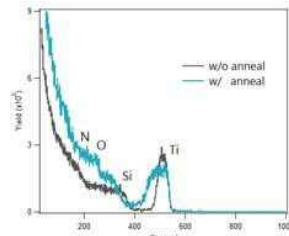


low high

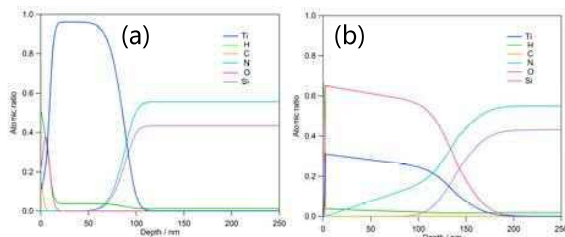


20 μm

Ti マップ



各指定領域から抽出したμRBS/HFSスペクトル



Ti領域のデプスプロファイル (a): w/o anneal, (b): w/ anneal

- アニールにより、TiONが形成、膜厚増加
- N: SiN層から拡散
- TiN表面水素: アニールにより減少

# 加熱 *in-situ* TEMを用いた アモルファスSi膜の結晶成長過程の可視化

半導体デバイスの製造において、熱処理工程における材料の構造変化を把握することは重要であるが、nmレベルでの評価は難しい。加熱 *in-situ* TEMを用いることにより、熱処理中の材料の熱挙動をnmレベルで可視化し、構造変化に関する知見を得て、膜質制御などプロセス開発に役立てることができる。

## 加熱 *in-situ* TEM観察の概要

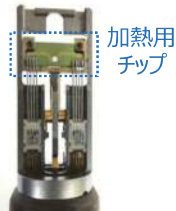
### 加熱 *in-situ* TEM

加熱用チップにTEM用薄片試料を載せ  
温度印加しながらTEM観察を行う

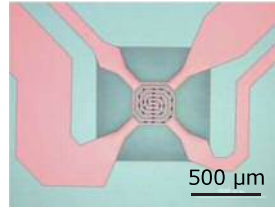
### 温度印加

- ・範囲：23 °C(室温) ~ 1300 °C
- ・数秒での昇温 & 優れた安定性
- ・プログラムによる温度・時間制御

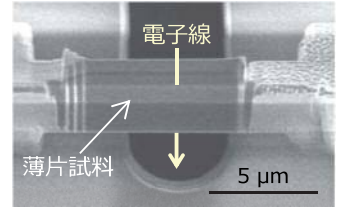
*in-situ* TEM用  
試料ホルダー先端



加熱用チップ  
(中央部)



加熱用チップ上の  
TEM用薄片試料

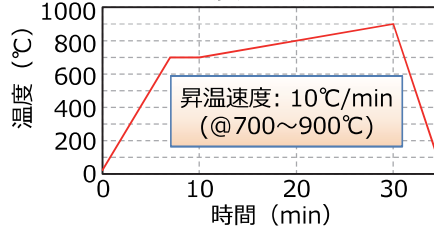


## アモルファスSi(非晶質Si(a-Si))膜における加熱 *in-situ* TEM観察

サンプル断面模式図

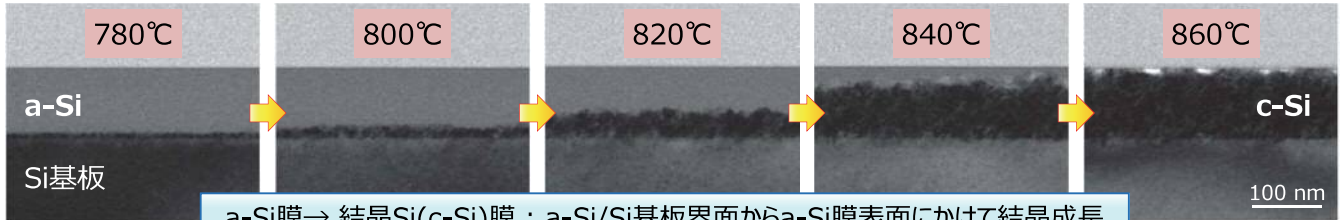


温度プロファイル



制御パラメータ

- (温度・時間)
- ・昇温速度
  - ・降温速度
  - ・保持時間 など



***in-situ* TEM観察により加熱中の構造変化を可視化 (平面TEM観察・動画撮影も可能)**

## 加熱前後のSi膜の結晶構造解析(電子回折図形)・結晶欠陥評価

断面TEM像

電子回折図形

TEMによる結晶欠陥評価(加熱後)

Si{111}面に多数の積層欠陥を確認

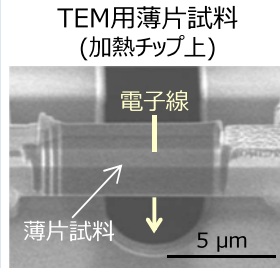
**結晶構造解析(電子回折図形)や  
元素分析(EDX)との併用可能**

# 同一視野における加熱 *in-situ* TEM観察とACOM-TEMによる結晶成長メカニズム解析

新規加熱 *in-situ* TEMホルダーの導入とACOM-TEMとの組み合わせによって、同一視野内の結晶成長と結晶方位との関係をnmレベルで分析可能な技術を初めて開発した。SiO<sub>2</sub>膜上のアモルファスSi (a-Si) 膜の熱処理中の結晶成長過程観察と、熱処理後の結晶方位解析を行った事例を紹介する。

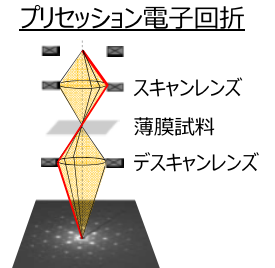
## 加熱 *in-situ* TEM観察の概要

**加熱 *in-situ* TEM**  
 加熱チップに載せたTEM用薄片試料を温度印加しながらTEM観察を行う  
 ・温度：23℃～1300℃  
 nmレベルでの加熱中の熱挙動(構造変化)可視化



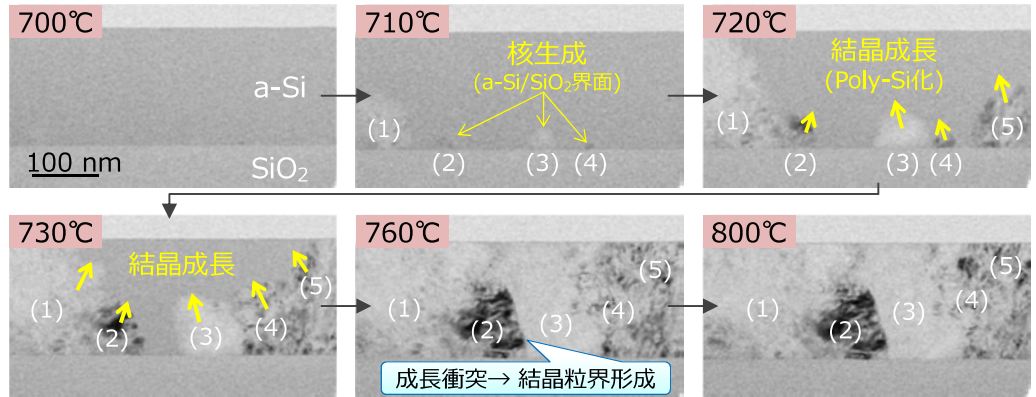
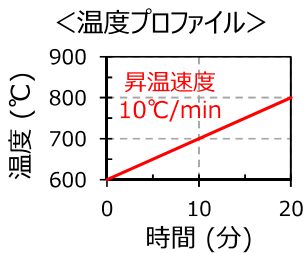
## ACOM-TEM(ASTAR)の概要

**ACOM-TEM** (商品名：ASTAR)  
 (Automated Crystal Orientation Mapping in TEM)  
 入射電子を円錐状に回転しプリセッション電子回折を取得  
 → 結晶相や結晶方位を帰属  
 nmレベルの結晶方位解析 (空間分解能：2nm)



## 加熱 *in-situ* TEMによるSiO<sub>2</sub>膜上アモルファスSi(非晶質Si(a-Si))膜の結晶化過程の観察

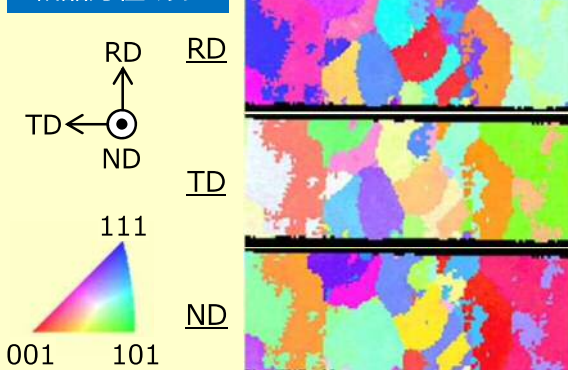
<サンプル断面模式図>



*in-situ* TEM観察による加熱中の結晶化過程可視化(動画撮影・画像抽出)

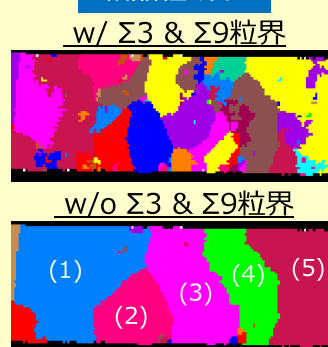
## ACOM-TEM(ASTAR)による熱処理後Poly-Si膜の結晶方位解析(結晶配向・結晶粒径・結晶粒界)

### 結晶方位マップ



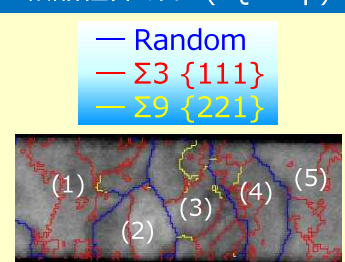
結晶配向性(Poly-Si膜)：特定の配向性無し

### 結晶粒マップ



双晶を考慮した結晶粒評価 (結晶粒径：定量化可)

### 結晶粒界マップ (IQ map)



・結晶成長が衝突した箇所 → 結晶粒界 (ランダム粒界)  
 ・結晶粒内 → 双晶 (Σ3粒界、Σ9粒界)

同一視野における加熱 *in-situ* TEM観察とACOM-TEM(ASTAR)の実施により結晶成長と結晶方位・結晶粒径・結晶粒界との関係を把握 (弊社独自の技術開発)