



応用物理学会

薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会

第 29 回 電子デバイス界面テクノロジー研究会 —材料・プロセス・デバイス特性の物理—

日時 2024 年 1 月 31 日(水)~2 月 2 日(金)

場所 東レ総合研修センター

協賛： 日本物理学会、日本化学会、日本金属学会、日本表面真空学会、
電子情報通信学会、電気学会、触媒学会、電気化学会、
表面技術協会、日本顕微鏡学会、日本セラミックス協会、
精密工学会

開催助成： 静岡県東部地域コンベンションビューロー

協賛企業： 株式会社アクシス、株式会社アールデック、
株式会社 KOKUSAI ELECTRIC、株式会社コメット、
シエンタオミクロン株式会社、株式会社スプリード、
東京エレクトロン株式会社、株式会社東レリサーチセンター

卓上型液体窒素プロローバーシステム

AX-LPS-TS02



¥2,750,000~
(消費税込み)
*温調器は含んでおりません。

《システム構成》

液体窒素クライオスタット
真空チャンバー
温度センサー、温調用ヒーター
マニピュレーター4式
CCDカメラ、液晶モニター

《システム仕様》

液体窒素量 : 約1L
温調範囲 : 80K~500K
試料サイズ : □20mm
移動量 : X.Y18mm, Z10mm
サイズ : □480mm, H428mm

100V空冷式圧縮機使用
小型無冷媒マグネット



4KGMトップロード
クライオスタット



簡易型ホール効果プロローバー



クライオパーツ取扱い

- ☆スタイキャスト
- ☆GE7031ワニス
- ☆同軸変換/気密コネクタ
- ☆ニトフィックス
- ☆インジウムワイヤ
- ☆回転ホルダー その他



株式会社アクシス

〒305-0043 茨城県つくば市大角豆646-2
TEL:029-849-2220 FAX:029-849-2221

Mai l: info@axj.co.jp URL : https://axis.company

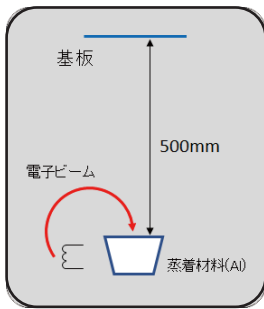
成膜レシピ制御型自動蒸着装置 ADS-E86

- 独自開発ソフトで、基板セット後は“ワンクリック”するだけ。
- 全自動で多層膜蒸着を行える研究開発用の蒸着装置。
- どなたにでも安全で簡単に操作可能。

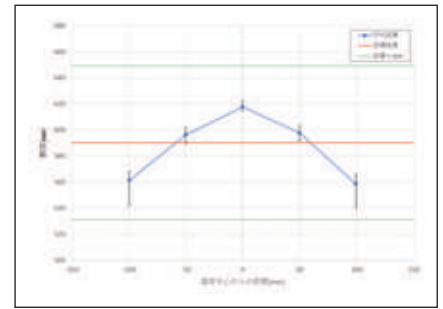
特 徴

- 高融点金属から半導体、酸化物まで蒸着が可能
- 多層膜連続成膜制御
- 高性能 6 連電子ビーム蒸着源
- リフトオフ蒸着に最適な基板冷却機構を装備
- 成膜条件を選択して『START』ボタンをクリックするだけで、
真空排気から成膜完了まで自動制御
- 基板サイズ□10 mm ~ φ8 インチ
- 高速真空排気 (L/L 室 : 大気圧から E-3 Pa まで 3 分以内)

アルミ蒸着試験参考データ (試験①)



バッチNo	膜厚 (nm)-50mm	膜厚 (nm)+50mm
①	594.6	594.1
②	596.2	597
③	589.5	591.7
④	597.5	598.8
⑤	601.8	600.9
⑥	595.6	597.7
⑦	594.9	597.8
⑧	599.8	603.4
⑨	600.8	598.7
⑩	591.5	595.3



データ提供：日本電子株式会社様

高感度昇温脱離ガス分析装置 HTDS-004 SEMI

- 超高真空下でサンプルを加熱昇温する際に脱離されるガスをリアルタイム測定し定性・定量分析。
- 半導体ウェハ、PCB 基板、電子部品からの脱離ガスを wt・ppm で分析可能。

特 徴

- 試料サイズ：最大φ10×30mm → **大きな実試料も測定可能**
- 測定範囲：質量数 200 amu → **CxHy 成分も測定可能**
- 加熱温度：室温 ~ 1000°C
- 分析室にタンデムターボポンプ採用 → 到達圧力：<math>< 5.0E-8Pa</math>
高感度リアルタイム分析
- **定量ソフトで wt・ppm が簡単に計算可能**
- 水素標準リークシステム内蔵 → **長期間安定した測定が可能**

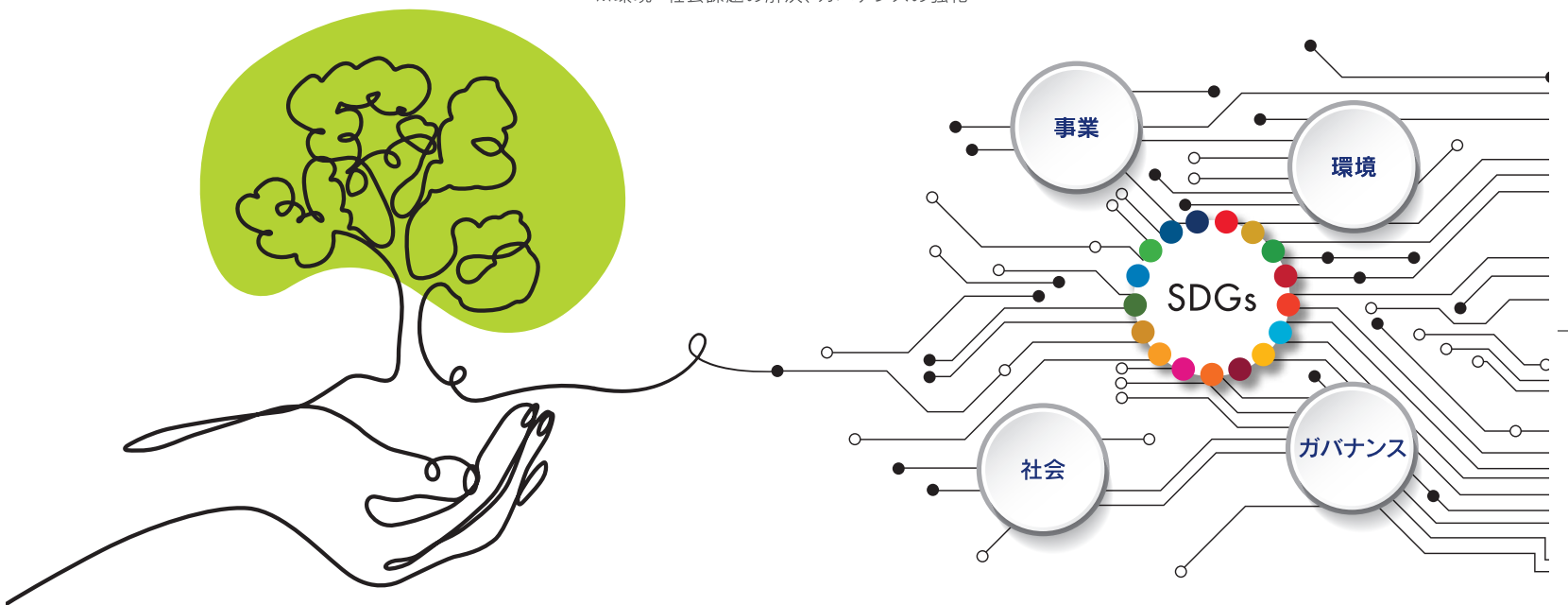


技術と対話で未来をつくる

誰も想像がつかないような革新をもたらし続ける半導体。

私たちは、進化する半導体の最先端を担う半導体製造装置専門メーカーとして
事業活動とESGの取り組み*の両側面からサステナビリティ経営に取り組んでいます。

※環境・社会課題の解決、ガバナンスの強化



AdvancedAce®II

高生産性縦型装置



TSURUGI-C2®² 鋸®

高品質成膜・高性能半導体製造装置



MARORA®

枚葉プラズマ窒化・酸化装置

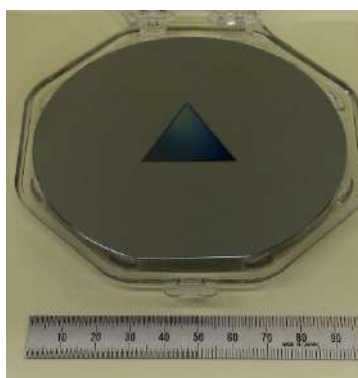
最適材料探索を一気に加速 コンビナトリアル・テクノロジー

- ◇ コンビナトリアル材料合成手法を使った新規機能性材料の受託開発
- ◇ コンビナトリアル特性解析：各種の多点物理分析を致します
- ◇ コンビナトリアル材料合成装置の販売

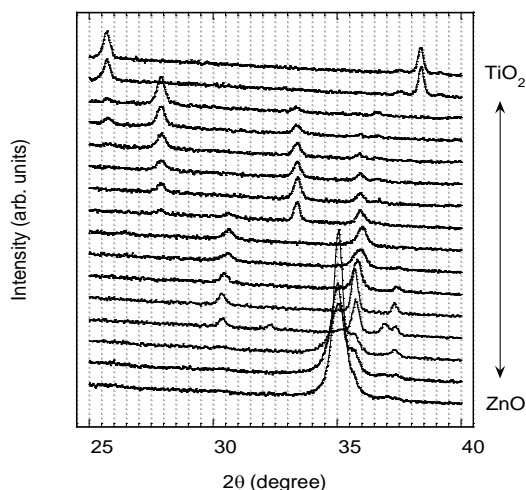
NEW!

・コンビナトリアルスパッタ装置 CMS-6420, CMS-3200

6420: Max 6元 x 4" ウェハ対応, 3200: Max 3元 x 2" ウェハ対応



4インチウェハ上に形成した3元組成傾斜膜 (ZnO-TiO₂-WO₃)



2元コンビ薄膜のXRDパターン (ZnO-TiO₂ 2元系)

CMS-6420, 3200の特徴

- 2元 & 3元コンビ成膜に対応
- PCからのレシピ入力 & 自動成膜に対応
- タッチパネルで簡単操作 (自動排気、成膜プロセス)
- 基板加熱可能 (標準仕様：最高650°C)
- ロードロック室での高温アニール可能 (オプション)

経験豊かな技術スタッフが材料開発をお手伝いします

株式会社コメット

<https://www.comet-nht.com>

〒300-2635

茨城県つくば市東光台5丁目9番5号

Phone: 029-869-8620, Fax: 029-869-8621, E-mail: inquiries@comet-nht.com

Nano High Throughput Technology
COMET
Combinatorial Materials Exploring Technology

Ambient Pressure Photoelectron Spectroscopy

HiPP Lab

Advanced Measurements Made Easy



- Measure XPS with **several mbar pressure** at the sample
- Robust, flexible and easy to use system ensuring speed to result
- Easy to extend functionality with other modules and with the material innovation platform

BAR XPS

For Studies of Industrially Relevant Catalytic Reactions



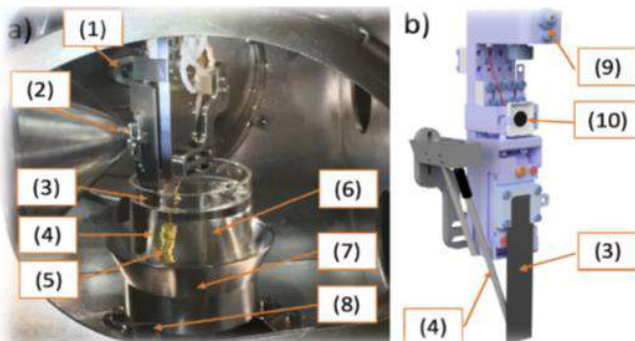
- Study of catalytic reactions
- Measuring XPS under conditions of **> 1 bar** of pressure
- Open-up the possibility of operando studies of heterogeneous catalytic reactions under industrial manufacturing conditions

Hipp-lab with glove box



Customer installation example

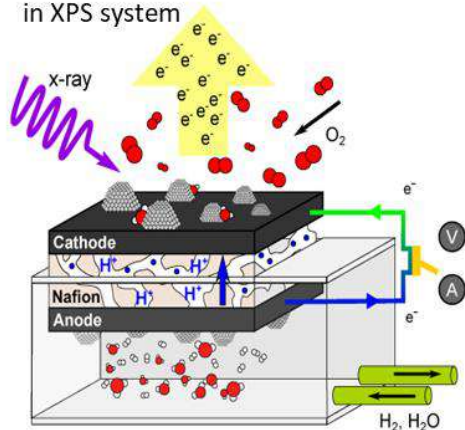
Electrochemical XPS (Dip & Pull method)



Swiss Light Source: Zbynek et al. Review of Scientific Instruments, 91, 023103 (2020)
 Advanced Light Source: Axnanda, Sci rep 5(2015) 09788
 MAX IV Laboratory: Zhu et al Journal of Synchrotron Radiation (2021), 28, 624-636

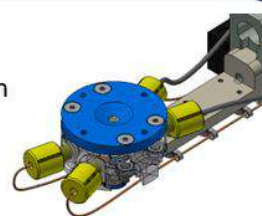
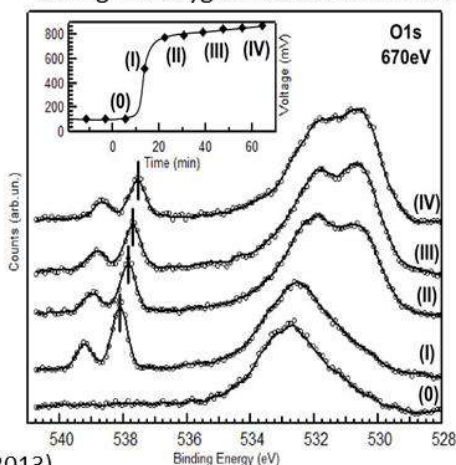
Application of Electrochemical Cell

Demonstration of electrochemical cell in XPS system



H. S. Casalongue et al. Nature Comm. 4, 2817 (2013)

Probing oxygenated species during the oxygen reduction reaction



3 electrode system



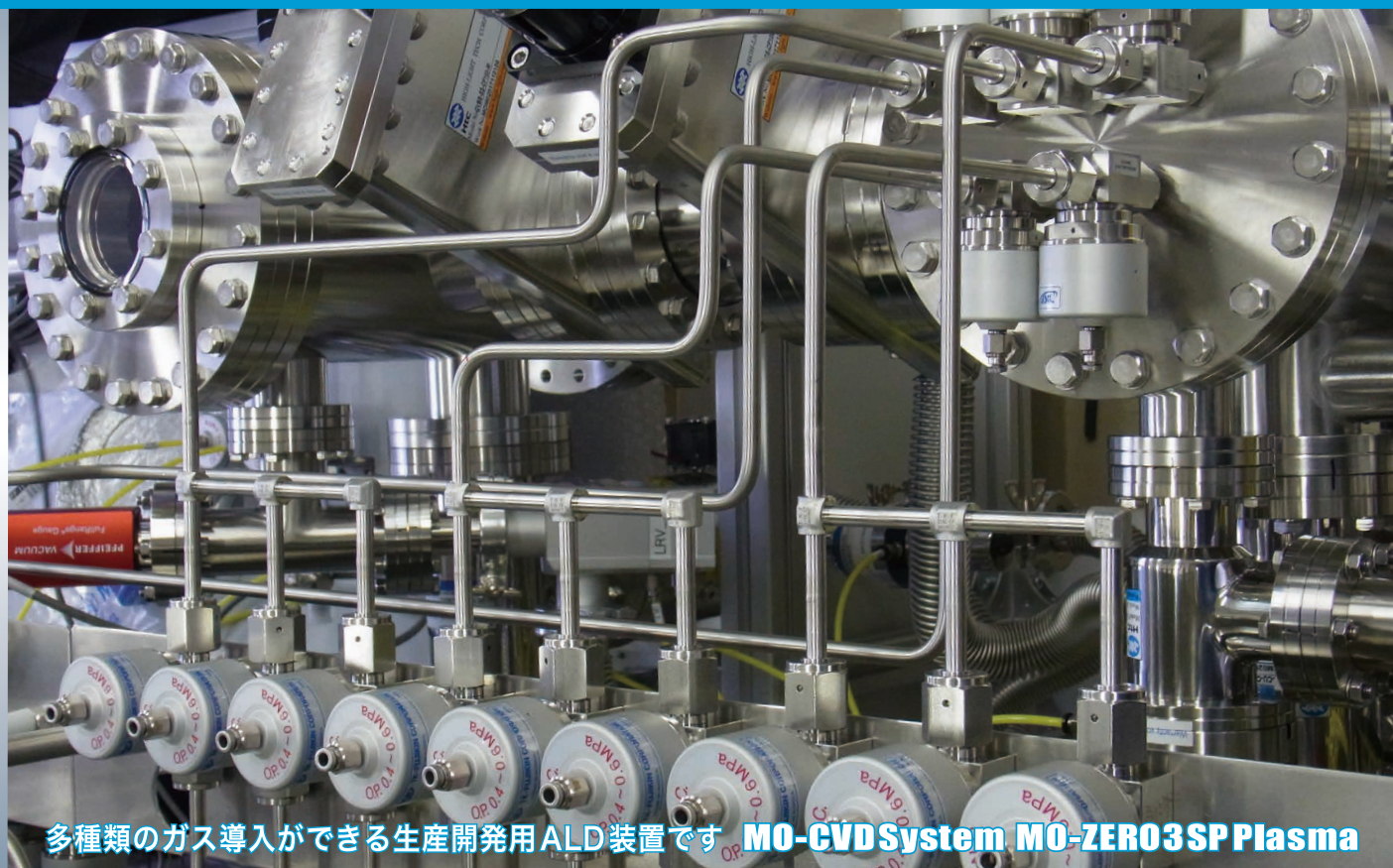
私たちが創るのは研究の新しい扉を開く鍵です



新構造・新材料

SPLEAD Atomic Layer Deposition Systems

AI時代に向けたプロセス 新たなチャレンジが始まっています



多種類のガス導入ができる生産開発用ALD装置です **MO-CVD System MO-ZERO3SP Plasma**

ALDは近年各種アプリケーションへの応用が飛躍的に増加
半導体、化合物半導体デバイスの他、MEMS/NEMS (micro/nanoelectromechanical systems)
光学薄膜、レーザー薄膜、コーティング、腐食防止、2次電池、太陽電池などに代表される再生可能エネルギー
医療機器、生体材料、湿気防止バリアー、ガラスのクラック防止保護膜など、様々な分野に広がりを見せています
TMA B(CH₃)₃ CH₃SiCl₃ TDMAA Ru(EtCp)₂ BEMAS MgCp₂ TBA Li(t-OBu) POC₁₃ DEZ など
様々な材料の提案が可能です



SPLEAD

206-0801 東京都稲城市大丸422-1
Phone. 042-379-4655
Facsimile. 042-379-4656

Bloom into the future



The world that emerges in a few short years may transcend the boundaries of our imagination. We provide sustained support for an unpredictable future in our capacity as a semiconductor production equipment manufacturer. Why? Because we are confident that awe-inspiring technological innovation nurtures humanity's dreams in the present so they may bloom into the future.

TEL

60[↑]
years

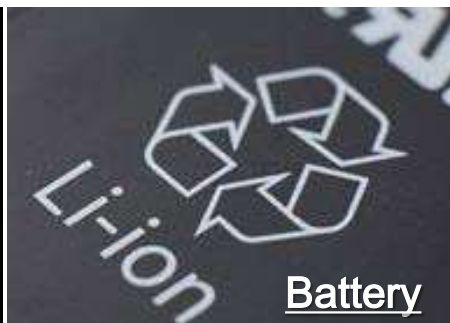
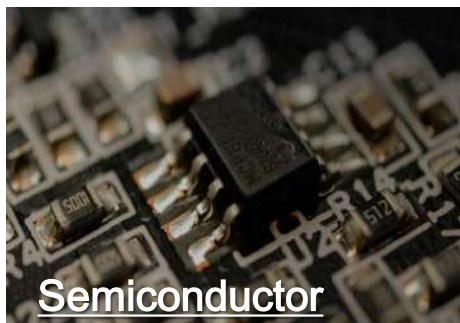
Toray Research Center, Inc.

"Contributing to society with advanced technology"
Providing through analytical techniques and physical property evaluation.

01 **Analytical Services**
Using latest analytic equipment by experienced skillful technicians

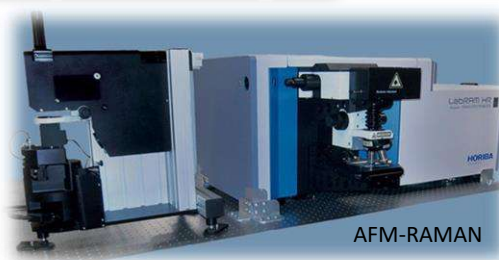
02 **Contract R&D Support**
Backed by cumulated and multidisciplinary expertise

40+ Year's of experiences in analytical service as your R&D partner



ANALYTICAL EQUIPMENT

- Cs-corrected TEM/STEM
- Dual Beam FIB-SEM
- Nano-SIMS 50L, GCIB TOF-SIMS
- AFM-RAMAN, AFM-IR
- Orbitrap Fusion Lumos
- Spiral TOF MALDI/MS



'TORAY'

Toray Research Center, Inc.

Established in 1978

- CONTACT US -

E-mail : bunseki.trc.mb@trc.toray
<https://www.toray-research.co.jp/en/>

2024年1月31日(水)

開始時間	終了時間	duration	内容	ID	タイトル	所属	講演者
20:00	21:30	1:30	チュートリアル		半導体製造における分析・計測技術の最前線	日立製作所	人見 敬一郎

2024年2月1日(木)

開始時間	終了時間	duration	内容	ID	タイトル	所属	講演者
9:00	9:10	0:10	Opening				
1 酸化物半導体・メモリデバイス・Si-MOS界面							
9:10	9:40	0:30	招待講演		原子層堆積法によるナノシート酸化物半導体トランジスタ	東京大学	小林 正治
9:40	10:00	0:20	一般講演	30	原子層堆積法で成膜した非晶質/多結晶In-Ga-Oトランジスタの信頼性	奈良先端大	高橋 崇典
10:00	10:20	0:20	一般講演	12	極薄膜AlN酸化で生成したワイドバンドギャップAl ₂ O ₃ 膜によるリーク電流低減実現	キオクシア	中島 裕亮
10:20	11:10	0:50	Break				
2 基調講演・ロジックプロセス							
11:10	12:00	0:50	基調講演		Advanced Logic Transistor Process Technology Towards 1-nm Node	Applied Materials	吉田 尚美
12:00	12:10	0:10	写真撮影				
12:10	13:30	1:20	Lunch				
3 ポスターセッション							
13:30	15:00	1:30	ポスターセッション				
15:00	15:30	0:30	Break				
4 企画セッション							
15:30	16:50	1:20	企画セッション		2nmノード & Beyondテクノロジーを見据えたロジックデバイスの開発動向		
16:50	17:00	0:10	Break (移動)				
17:00	17:30	0:30	オーサーズ インタビュー				
懇親会 (立食)							
17:30	19:30	2:00	懇親会				

2024年2月2日(金)

開始時間	終了時間	duration	内容	ID	タイトル	所属	講演者
8:45	8:50	0:05	2日目案内				
5 基調講演II・Si量子ビット							
8:50	9:40	0:50	基調講演		シリコン量子ビットデバイスの特性における界面の影響	理化学研究所	小林 嵩
9:40	10:10	0:30	招待講演		シリコン量子ビット技術と集積化に向けた研究開発	東京工業大学	小寺 哲夫
10:10	10:40	0:30	Break				
6 リザーブコンピューティング・2次元材料							
10:40	11:10	0:30	招待講演		金属酸化物およびLi イオンを用いた不揮発素子と脳型リザーブコンピューティング等への応用	東芝	丸亀 孝生
11:10	11:40	0:30	招待講演		二次元異種材料の接合技術と新機能創出	東京大学	町田 友樹
11:40	12:00	0:20	一般講演	21	単原子長ゲート構造への二次元半導体結晶の成長	東北大	杉野 秀明
12:00	13:00	1:00	Lunch				
7 Ge・GeSn・高周波デバイス							
13:00	13:20	0:20	一般講演	34	In ₂ O ₃ 系透明導電性酸化膜電極を用いたGeショットキーフォトダイオードの感度特性評価	東理大	石井 寛仁
13:20	13:40	0:20	一般講演	26	Si基板上 GeSn 細線のレーザー-溶融結晶化におけるレーザー-走査条件と下地 SiO ₂ 膜厚の最適化	阪大	早川 雄大
13:40	14:00	0:20	一般講演	32	GeSn/GeSiSn二重障壁構造における負性微分抵抗の発現	名大	石本 修斗
14:00	14:20	0:20	一般講演	17	InN MOVPE成長過程におけるTMIn分解・反応経路に関する理論研究	名大	長嶋 佑哉
14:20	14:45	0:25	Break				
8 パワーデバイス・SiC・GaN							
14:45	15:15	0:30	招待講演		パワー半導体に向けたダイヤモンドMOSFETの最近の進展	佐賀大学	嘉数 誠
15:15	15:35	0:20	一般講演	14	GaN/SiO ₂ 界面におけるGaOx界面層中のMg _{Ga} とVoの相互作用	名大	服部 柊人
15:35	15:55	0:20	一般講演	15	CVD 環境下におけるSiC(0001)表面へのN原子取り込み機構の理論研究	名大	山内 颯一郎
15:55	16:15	0:20	一般講演	31	4H-SiCにおける基底面転位(BPD)の第一原理計算を用いた電子構造解析 ~バイポーラ劣化現象の物理的起源の解明~	名大	佐野 雅季
16:15	16:35	0:20	一般講演	33	SiO ₂ ダミープロセスを用いたc及びm面のGaN/Al ₂ O ₃ /PtキャパシタのPBS特性の改善	NIMS	生田目 俊秀
16:35	16:45	0:10	Break				
表彰式・閉会式							
16:45	17:05	0:20	Closing		表彰式など		

ポスターセッション：2月1日(木) 13:30-15:00

Poster	ID	タイトル	所属	講演者
1	20	C軸配向AlScNを用いた固相成長ポリシリコンチャネルの結晶制御	東京都市大	野秋 元
2	24	HfZr酸化物へのNi電極形成が結晶構造および化学結合状態に与える影響	名大	佐野 友之輔
3	46	強誘電体Hf _{1-x} Zr _x O ₂ /TiNの界面反応に起因する分極疲労抑制メカニズムに関する考察	東大	女屋 崇
4	43	XPSスペクトルのNoise2Noiseデノイズングによる多層積層薄膜界面の高精度時空間深さ方向可視化	シエントアオミクロン	豊田 智史
5	16	角度分解2光子光電子分光法を用いたホールサブバンドの高分解能測定	東レリサーチ	坂田 智裕
6	40	SiN膜に含まれる水素の化学結合状態と分布に与える水素プラズマ処理の影響のAR-HAXPES評価	東京都市大	桐原 芳治
7	19	水素プラズマ処理によるALD-SiO ₂ 膜中トラップエネルギー準位の深化	東京都市大	藤田 雄輝
8	35	電子線照射によるSiO ₂ /Si界面欠陥生成	筑波大	清水 峻央
9	22	MOS構造における界面準位密度分布とコンダクタンスカーブ形状の関係	愛工大	田岡 紀之

10	44	一次元連結・高密度Si量子ドットの形成と局所帯電特性評価	名大	今井 友貴
11	45	極薄熱酸化SiO ₂ 上の自己組織化Si量子ドットの形成機構	名大	白 鍾銀
12	39	In-situ SbドーピングによるInP上n型Ge _{0.75} Sn _{0.25} エピタキシャル膜の形成	名大	柴山 茂久
13	38	Al/GeSn(111)構造上への熱処理による極薄・高Sn組成GeSn表面偏析	名大	柴山 茂久
14	25	Al/SiGe(111)/Si(111)構造の化学構造分析 - 熱処理による Si および Ge 偏析 -	名大	酒井 大希
15	23	表面酸化処理したSi/Ni/Si構造の熱処理によるSiO ₂ 上への極薄NiSi ₂ 膜形成	名大	木村 圭佑
16	18	Ar イオン注入した多層 MoTe ₂ の熱処理によるテルルナノシート形成	東京都市大	村中 柊都
17	29	2層MoS ₂ /h-BN MISキャパシタでの界面準位密度の測定	千葉大	鶴岡 大樹
18	36	ALDの実現に向けたオゾン処理と真空アニールによる WSe ₂ 表面へのSe欠陥導入	千葉大	小島 拓也
19	27	4H-SiC/SiO ₂ 界面におけるバンド配列の理論解析: 界面双極子形成の検討	三重大	松田 隼
20	13	GaN-MOS界面の酸化ガリウム層における原子配列評価	産総研	上沼 陸典
21	42	界面エネルギー計算にもとづくα-Al ₂ O ₃ (0001)基板上Ga ₂ O ₃ の構造安定性の理論的検討	三重大	戸田 康太
22	41	化学溶液洗浄したβ-Ga ₂ O ₃ 表面の光電子分光分析	福岡大	大田 晃生

EDIT29

半導体製造における分析・計測技術の最前線

2024/1/31

株式会社 日立製作所 研究開発グループ
人見敬一郎

- 2005年3月 東北大学電気工学科修了
- 2005年4月 (株)日立製作所入社
レジスト材料の高精度計測に従事
- 2010年10月 NY州Albany NanotechにてIBMとの共同研究に従事
- 2015年2月 電子顕微鏡の電子銃開発に従事
- 2016年4月 (株)日立ハイテクにて先端装置開発に従事
- 2020年4月 (株)日立製作所 電子顕微鏡の研究グループ
マネージャを拝命

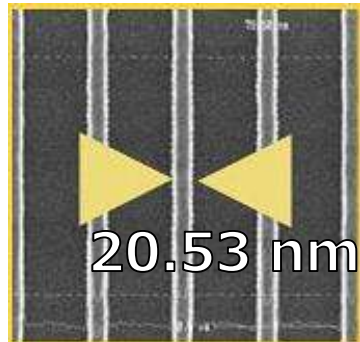


●半導体回路パターンの長さを計測するための走査電子顕微鏡の開発に従事

装置外観



半導体回路パターンの例

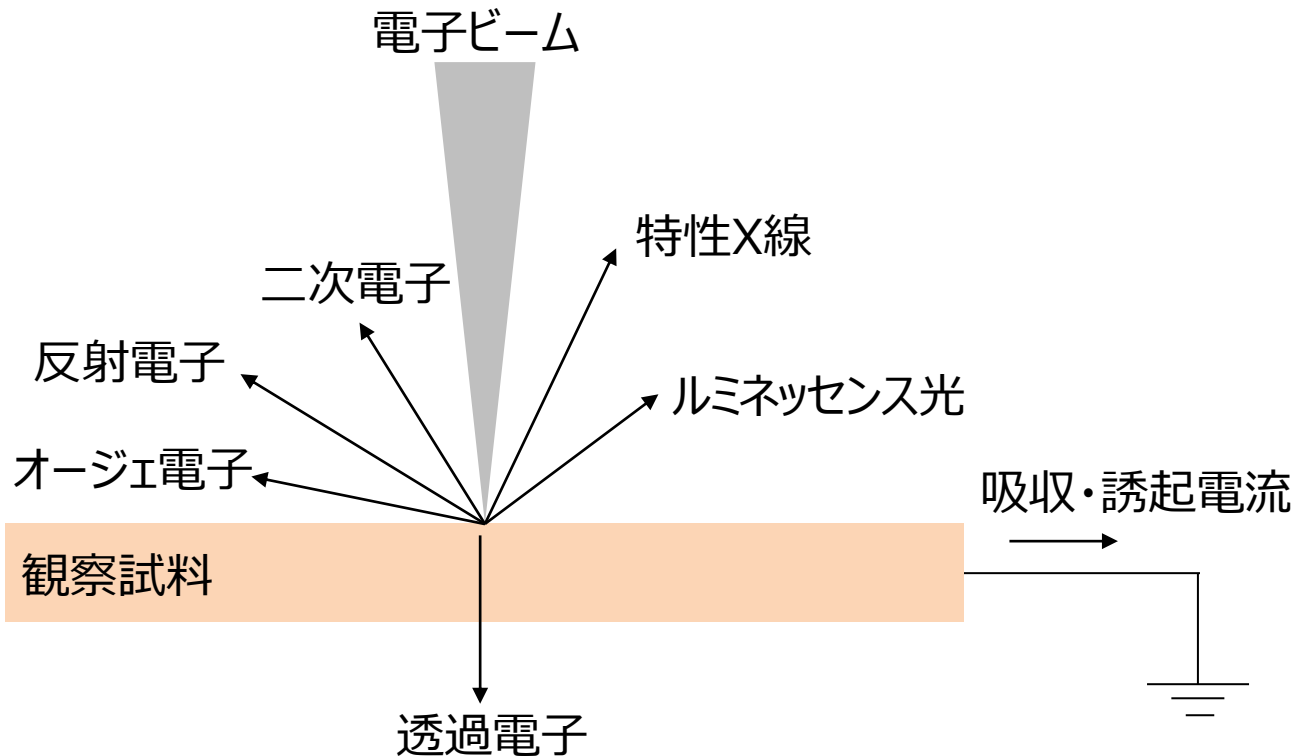


装置性能

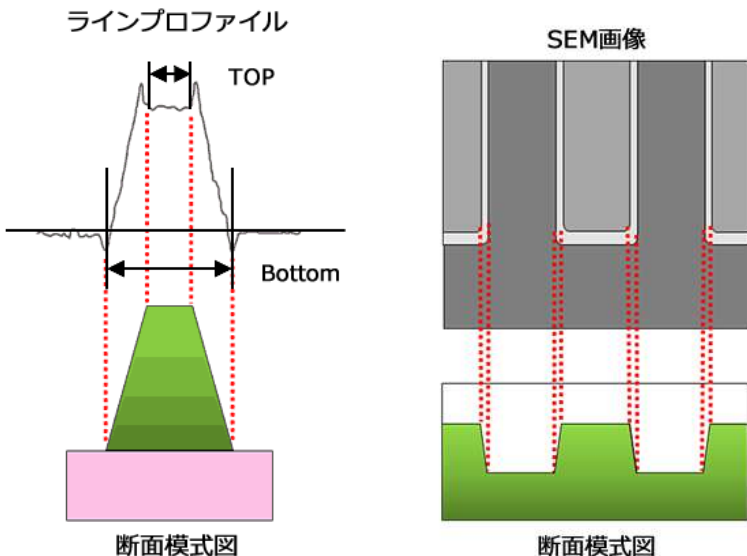
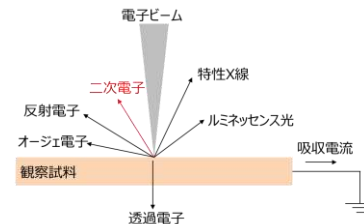
空間分解能 : 1.65 nm
 : 1.35 nm(画像処理)
計測再現性 : 0.12 nm
装置間機差(目標値) : 0.1 nm

3 電子ビーム照射により生じる信号

- 電子ビーム照射により、試料からは下図のような信号が発生する
- 信号量・特性は観察試料の形状・材料に依存するため、目的に応じて信号検出



- 二次電子は試料形状により信号量が変化する
→形状計測、欠陥検査に応用される



$$Process\ variation = \sqrt{\sigma(Process)^2 + \sigma(metrology)^2}$$

$$\sigma(metrology) = \sqrt{\sigma(mat.)^2 + \sigma(uni.)^2 + \sigma(rep.)^2}$$

Process	Metrology factors
Inter wafer	Tool matching: 0.10 - 0.20nm
Intra wafer	CD uniformity (global & local) : ~0.10 nm
Intra chip	Repeatability <0.10 nm
Intra pattern	

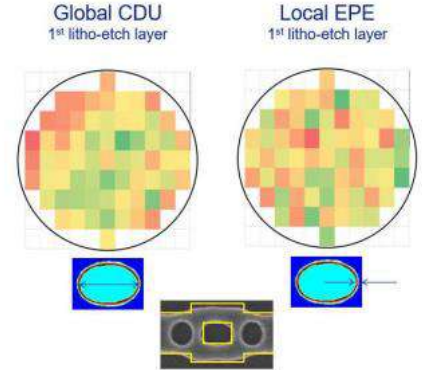
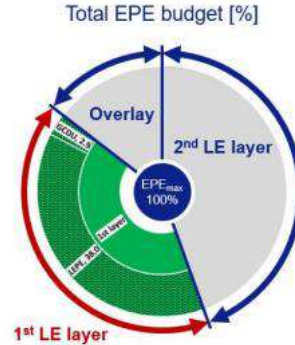
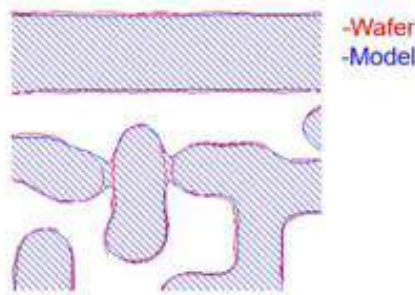
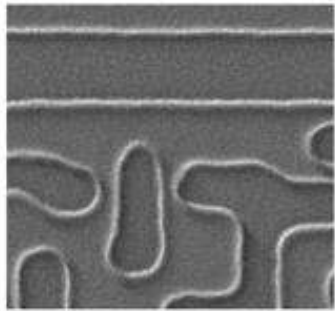
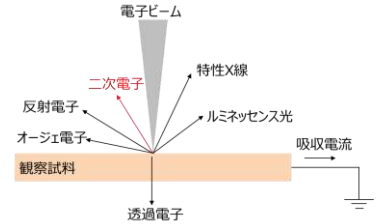
Fig. 12 Budget analysis of metrology errors for process control

CD-SEMに求められる計測性能

Zhigang Wang et al. "What is prevalent CD-SEM's role in EUV era?" SPIE 2020

[日立ハイテク Webサイト](#)から抜粋

- 二次電子は試料形状により信号量が変化する
→形状計測、欠陥検査に応用される



Kan Zhou et al. "Contour based process characterization, modeling and control for semiconductor manufacturing" SPIE 2021

Figure 6 Local variation dominates EPE in 1st litho-etch layer, contributing >35% of total EPE budget
Wenxhan Zhou et al. "Contour-based metrology for assessment of edge placement error and its decomposition into global/local CD uniformity and LELE intralayer overlay" SPIE 2021

パターン輪郭計測への応用例

● 反射電子は試料材料により信号量が変化する
→ 形状計測、材料特性計測に用いられる

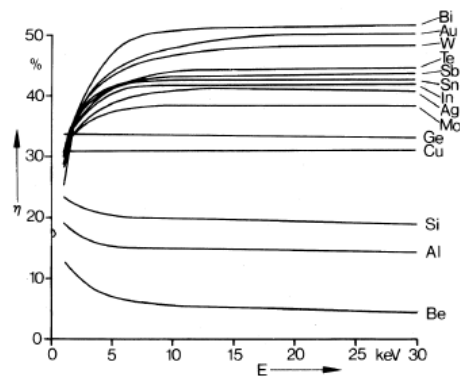
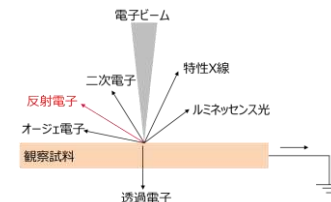
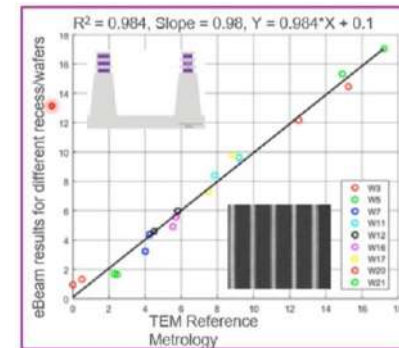
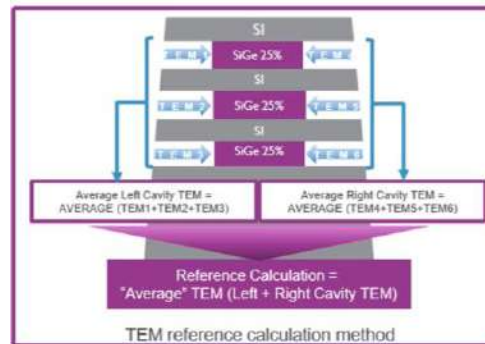


Fig. 4.9. Backscattering coefficient η as a function of electron energy in the range 1–30 keV [4,5]



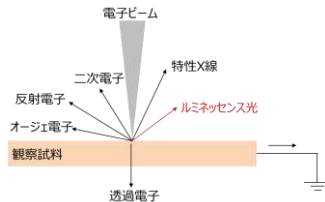
Reimer著
“Scanning electron Microscopy”より
重い元素ほど反射電子が多くなる

Ofer Adan et al. “A yield-centric perspective on the growing eBeam role in patterning control” SPIE 2021

下層に埋まったGAA構造の可視化

7 ルミネッセンス光の応用

●ルミネッセンス光は電子線照射により励起された電子がエネルギーを失うときに発生する光。励起準位により波長が変化する → 組成分析、欠陥検査に用いられる



SEM Application Data Sheet HITACHI Inspire the Next

酸化チタンのカソードルミネッセンス観察 SHEET No.105

ルネール アナターゼ

(a) 2種の酸化チタンのBSE像(1,000倍) 50 μm

ルネール アナターゼ

(b) 2種の酸化チタンのCL像(1,000倍) 50 μm

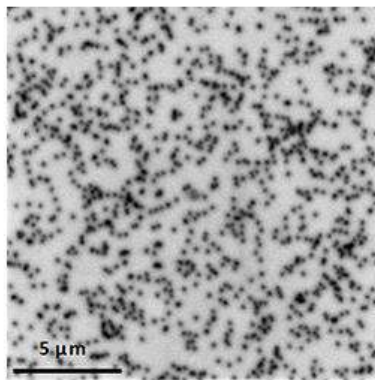
酸化チタン (TiO₂) にはルネールとアナターゼの2種で結晶があります。ルネールとアナターゼは組成は同じですが、結晶構造が異なり、白色顔料にはルネール、光増強にはアナターゼ製の酸化チタンが使われています。図(a)(b)はルネールとアナターゼを混合した試料の反射電子像です。反射電子像では両者を区別できないことが分かります。

図(c)(d)は同じ視野をUVD-CL (UVD増出器を用いたカソードルミネッセンス像) で測定した画像です。暗い部分にはルネール、明るい部分にはアナターゼが分布しています。UVD-CLを用いることでルネールとアナターゼを発光強度の違いとして簡単に区別することができました。

SEM観察条件
 装置: SU5000
 加速電圧: 5.0 kV
 検出: BSE (a), (b)
 UVD-CL: (c), (d)
 観察倍率: (a),(c) ×1,000
 (b),(d) ×10,000

株式会社 日立ハイテクノロジーズ 新着書: アプリケーション開発部 塩野正通

欠陥評価:エピタキシャル層の欠陥計数



カソードルミネッセンス強度イメージ(365 nm)

TiO₂のカソードルミネッセンス観察例
[日立ハイテクWebサイト](#)より

GaNの貫通転移可視化例
[東京インスツルメンツ社Webサイト](#)より

● 特性X線は電子線照射により励起された電子がエネルギーを失うときに発生するX線。励起準位により波長が変化する
→ 組成分析に用いられる

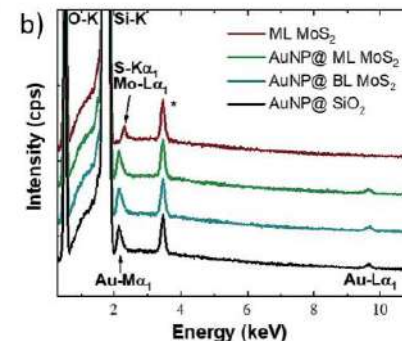
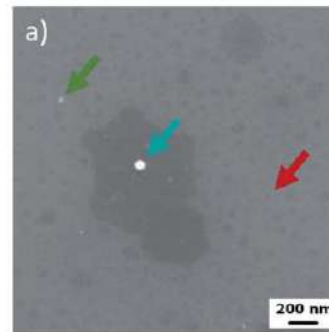
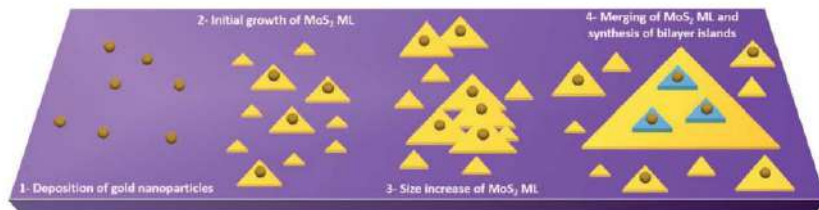
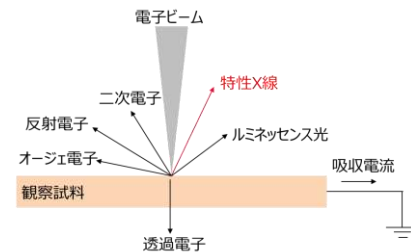


Fig. 3 (a): SEM image where the arrows indicate the sites of the EDX spectra. (b) EDX spectra of ML MoS₂ (red line), gold NPs on ML MoS₂ (green line) and on BL MoS₂ (cyan line) and the reference of gold NPs on the SiO₂ substrate (black line), respectively. The asterisk indicates a peak due to the instrumental system.

L. Seravalli et al., Nanoscale Advances **3**,4826(2021).

特性X線によるMoS₂の可視化例

●電子線照射により試料内部に生じる電荷量をイメージング →試料内部の導通状態を可視化する

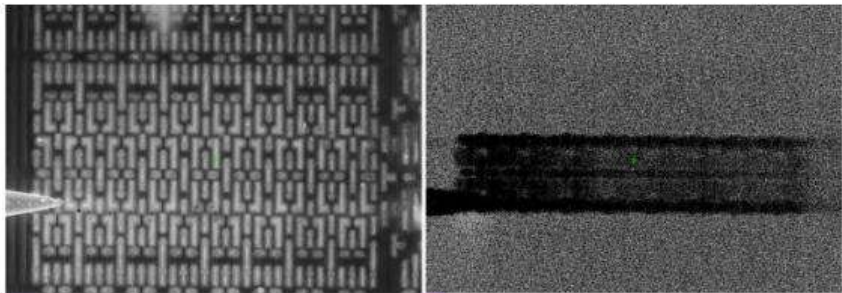
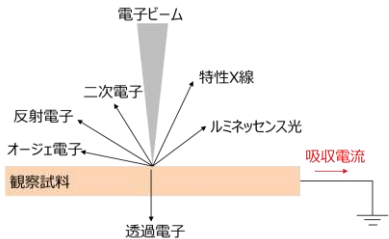
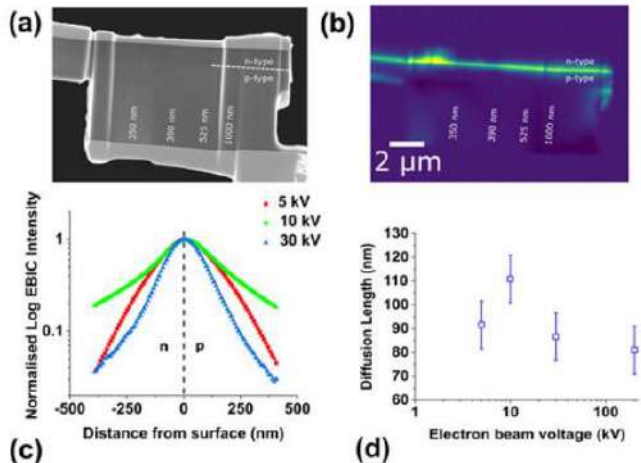


Fig. 7. SEM (left) and EBIC (right) images of an SRAM cell analyzed at 1.0 kV with the probe on a VDD contact. A “dark” zone extends down two NW/PW boundaries close to the contact.

SRAMセルの可視化例

G. M. Johnson, IEEE IPFA2020

FIG. 4.



p-n接合の可視化例

E.B. Yakimov, CRYSTALLOGRAPHY REPORTS 66,p.581-593(2021)

HITACHI
Inspire the Next 

原子層堆積法によるナノシート酸化物半導体トランジスタ

A nanosheet oxide-semiconductor transistor using atomic layer deposition

小林 正治^{1,2} 日掛 凱斗², 李 卓², ハオ ジュンシャン², パンディ チトラ²,
更屋 拓哉², 平本 俊郎², 高橋 崇典³, 上沼 睦典³, 浦岡 行治³

- 1 東京大学工学系研究科附属システムデザイン研究センター 〒153-8505 東京都目黒区駒場 4-6-1
2 東京大学生産技術研究所株式会社 3 奈良先端科学技術大学院大学

Masaharu Kobayashi^{1,2}, Kaito Hikake², Zhuo Li², Junxiang Hao², Chitra Pandey², Takuya Saraya²,
Toshiro Hiramoto², Takanori Takahashi³, Mutsunori Uenuma³, and Yukiharu Uraoka³

1 System Design Lab, The University of Tokyo, 4-6-1 Komaba Meguro-ku, Tokyo 153-8505, Japan

2 Institute of Industrial Science, The University of Tokyo, 3 Nara Institute of Science and Technology

Tel: + 81-3-5452-6813, Fax: + 81-3-5452-6265 (e-mail: masa-kobayashi@nano.iis.u-tokyo.ac.jp)

Abstract

3D integration has been actively explored for high density and high functionality of semiconductor devices. In particular, 3D monolithic integration builds a memory array directly on top of a processing unit and thus enables high energy-efficient computing. Oxide semiconductor is a promising channel material for 3D integration due to its low temperature process, high mobility and low leakage. Highly uniform and high quality oxide semiconductor deposition is necessary. In this paper, we developed atomic layer deposition (ALD) process of nanosheet InGaOx (IGO) with high quality and high uniformity. We investigated the composition and thickness dependence of IGO FET characteristics. We demonstrated high mobility, normally-off, high reliability nanosheet IGO FET.

1. 背景

半導体デバイスの大規模集積化に向けて、デバイスの高密度化・高機能化・高製造可能性を実現できる三次元集積デバイス技術が重要となってきた。従来ディスプレイ応用で用いられてきた InGaZnO を始めとする酸化物半導体チャンネルのトランジスタ(OSFET)は、低温で CMOS プロセスの配線層に形成可能であり[1-6]、三次元構造メモリへの適応可能性も示唆されており[7,8]有望視されている(図1)。低温形成可能な他、高移動度・低リーク電流・高耐圧といった優れた特徴も有している。OSFETの大規模集積化には微細化が必須であり、薄膜トランジスタである以上、短チャンネル効果を抑制するためには極薄膜の成膜が必須である。OSの場合、原子層堆積(ALD)法を用いた成膜が可能である[9]。私達は、CMOSプロセスとの整合性を考慮し、高温での材料の安定性を重視し、高

温でもアモルファス相を維持できるとされる InGaO(IGO)に注目している。これまで ALD 法による InGaO を用いた OSFET の基礎的な特性の報告[10]はあるものの、大規模集積化に向けたデバイス設計に資する研究報告はされていない。また OSFET の製造プロセスでは酸素を意図的に導入することが想定されるため、酸化による影響を受けにくい酸化物ベースの電極も想定される[11]。

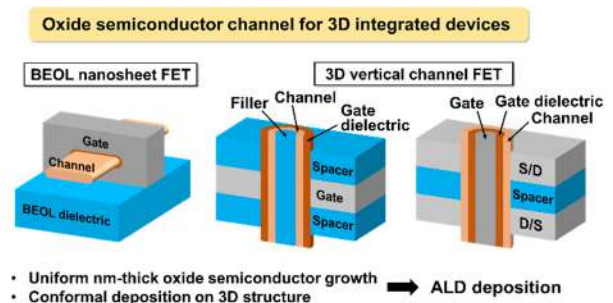


図1 酸化物半導体の三次元集積デバイスへの応用可能性

本研究では、チャネル材料として IGO, 電極材料として InSnO(ITO)を ALD 法で成膜する技術を開発し, IGO FET の組成比・膜厚依存性などを系統的に評価して特性間のトレードオフを調査し, 高性能・高信頼性なナノシート IGO OSFET を開発したので報告する.

2. 酸化物半導体の ALD 成膜とデバイス試作

本研究では, IGO および ITO を熱 ALD 法により成膜した. プリカーサーとしては, TEIn, TEGa, TESn を用い, 酸化剤としては O₃ を用いた. 成膜温度は 250°C である. はじめに IGO の熱安定性を調べるために, 成膜後アニール (PDA) を行い, XRD 測定を行った. 図 2(a) に示すように, 短距離秩序を表すハローパターンが見えるが 600°C までアモルファス相が維持されていることがわかる. 次に ITO の電気特性を調べるために, In と Sn の組成比を変えたサンプルを用意し, ホール測定を行った. 図 2(b) に示すように, Sn が 5% であるときにキャリア密度が最大で抵抗率が最小になり, PDA によって特性が向上することもわかった.

今回, シングルゲートとダブルゲートの IGO FET を試作した. シングルゲートでは, スパッタで成膜した TiN をボトムゲートとし, ALD 法で成膜した HfO₂ をゲート絶縁膜とし, ALD 法で IGO を成膜しパターニングを行った. IGO については後述のように組成比および膜厚をふっている. TiN のリフトオフによりソース・ドレインのパッドを形成した. ダブルゲートでは, ボトムゲートに ALD 法による ITO を用いたシングルゲートのプロセスに続いて, トップゲートを ALD 法で成膜した HfO₂ と ITO で形成して試作を行った.

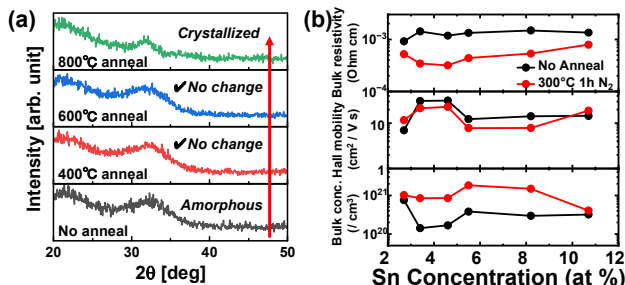


図 2 (a) IGO 薄膜の PDA 後の XRD スペクトル, (b) ITO 薄膜のホール測定による特性の組成比依存性.

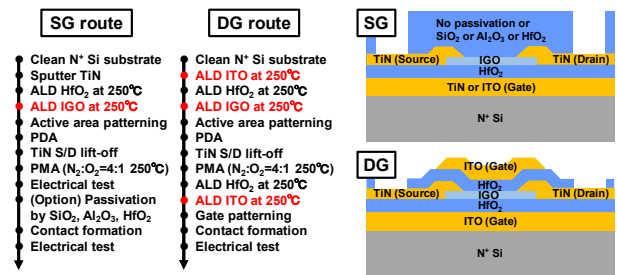


図 3 シングルゲートおよびダブルゲート IGO FET の試作プロセスフローとデバイス断面模式図.

3. シングルゲート IGO FET のデバイス特性

はじめに典型的な IGO FET の I_d - V_g 特性を図 4 に示す. TiN ゲート・ITO ゲートいずれにも良好なトランジスタ特性を示しており, ほぼ理想的なサブスレショルド係数(SS)を有している. IGO FET の熱安定性を見るために, IGO FET の PDA 温度依存性を図 5 に示す. HfO₂ のゲート絶縁膜で少なくとも 500°C まで安定に動作していることがわかる. 500°C より高温での特性劣化は, HfO₂ の膜厚が 12nm 程度と厚いため結晶化してしまったことが原因である. 実際に参考として SiO₂ をゲート絶縁膜とすると 600°C まで安定である.

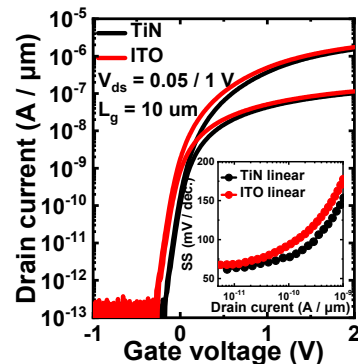


図 4 TiN と ITO をゲートとする IGO FET の I_d - V_g 特性.

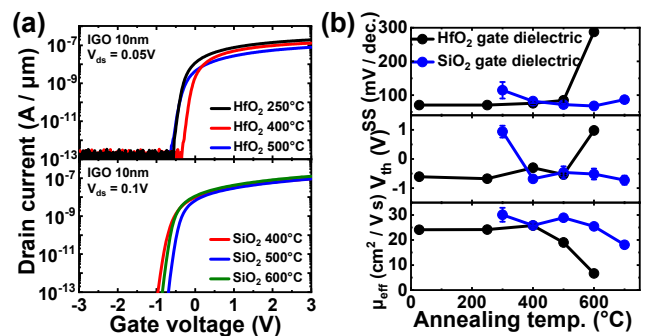


図 5 IGO FET の I_d - V_g 特性の PDA 温度依存性.

続いて In/Ga 組成比依存性を調査した. 図 6 には 10nm の膜厚の IGO FET で In/Ga 組成比を 3:1 から 1:2 までふったものの特性を示す. Ga 濃度を増加するにつれて移動度が下がり, 閾値電圧(V_{th})は高くなることわかる. サブスレショルド係数は大きく変化しない. これらは, In を含む酸化物半導体では通常 InO のネットワークが電子伝導に寄与する一方, GaO がこのネットワークに導入されることで電子伝導が抑制されることが原因と考えられる[12,13]. 電極形成後アニール(PMA)後には, 特に In 濃度が高い IGO FET で V_{th} が高くなっている. これはドナーとして働く酸素空孔が PMA によって減少したことによると考えられる.

Ga 濃度を増加させたときに顕著になるのが V_{th} のドリフトである. 図 7 にゲート電圧を複数回掃引した時のトランジスタ特性を示す. Ga 濃度を増加するほど V_{th} の正方向へのドリフトが顕著になる. 一方 SS は小さくなっていることもわかる. このため, ノーマリーオフ動作のために Ga 濃度を増やしたいが, V_{th} ドリフトを考えると Ga は 40%までが許容範囲といえる.

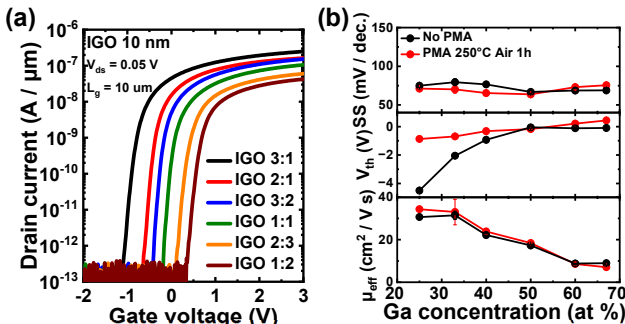


図 6 IGO FET の I_d - V_g 特性の In:Ga 組成比依存性

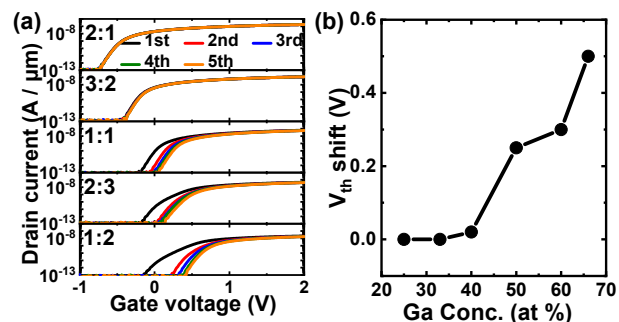


図 7 IGO FET の V_{th} ドリフトの In:Ga 組成比依存性

次に IGO の膜厚依存性を調査した. 図 8 に In:Ga=3:2 の組成で膜厚を 10nm から 3nm までふったものの電気特性を示す. 膜厚を 5nm 程度まで薄くしても電気特性が維持できていることがわかる. 一方, 今回の実験では 3nm まで薄

くすると特性が劣化していることがわかる. IGO の極薄化による特性劣化が本質的な物理によるものかは現在調査中である.

V_{th} のドリフトには IGO の膜厚依存性があることもわかった. 図 9 に図 7 と同じく, ゲート電圧を複数回掃引したときの V_{th} のドリフトの IGO 膜厚依存性を示す. IGO の膜厚が薄いほどドリフトが大きいことがわかる. V_{th} のドリフトも考慮すると IGO の膜厚は 5-7.5nm 程度が適切な範囲といえる.

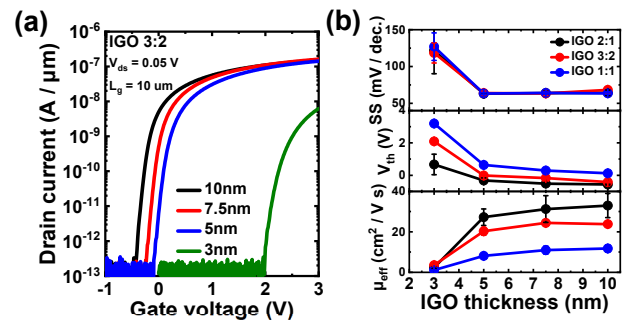


図 8 IGO FET の I_d - V_g 特性の IGO 膜厚依存性

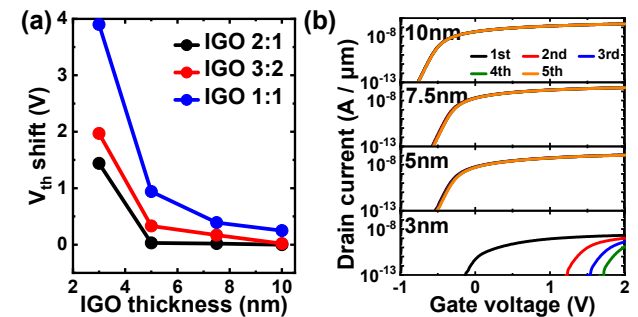


図 9 IGO FET の V_{th} ドリフトの IGO 膜厚依存性

IGO FET の V_{th} のドリフトについては(1)Ga 濃度が増加するにつれて大きくなる, (2)IGO 膜厚が薄くなるにつれて大きくなる, ことが以上よりわかった. この現象については過去の報告に基づいて以下のように解釈できる(図 10)[14]. IGO には成膜またはアニール時に取り込まれる過剰酸素が存在する. この過剰酸素はバンドギャップ内の伝導帯側に状態密度を形成しキャリア電子をトラップする. そのため最初のゲート電圧掃引では V_{th} は低いですが SS が大きくなる. しかしこの過剰酸素は隣接しているホスト酸素とダイマー結合していると, キャリアをトラップすることでダイマーが切断され構造緩和が起こり, その結果バンドギャップ内の伝導帯側にあった状態密度がバンドギャップ内の深いところへ遷移する. これにより二回目以降の電圧掃引では V_{th} は高くなり SS が小さくなる.

このダイマーの切断は酸素との結合が強い Ga が酸素に接続しているほど起こりやすくなるため、Ga 濃度が高いほど V_{th} ドリフトが大きくなると考えられる。IGO の膜厚が薄い場合には、大気中の水分を含む空気が IGO と接しており、プロセス中の加熱より酸素が IGO 中に取り込まれ、膜厚が薄いほど過剰酸素がチャンネル近傍に形成されやすくなり、キャリア電子のトラップが容易となり、 V_{th} ドリフトが起こりやすくなるものと考えられる。

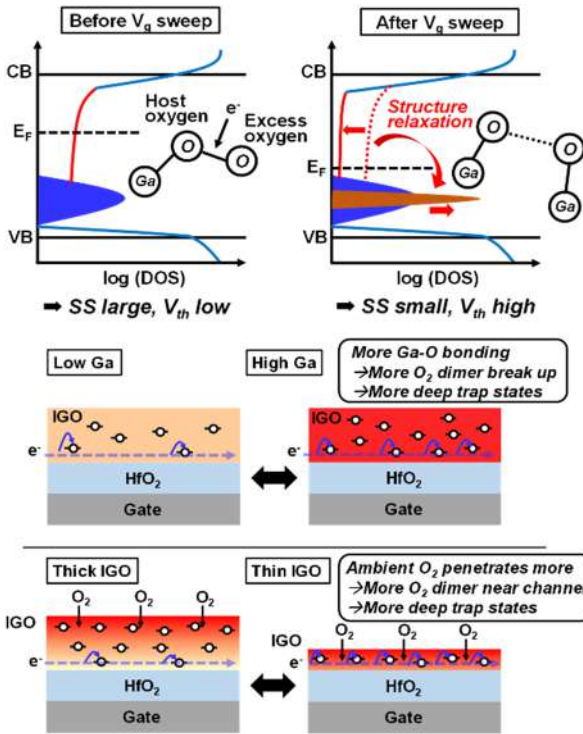


図 10 IGO FET における V_{th} ドリフトの説明図

これまで IGO の膜内の電荷トラップに着目してきたが、今回ゲート絶縁膜と IGO チャンネルとの間の界面準位密度も評価した。SS の IGO 膜厚依存性を取得しそれを線形フィッティングすることにより、膜厚によらない成分 (界面準位相当) と膜厚による成分 (IGO 膜中トラップ相当) を抽出した。図 11 に示すように、界面準位密度は Ga の濃度にはほとんど依存せず $10^{11} \text{cm}^{-2} \text{eV}^{-1}$ となり、 HfO_2 ゲート絶縁膜に対して良好な値を示している。これは酸化膜-酸化膜という材料の相性の良さを端的に表しているものと考えられる。

以上の結果を移動度、 V_{th} 、 V_{th} ドリフトについてまとめたのが図 12 である。これらの間には明らかなトレードオフが存在し、高い移動度とノーマリーオフ動作、そして高い信頼性を同時

に実現するためにはこのトレードオフを解消する必要があり、プロセスの最適化またはデバイス構造を変えることが求められる。本研究では特に後者のアプローチを取り、ダブルゲートのナノシート IGO FET 構造を採用することによって高い移動度とノーマリーオフ動作、そして高信頼性を実現することを試みたので次章で説明する。

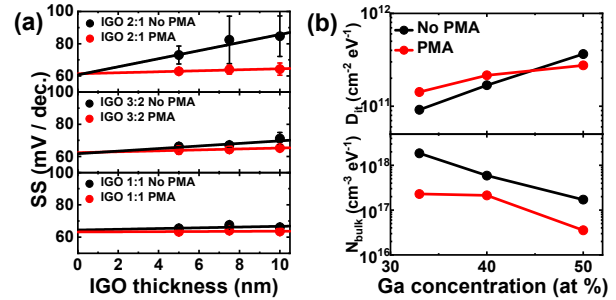


図 11 (a) IGO FET の SS の膜厚依存性、(b)抽出した界面準位密度とバルクトラップ密度。

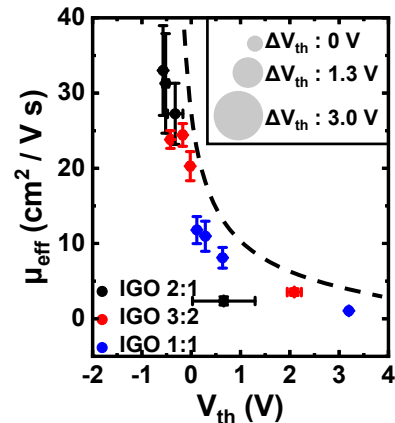


図 12 IGO FET の移動度、 V_{th} 、 V_{th} ドリフトの関係。

4. ダブルゲートナノシート IGO FET

試作したダブルゲートナノシート IGO FET のチャンネル部の断面 TEM 像と EDX 元素マッピングを図 13, 14 に示す。IGO の膜厚は 7nm であり、ALD 法により均一かつ平坦にアモルファス相として形成できていることがわかる。また HfO_2 と IGO の界面は急峻であり、ITO に Sn が一様に分布していることも確認できる。

次に試作したダブルゲートナノシート IGO FET の電気特性を図 15 に示す。シングルゲートと比べて V_{th} が高くなり、ノーマリーオフ動作が得られていることがわかる。これは、ダブルゲートにすることで各ゲートが IGO チャンネル膜厚の半分をピンチオフするだけでよくな

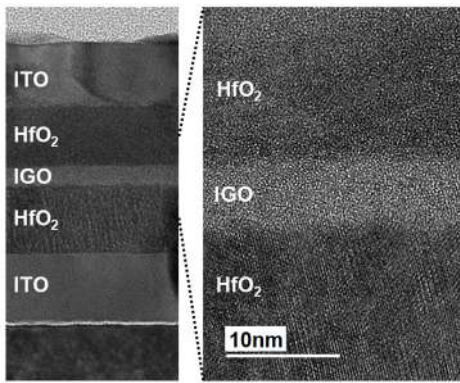


図 13 IGO FET のチャンネル部の断面 TEM 像。

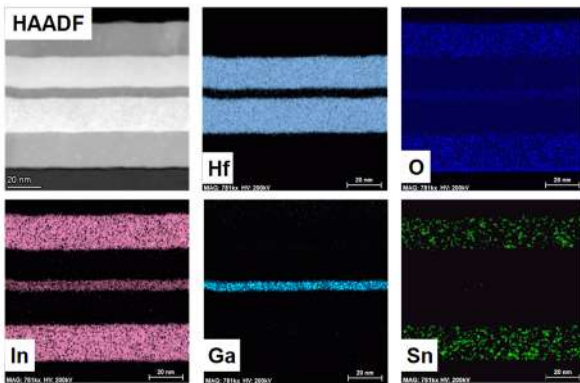


図 14 IGO FET のチャンネル部の EDX 元素マッピング。

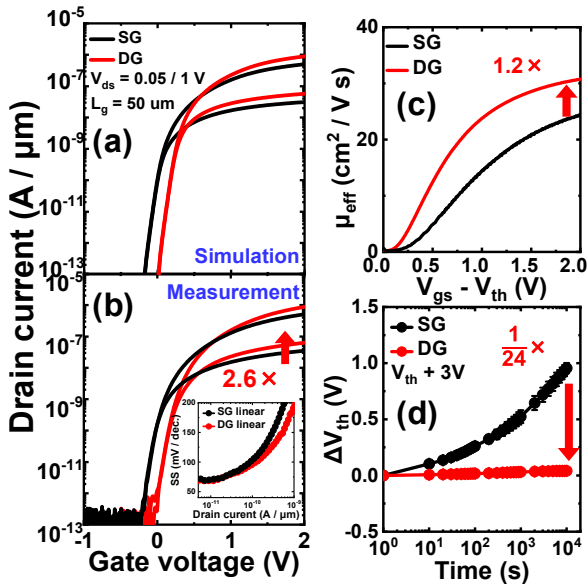


図 15 シングルゲート(SG)とダブルゲート(DG)IGO FET の I_d - V_g 特性(a)TCAD シミュレーション, (b)測定結果, (c)移動度, (d)正バイアスストレス V_{th} シフト。

るために V_{th} が高くなるからである。実際に TCAD シミュレーションでも確認している。ダブルゲートでチャンネルが上下二層になったことでオン電流は 2.6 倍向上している。移動度はシングルゲートに比べて 1.2 倍向上している。

これは上部の HfO_2 を成膜する前に真空 N_2 アニールを施しているため、過剰酸素を抑制できたことが一因と考えられる。特筆すべきは正電圧ストレスによる V_{th} シフトが大幅に改善されたことである。これはダブルゲートナノシート構造にすることで過剰酸素が抑制できたこと、そしてストレス電界が低減できたことが要因と考えられる。

最後に図 16 に ALD で成膜した IGO による FET のベンチマークを示す[10,15-18]。本研究では、ダブルゲートナノシート IGO FET により高移動度・ノーマリーオフ動作・高信頼性を同時に実現することに成功した。

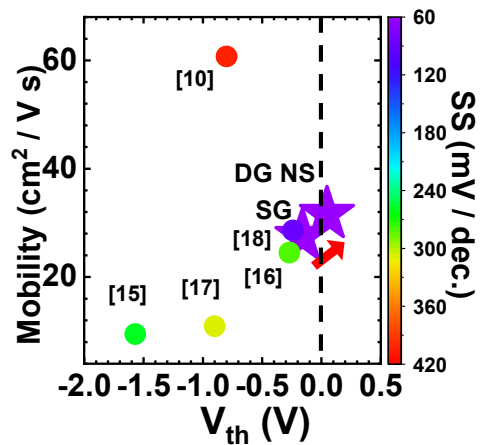


図 16 ALD 法による IGO FET の特性のベンチマーク

5. まとめ

本研究では、モノリシック三次元集積デバイスとして期待される酸化物半導体トランジスタに関して、チャンネル材料として高い熱安定性を有する IGO に注目し、ALD 法によるナノ薄膜の成膜技術を開発、IGO FET のトランジスタ特性について IGO の組成比依存性や膜厚依存性を系統的に調査し移動度・ V_{th} ・ V_{th} 安定性の間に明確なトレードオフがあることを明らかにし、ダブルゲートナノシート IGO FET で高移動度・ノーマリーオフ動作・高信頼性を実現した。本発表は VLSI Symposium 2023 で発表した内容に基づく[19]。

謝辞

本研究は TSMC Advanced Semiconductor Research Project と科研費(21H04549)の支援を受けて実施された。

文献

- [1] H. Ye et al., “Double-Gate W-Doped Amorphous Indium Oxide Transistors for Monolithic 3D Capacitorless Gain Cell eDRAM”, IEDM, 613 (2020).
- [2] J. Wu et al., “Monolithic Integration of Oxide Semiconductor FET and Ferroelectric Capacitor Enabled by Sn-Doped InGaZnO for 3-D Embedded RAM Application”, IEEE TED, 68, 12 (2021).
- [3] U. Chand et al., “2-kbit Array of 3-D Monolithically-stacked IGZO FETs with Low SS-64mV/dec, Ultra-low-leakage, Competitive μ -57 $\text{cm}^2/\text{V}\cdot\text{s}$ Performance and Novel nMOS-Only Circuit Demonstration”, VLSI Symp., T10-2 (2021).
- [4] Z. Lin et al., “High-Performance BEOL-Compatible Atomic-Layer-Deposited In₂O₃ Fe-FETs Enabled by Channel Length Scaling down to 7 nm: Achieving Performance Enhancement with Large Memory Window of 2.2 V, Long Retention > 10 years and High Endurance > 10⁸ Cycles”, IEDM, 386 (2021).
- [5] M. Endo et al., “A c-axis aligned crystalline IGZO FET and a 0.06- μm^2 HfO₂-based Capacitor 1T1C FeRAM with High Voltage Tolerance and 10-ns Write Time”, IEDM 2022, 134 (2022).
- [6] S. Subhechha et al., “Ultra-low Leakage IGZO-TFTs with Raised Source/Drain for $V_t > 0$ V and $I_{on} > 30 \mu\text{A}/\mu\text{m}$ ”, VLSI Symp., 292 (2022).
- [7] Z. Li et al., “A 3D Vertical-Channel Ferroelectric /Anti-Ferroelectric FET With Indium Oxide”, IEEE EDL, 43, 8, 1227 (2022).
- [8] K. Huang, et al., “Vertical Channel-All-Around (CAA) IGZO FET under 50 nm CD with High Read Current of 32.8 $\mu\text{A}/\mu\text{m}$ ($V_{th} + 1$ V), Well-performed Thermal Stability up to 120 °C for Low Latency, High-density 2T0C 3D DRAM Application”, VLSI Symp., 296 (2022).
- [9] J. Sheng et al., J. Vac. Sci. Technol. A, “Review Article: Atomic layer deposition for oxide semiconductor thin film transistors: Advances in research and development”, 36, 6, 060801 (2018).
- [10] H. J. Yang et al., “High-Performance Thin-Film Transistors with an Atomic-Layer-Deposited Indium Gallium Oxide Channel: A Cation Combinatorial Approach”, ACS AMI, 12, 47, 52937-52951 (2020).
- [11] J. W. Elam, et al., “Atomic Layer Deposition of Indium Tin Oxide Thin Films Using Nonhalogenated Precursors”, J. Phys. Chem. C, 112, 1938 (2008).
- [12] T. Kamiya et al., “Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping” J. Disp. Tech., 5, 12, 468 (2009)
- [13] S. L. Moffitt, et al., “Probing the Unique Role of Gallium in Amorphous Oxide Semiconductors through Structure–Property Relationships”, Adv. Electron. Mater., 3, 1700189 (2017).
- [14] W. H. Han et al., “Electronic Structure of Oxygen Interstitial Defects in Amorphous In-Ga-Zn-O Semiconductors and Implications for Device Behavior”, Phys. Rev. Appl., 3, 044008 (2015).
- [15] J. Sheng et al., “Atomic Layer Deposition of an Indium Gallium Oxide Thin Film for Thin-Film Transistor Applications”, ACS AMI, 9, 28, 23934-23940 (2017).
- [16] H. J. Seul et al., “Atomic Layer Deposition Process-Enabled Carrier Mobility Boosting in Field-Effect Transistors through a Nanoscale ZnO/IGO Heterojunction”, ACS AMI, 12, 30, 33887-33898 (2020).
- [17] T. Hong et al., “Significance of Pairing In/Ga Precursor Structures on PEALD InGaOx Thin-Film Transistor”, ACS AMI, 13, 24, 28493-28501 (2021),.
- [18] J. Zhang et al., IEEE EDL, pp 273-276 (2023).
- [19] K. Hikake et al., “A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel and InSnOx Electrode with Normally-off Operation, High Mobility and Reliability for 3D Integrated Devices”, VLSI Symp. T14-1 (2023).

原子層堆積法で成膜した非晶質/多結晶 In-Ga-O トランジスタの信頼性

Reliability characteristics in atomic layer deposited amorphous/polycrystalline In-Ga-O

高橋 崇典¹, 上沼 睦典², 小林 正治³, 浦岡 行治¹

1 奈良先端科学技術大学院大学 〒630-0192 奈良県生駒市高山町 8916-5

2 産業技術総合研究所 〒841-0052 佐賀県鳥栖市宿町 807-1

3 東京大学 〒153-8505 東京都目黒区駒場 4-6-1

Takanori Takahashi¹, Mutsunori Uenuma², Masaharu Kobayashi³, Yukiharu Uraoka¹

1 Nara Institute of Science and Technology, 8916-5 Takayama-cho, Ikoma, Nara, 630-0192, Japan

2 Advanced industrial Science and Technology, 807-1 Shuku-machi, Tosu, Saga, 841-0052, Japan

3. The University of Tokyo, 4-6-1 Komaba, Meguro-ku, Tokyo, Japan

Tel: + 81-72-6063, (e-mail: t.takahashi@ms.naist.jp)

Abstract

This paper discusses reliability characteristics for positive gate bias stress of field-effect transistors with atomic layer deposited amorphous or crystalline In-Ga-O oxide semiconductor channels. The shift in threshold voltage of amorphous In-Ga-O were primarily determined by composition ratio of In:Ga and annealing temperature base on excess oxygen model. In addition, there is a concern that atomic layer deposited In-Ga-O is more likely to incorporate excess oxygen into thin film due to its oxidation process compared to conventional sputtering methods. To solve this issue, crystalline In-Ga-O was proposed, and its atomic layer deposition and device application were demonstrated. The crystalline In-Ga-O, Ga-doped In₂O₃ channel achieved better reliability characteristics for gate bias stress compared to amorphous In-Ga-O channel. This result suggests that the lower Ga concentration and crystal phase of bixbyite In₂O₃ suppressed introduction of excess oxygen. The use of crystalline material is an important approach to achieve both high-mobility and high-reliability in atomic layer deposited oxide semiconductors for integrated device applications.

1. はじめに

In₂O₃ や ZnO を主成分とする酸化物半導体を用いた電界効果トランジスタ (FET) は 10-50 cm²/Vs を超える電子移動度、極小リーク電流、低プロセス温度等の特徴から薄膜トランジスタのチャンネル材料として実用化されている。近年、In-Ga-Zn-O (IGZO)^[1] 等に代表される酸化物半導体は超集積回路や半導体メモリへの実装が期待されており、三次元強誘電体メモリ^[2, 3] や Back end of line へ適用可能な FET^[4-8] が実証されている。酸化物半導体を用いた各種集積デバイスを実現するためには、素子の集積度と短チャンネル効果抑制の観点から極薄膜チャンネルを三次元構造上へ均一に成膜する必要があり、従来のスパッタ法ではなく原子層堆積 (ALD)

法を用いる必要がある。しかし、これまでは酸化物半導体の成膜に物理的成長法であるスパッタ法が用いられてきたため、ALD プロセスが酸化物半導体の物性や FET の信頼性へ及ぼす影響、それらの相関関係は明らかではない。したがって、集積デバイスに酸化物半導体を実装するためには、ALD 法によって成膜される酸化物半導体の物性および素子特性プロセスを理解して更なる電子移動度と信頼性の向上を図る必要がある。

本研究グループでは三次元集積デバイスに適用可能な酸化物半導体材料の候補として、過剰な酸素欠損を抑制でき熱プロセス耐性にも優れた非晶質 In-Ga-O (IGO) 系に着目しており、ALD 法による成膜およびデバイス応用を行ってきた^[8-10]。しかし、IGO-FET はゲート電圧ス

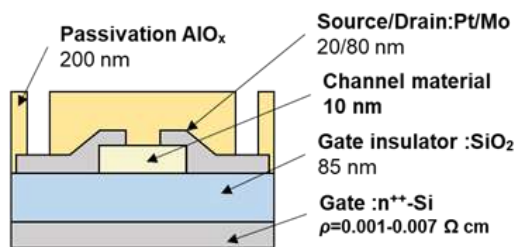


Fig.1 Device structure of IGO-FETs.

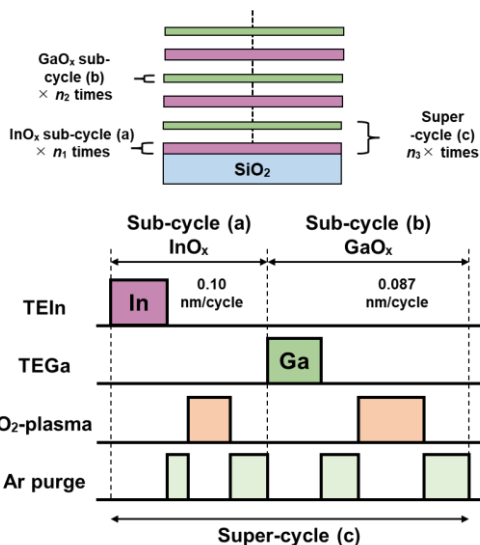


Fig.2 Schematic concept of atomic layer deposition of In-Ga-O thin films by super-cycle method.

トレスに対して容易にしきい値電圧 (V_{th}) が変動することが観測されており、信頼性面に課題がある^[8,10]。本研究ではFETの信頼性と半導体材料に由来する IGO 組成比や熱処理温度との関係、結晶化が及ぼす効果を評価することで、 V_{th} 不安定性の要因を考察し、その改善を図ることを目的とする。

2. 実験条件

約 10 nm 厚の IGO チャネルを熱酸化 SiO₂ (85 nm) /n⁺-Si 基板上に ALD 法を用いて成膜し、AlO_x 保護膜を有するトップコンタクト/ボトムゲート型 FET (図 1) を作製した。IGO チャネルの前駆体には Triethylindium と Trimethylgallium を使用し、成膜温度は 200°C、酸化剤は O₂ プラズマとした。IGO チャネルの堆積後、大気雰囲気にて熱処理を行った。図 2 に示すように IGO 膜における In:Ga の組成比は、InO_x 層と GaO_x

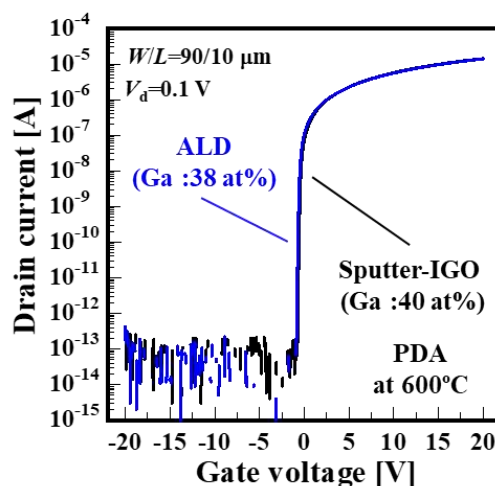


Fig.3 Transfer characteristics of IGO-FETs with ALD (blue line) and sputter (black line) -derived channels.

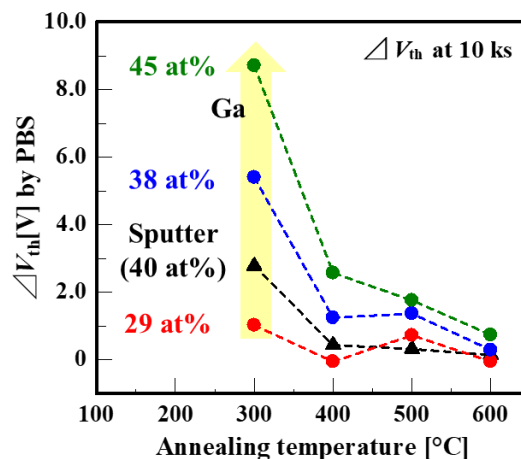


Fig.4 The shift in V_{th} against annealing temperature of atomic layer deposited amorphous IGO channel with various Ga concentrations.

層の成長サイクル比を調整することで制御した。また、比較試料としてスパッタ法で成膜した各種酸化物半導体材料を用いた FET も作製した。FET の信頼性評価としてはゲート電極に正電圧を印加するポジティブバイアスストレス (positive bias stress :PBS) を実施し、ストレス印加時間に対する V_{th} シフト量 (ΔV_{th}) を評価した。

3. 実験結果

図 3 にスパッタ法および ALD 法によって成

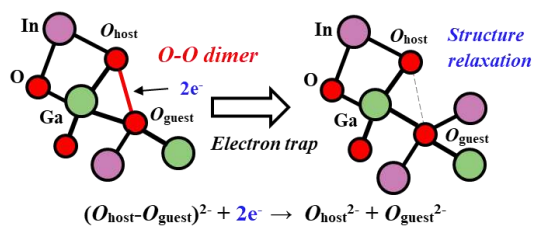


Fig.5 Schematic concept of O-O dimer model as an excess oxygen in amorphous oxide semiconductors.

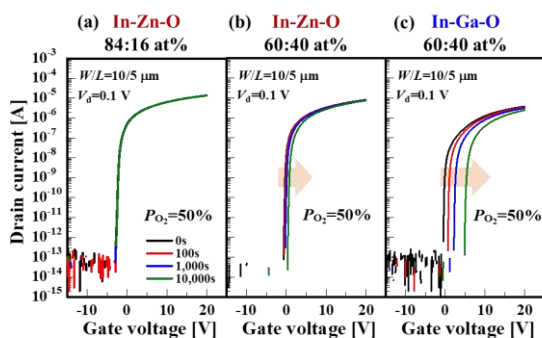


Fig.6 The transfer characteristics of (a) In-Zn-O [In:Zn=84:16 at%], (b) In-Zn-O [In:Zn=60:40 at%], and (c) In-Ga-O [In:Ga=60:40 at%] channels under positive gate bias stress.

膜した非晶質 IGO をチャンネルとした FET の伝達特性を示す。図 3 より、成膜方法に依存せず電界効果移動度 (μ_{FE})、 V_{th} 、 S 値がそれぞれ $28.9 \text{ cm}^2/\text{Vs}$ 、 -0.46 V 、 72 mV/decade であった。図 4 に PBS に対する ΔV_{th} の熱処理温度依存性を示す。ここでは Ga 濃度が異なる ALD-IGO チャンネルの信頼性を比較した。本研究ではゲート絶縁膜由来の電荷捕獲成分を最小化するため熱酸化 SiO_2 を使用しており、電圧ストレスによって発生する ΔV_{th} は IGO/ SiO_2 界面および IGO 中の欠陥によって誘発するものとして議論する^[11]。図 4 より、 ΔV_{th} は Ga 濃度の増加に伴って増加すること、IGO チャンネルに対する熱処理温度の上昇に伴って減少することが確認された。また、Ga 濃度が同等程度の ALD 膜 (Ga :38 at%) とスパッタ膜 (Ga :40 at%) を比較した場合、熱処理温度に対して ΔV_{th} が減少して信頼性が向上する挙動は一致するが、 ΔV_{th} の絶対量に差が生じることが示された。これらの結果から、ALD-IGO 膜の信頼性は、IGO 由来の欠陥、成膜時に導入される欠陥種によって決定することが考えられる。

はじめに、IGO における材料由来の欠陥種を推定するために、過剰酸素モデル^[12]を導入した。図 5 に非晶質酸化物半導体における過剰酸素モ

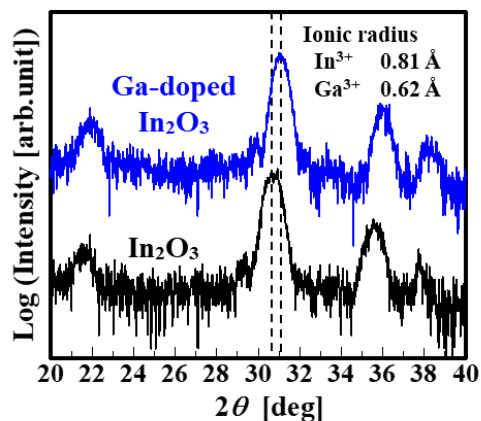


Fig.7 X-ray diffraction profiles of In_2O_3 and Ga-doped In_2O_3 deposited by atomic layer deposition.

デルの概念図を示す。非晶質酸化物半導体は構造自由度が高いため、過剰酸素に対応する O-O 結合の形成エネルギーが単結晶や多結晶構造と比較して低いことが知られている^[13, 14]。この過剰酸素の結合が酸化物半導体の伝導帯直下にアクセプタ準位を形成するため、電子捕獲の原因の一つとして考えられている^[12-13]。O-O の結合力は酸化物半導体の組成に依存することが予測されており^[13]、酸素との結合力が高い金属元素ほど O-O の結合力が低下して、電子捕獲が容易に発生する。この理論計算の予測を検証するため、酸素との結合エネルギーが低い Zn を含む In-Zn-O 系と信頼性の比較を行った。ここでは、IZO と IGO の成膜にはスパッタ法を用い、成膜条件は過剰酸素が導入されやすい高酸素分圧^[15]に調整した。図 6 に、IZO (In:Zn=84:16 at%)、IZO (In:Zn=60:40 at%)、IGO (In:Ga=60:40 at%) の信頼性評価結果を示す。 ΔV_{th} は IZO (In:Zn=84:16 at%) < IZO (In:Zn=60:40 at%) < IGO (In:Ga=60:40 at%) の関係を示し、酸素結合エネルギーの大きさに依存して PBS に対する信頼性が変化することが確認され、前述の DFT 計算の予測と矛盾しないことが示された。また、図 4 において Ga 濃度の上昇に伴う ΔV_{th} の増大が確認されているが、酸素結合エネルギーの大きな Ga によって過剰酸素の取り込みと電子捕獲が誘発されていることは明らかである。過去の報告から、過剰酸素は熱処理温度 450°C 以上で脱離が完了することが示されており^[12]、図 4 から観測された熱処理温度の上昇に伴って信頼性が向上する結果とも矛盾しない結果を得た。

Ga 濃度が同等程度の IGO において、成膜方法によって ΔV_{th} に差が生じた原因を考察する。スパッタ法では成膜時の酸素分圧を制御することで膜中の過剰酸素量を制御でき、本研究では十分な熱処理を加えることで高信頼性が得られる条件を用いている。一方で、ALD 法の場

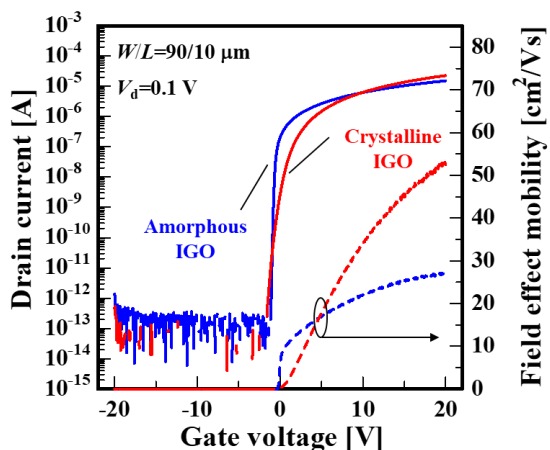


Fig.8 The transfer characteristics of FETs with amorphous (blue line) and crystalline (red line) In-Ga-O channels.

合は、基板または膜上に吸着した前駆体の有機金属を酸化させるために、成膜中に IGO 膜が O_2 -plasma に曝露されている。従って、ALD-IGO の成長中に容易に過剰酸素が導入されることが示唆され、過剰酸素量がスパッタ膜よりも過大であったと推察した。ALD 法を用いて非晶質 IGO を成膜する場合は、成長速度を妨げない範囲で酸素分圧や酸化条件を最適化することが推察される。

以上の結果より、非晶質 IGO 系の PBS に対する信頼性の特徴として、Ga 濃度の増加に伴って ΔV_{th} が増大すること、高温熱処理によって ΔV_{th} が減少することが明らかになった。しかし、Ga 濃度を低減することで信頼性の向上を図ることは可能であるが、熱処理や各種プロセスによってキャリア濃度が変動しやすく V_{th} の制御性が低下する課題がある。この課題を解決するために、 In_2O_3 系結晶性酸化物半導体に着目した。非晶質 IGO 系における V_{th} の不安定性は過剰酸素によって律速されるが、過去の研究より結晶構造を有する $InGaZnO$ (IGZO) や ZnO は非晶質 IGZO よりも過剰酸素の生成エネルギーが低いことが予測されており^[14]、結晶性酸化物半導体を用いることで ALD によって成膜した酸化物チャンネルの信頼性向上が見込める。本研究では、Ga を添加した多結晶 In_2O_3 ^[16] を ALD 法によって成膜し、非晶質 IGO チャンネルと信頼性を比較することで前述の仮説を検証した。多結晶 IGO を成膜するために、図 2 の成膜条件における $InO_x:GaO_x$ 比率を Ga 濃度が In_2O_3 由来のピクスバイト構造が発現する濃度域まで低減させた。図 7 に ALD 法を用いて成膜した結晶性 IGO および In_2O_3 の微小角入射 X 線回折結果を示す。図 7 から、IGO は In_2O_3 を同様のピクスバイト構造を示し、多結晶相を有することを確認した。また、 30° 近傍における 222 ピークに

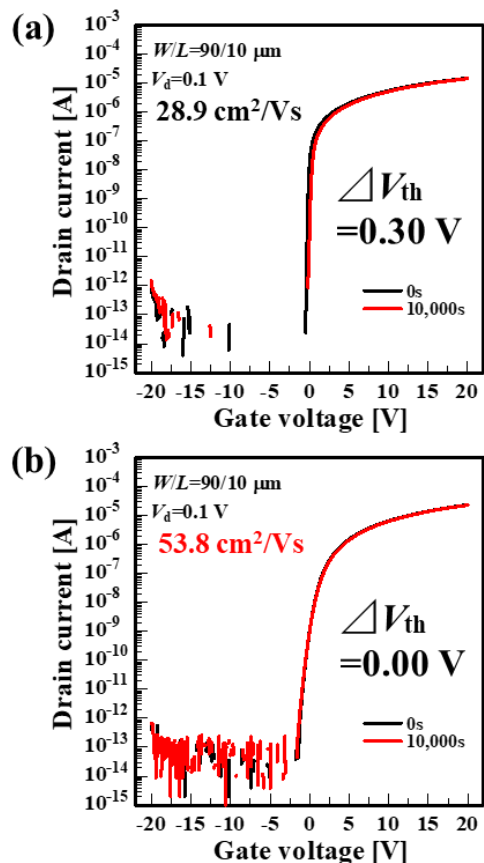


Fig.9 The transfer characteristics FETs of (a) amorphous and (b) crystalline In-Ga-O channels before and after positive gate bias stress.

着目すると、Ga を添加することで高角度側にシフトしており、イオン半径の小さな Ga^{3+} が In_2O_3 の In^{3+} サイトに置換型固溶していることが示された。以上より、ALD 法による多結晶 IGO の成長を確認した。

図 8 に結晶性 IGO をチャンネルに用いた FET の伝達特性を示す。多結晶 IGO の μ_{FE} は $50 \text{ cm}^2/\text{Vs}$ を超えており、非晶質 IGO より高移動度を達成できることを確認した。図 9 に、ALD 法で成膜を行った多結晶 IGO および非晶質 IGO をチャンネルとする FET の PBS 試験結果を示す。ここでは、IGO チャンネルの熱処理温度を 500°C に設定している。図 9 より、結晶性 IGO の方が非晶質 IGO よりも ΔV_{th} が小さいことが確認され、高信頼性であることが明らかになった。結晶性 IGO の適用によって観測された信頼性向上は、結晶相を用いることによって過剰酸素の導入が抑制されたこと、Ga 濃度を低減することによる O-O 結合の強化の複合的な要因によるものであると考察した。この実験結果は、IGO 系酸化物半導体の PBS に対する信頼性は過剰酸素の導入によって律速されること支持して

おり、他の理論計算の予測^[13,14]と矛盾しない。また、多結晶 IGO の PBS に対する優れた信頼性は、熱処理温度 400-700°C の範囲内で発現することを確認しており、400°C 程度の低温プロセスが要求される BEOL 向けトランジスタ、強誘電体ゲート FET のような高温熱処理を必要とする各種デバイスに展開できる可能性がある。

以上より、IGO チャンネルにおける信頼性は Ga 濃度、熱処理温度、結晶相によって決定されることを明確化した。さらに、50 cm²/Vs 以上の高移動度と高信頼性を達成するためには、多結晶酸化物半導体を用いることが有効であることを明らかにした。

4. まとめ

IGO 系チャンネルは膜中の過剰酸素に起因した電子捕獲が発生し、PBS に対する信頼性を悪化させることを実験的に明らかにした。また、IGO 系の信頼性向上に向けて結晶性 Ga-doped In₂O₃ に着目し、ALD 法による成膜プロセスを構築した。多結晶 IGO をチャンネルとする FET は非晶質 IGO と比較して、移動度と信頼性が優れることを実証した。本研究では、ALD 法を用いた酸化物半導体の成膜時は過剰酸素を低減する必要があること、結晶性酸化物半導体は信頼性の更なる向上に有効であることを示した。

謝辞

本研究の一部は 科研費 (No. 23K19123、22H01958)、JST CREST (JPMJCR23A3) の支援を受けて実施された。

References

- [1] K. Nomura et al., *Nature* **432**, 488 (2004).
- [2] M.-K. Kim et al., *Sci. Adv.* **7**, eabe1341 (2021).
- [3] Z. Li et al., *IEEE Electron Device Lett.* **43**, 1227 (2022).
- [4] K. Kaneko et al., 2011 Symposium on VLSI Technology - Digest of Technical Papers, 2011, pp. 120-121.
- [5] H. Fujiwara et al., *IEEE Trans. Electron Dev.* **67**, 5329 (2020).
- [6] M. Si et al., *IEEE Trans. Electron Devices* **68**, 6605 (2021).
- [7] J. Wu et al., *IEEE Trans. Electron Dev.* **68**, 6617 (2021).
- [8] K. Hikake et al., 2023 IEEE Symposium on VLSI Technology and Circuits, 2023, pp. 1-2.
- [9] T. Takahashi et al., 第 83 回応用物理学会秋季学術講演会, 21p-B203-19 (2022).
- [10] T. Takahashi et al., 第 70 回応用物理学会秋季学術講演会, 17p-E302-8 (2023).
- [11] K. Nomura et al., *Appl. Phys. Lett.* **95**, 013502 (2009).
- [12] K. Ide et al., *Appl. Phys. Lett.* **99**, 093507 (2011).
- [13] H. Han et al., *Phys. Rev. Applied* **3**, 044008 (2015).
- [14] J. Robertson and Y. Guo, *Appl. Phys. Lett.* **104**, 162102 (2014).
- [15] K. Ide et al., *Phys. Status Solidi A* **216**, 1800372 (2019).
- [16] K. Ebata et al., *Appl. Phys. Express* **5**, 011102 (2012).

極薄膜 AlN 酸化で生成したワイドバンドギャップ Al₂O₃ 膜によるリーク電流低減実現

Reducing Leakage Current in Wide-Bandgap Alumina Films Fabricated Through the Oxidation of Ultrathin AlN Films

中島 裕亮, 高島 章, 野口 将希, 磯貝 達典

キオクシア株式会社 先端メモリ開発センター 三重県四日市市山之一色町 800

Yusuke Nakajima*, Akira Takashima, Masaki Noguchi, Tatsunori Isogai

Advanced Memory Development Center, Kioxia Corp., 800, Yamanoishiki-cho, Yokkaichi, Mie, 512-8550, Japan (E-mail: yusuke11.nakajima@kioxia.com)

Abstract

Aluminum oxide (Al₂O₃) films were fabricated through the oxidation of ultrathin aluminum nitride (AlN) films. The fabricated films exhibited a leakage current reduction compared to that of conventional Al₂O₃ films fabricated using atomic layer deposition (ALD). This reduction in the leakage current can be attributed to the formation of θ -Al₂O₃, which has a wider-bandgap than γ -Al₂O₃. The formation of θ -Al₂O₃ was attributed to the residual stress caused by the oxidation of the AlN thin films.

1. はじめに

BiCS FLASH™の消去動作の更なる特性向上のために、メモリセルのブロック膜に用いられている Al₂O₃ の高絶縁化を検討している[1]。BiCS FLASH™のメモリセルは、チャンネル、トンネル膜、電荷蓄積層、ブロック膜、制御電極のスタック構造を有している [2-4]。図 1 は、メモリセルの書き込みおよび消去動作時の電荷注入の概略図を示す。書き込み動作は、正電圧が制御電極側に印加され、電子がチャンネルからトンネル膜を介して電荷蓄積層に注入される[5]。消去動作は、正電圧がチャンネルに印加され、書き込み動作時の電子と同様にトンネル膜を介して正孔が電荷蓄積層に注入される[6]。消去動作の際、制御電極からブロック膜を介してスタック構造を電子が貫通するほどの高い電圧を印加すると、チャンネルから注入された正孔と制御電極から注入された電子とが電氣的に打ち消しあうことで、消去がそれ以上進まなくなる課題がある[6]。したがって、消去動作の特性向上にはブロック膜の高絶縁化が必要となる。ブロック膜は広いバンドギャップ(E_g)と高い比誘電率を持つ Al₂O₃ と SiO₂ の積層膜が適用されている[7]。この Al₂O₃ の伝導帯の下端が真空準位に近づく方向に E_g が拡大すれば、制御電極の仕事関数とのオフセットが高くなり、リーク電流を抑えられる。ここで、種々の Al₂O₃ 相の

E_g と Si に対する伝導帯オフセット(ΔE_c)を図 2 に示す[8-15]。先行研究によると、厚さ数 nm の Al₂O₃ 膜の熱的に最安定な構造は図 2 に示した全ての Al₂O₃ 相の中で最も E_g が狭い γ -Al₂O₃ であると報告されている[14]。BiCS FLASH™のメモリセルの Al₂O₃ 膜厚も数 nm であり γ -Al₂O₃ を適用せざるを得ないのが現状である[16]。本研究では、極薄膜の窒化アルミニウム(AlN)膜を酸化する新しいプロセスを開発し[17]、 γ -Al₂O₃ よりも E_g の広い結晶相を持つ Al₂O₃ 薄膜の作製を試みることで更なる高絶縁化を検討した。結果として、従来の γ -Al₂O₃ とは異なる結晶相の、より E_g の広い θ -Al₂O₃ の実現を示唆する物理分析結果を得た。また電気特性評価からリファレンスサンプルと比較して低リーク電流密度と低固定電荷密度が実証したので報告する。

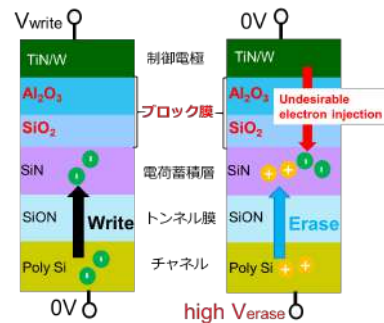


図 1. 書き込み/消去動作概略図

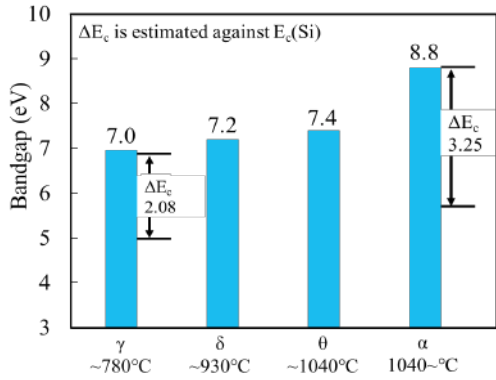


図2. バルク Al₂O₃ 相の相転移温度と E_g

2. 実験条件

本節では、より広い E_g を有する Al₂O₃ を形成するための概念について説明する。図3はウルツ鉱型の結晶構造の AlN と、図2で比較した Al₂O₃ 各相の Al 原子密度を示す。この図から、E_g の広い Al₂O₃ 相(α相またはθ相)と AlN の Al 原子密度の差は小さいことが確認できる[9]。ここで、Al 原子の密度が高い AlN を、その密度を維持する酸化処理によって γ 相よりも Al 密度が高い α 相または θ 相の Al₂O₃ が形成されるのではないかと考えた。そこで、本研究では AlN 薄膜を適切に酸化することで、γ 相より広い E_g をもつ結晶構造の Al₂O₃ 薄膜を作製することを目的とした。

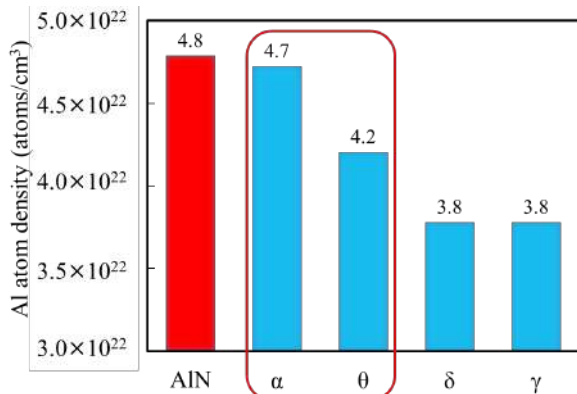


図3. AlN と Al₂O₃ の Al 原子密度

AlN 薄膜を酸化することで Al₂O₃ 薄膜を作製するプロセスを示す。まず、Si 基板上に SiO₂ 薄膜を Wet 酸化法で作製した。次に、超高真空(1×10⁻⁹ Pa 以下)チャンバー内で物理蒸着法(PVD)を用いて、ウルツ鉱型構造でありかつ化学量論比の AlN 薄膜(2.0 および 2.5 nm)を SiO₂/Si 基板上に作製した。この超高真空システムは、成膜装置内での AlN 膜の酸化を極力防止するために用いた。AlN 成膜後、減圧下で H₂ と O₂ ガスを用いて 1000°C から 1100°C の範囲で AlN の熱酸化を行った。また、リファレンスとして原子層

堆積法で形成した(ALD)-Al₂O₃ を用いた。AlN 酸化 Al₂O₃ および ALD-Al₂O₃ の結晶構造は、透過型電子顕微鏡(TEM)像からの高速フーリエ変換法(FFT)、ナノビーム電子回折法(NBD)、面内 X 線回折法(In-plane XRD)を用いて評価した。更に、反射電子エネルギー損失分光法(REELS)を用いた E_g 評価および原子間力顕微鏡(AFM)を用いた表面ラフネス評価を行った。また、リーク電流密度および固定電荷密度といった電気特性評価を行うため、W/TiN/Al₂O₃/SiO₂/p-Si 金属化合物半導体キャパシタ(MOS capacitor)を作製し、容量-電圧(C-V)および電流-電圧(I-V)測定を行った。

3. 結果

図4はALD-Al₂O₃ (2.7 nm)と AlN 酸化 Al₂O₃ (2.0 nm)の REELS スペクトルを示す。ALD-Al₂O₃ の E_g は 7.1 eV であり、γ-Al₂O₃ の E_g とほぼ同等であったのに対し、AlN 酸化 Al₂O₃ の E_g は 7.5 eV と、γ-Al₂O₃ よりも有意に広く、θ-Al₂O₃ に近いことが分かった。これらの結果から、薄膜 AlN 酸化 Al₂O₃ により従来の γ-Al₂O₃ より広い E_g の Al₂O₃ 薄膜が実現できることが明らかになった。

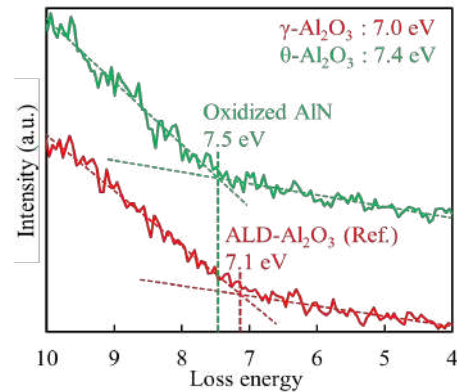


図4. ALD-Al₂O₃ (2.7 nm) と AlN 酸化 Al₂O₃ (2.0 nm) の REELS スペクトル

図5(a)に AlN 酸化 Al₂O₃ 薄膜の XRD スペクトルを示す。33° {100}、36° {002}、38° {101}、59° {2-10} に出現するはずの AlN 起因の回折ピークは確認されないことから、本熱酸化手法により AlN は完全酸化されたと考える。図5(b)に AlN 酸化 Al₂O₃ 薄膜の NBD パターンを示す。矢印は θ-Al₂O₃ [107] 方向または γ-Al₂O₃ [111] 方向からの晶帯軸入射の回折スポットと一致することを確認した。θ-Al₂O₃ の [107] 方向は [001] 方向とほぼ同じである(差分: ~4°)。ウルツ鉱型 AlN (0001) 表面酸化のこれまでの実験および第一原理計算に基づく理論計算では、θ-Al₂O₃ [001] 方向あるいは γ-Al₂O₃ [001] 方向と AlN (0001) の両方の界面構造の候補が報告されている[15, 16]。これらの研究結果を考慮すると、1

この回折パターンは θ - Al_2O_3 の [107] 方向入射であると推定され、バンドギャップ解析からの結果と合わせて θ - Al_2O_3 相が形成したと考える。

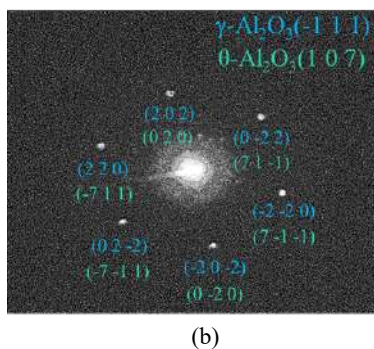
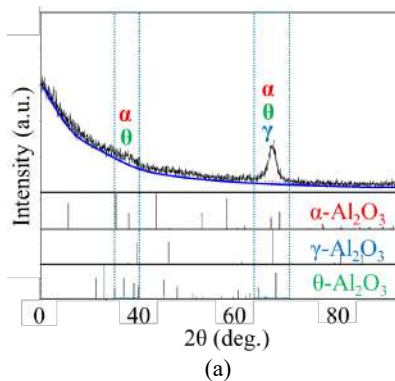


図 5. AlN 酸化 Al_2O_3 の (a) In-plane XRD スペクトルと (b) AlN 酸化 Al_2O_3 の NBD パターン

図 6(a) は低倍率で撮影した断面 TEM 像である。この結果から、AlN 酸化 Al_2O_3 膜は矢印で示すように多数の結晶粒からなる。この結果から、AlN 酸化 Al_2O_3 膜は多結晶構造である。図 5(b) と (c) は、AlN 酸化 Al_2O_3 膜の断面 TEM 像とその FFT パターンである。垂直直線上に配置された明瞭な点線 (図中矢印で示す) が観察され、観察された結晶が Si 基板表面に対して垂直に配向していることを示している。 SiO_2 上に成膜した AlN 膜は、[0001]、すなわち c 軸が基板表面に垂直な配向を持つウルツ鉱型構造になることが明らかにされており、本開発の AlN 薄膜においても c 軸配向を確認している [18-20]。この AlN の配向性が酸化処理後に形成した Al_2O_3 においても維持されたと考える。加えて、AlN 酸化前後において膜厚が維持されたことを確認している。つまり AlN の Al の原子密度を維持したまま酸化されたことで、AlN の酸化工程で付与された面内応力が酸化後も十分に解放されず γ - Al_2O_3 とは異なる θ - Al_2O_3 の形成を誘発したと考える。面内応力の影響については後述する。

以上の In-plane XRD、NBD、REELS、TEM による物理的特性評価の結果、AlN 酸化 Al_2O_3 膜は面直方向に配向し、その結晶構造は θ - Al_2O_3

であることが確認された。

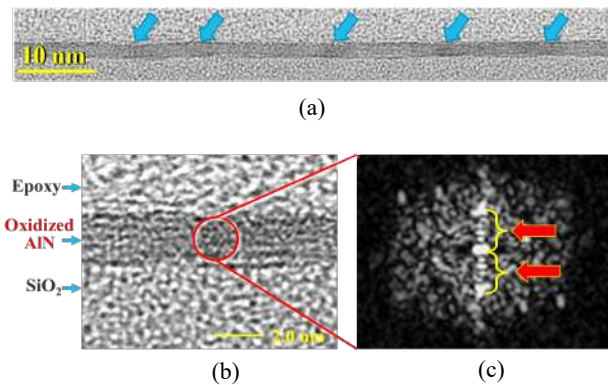


図 6. (a) 低倍断面 TEM 像, (b) 高倍断面 TEM 像, (c) FFT パターン

図 7 は、AlN 酸化 Al_2O_3 膜厚 2.0 nm (図 7(a)) と 2.5 nm (図 7(b)) の表面 AFM 像である。酸化した AlN 膜の表面粗さは 2.5 nm では高さ 2-3 nm の凹凸が観察されたが、2.0 nm ではそれよりも小さかった。これは、図 3 に示すように、AlN の Al 密度 (4.8(atoms/cm³)) が他の Al_2O_3 結晶相に比べて高く、酸化処理時の横方向の面内応力が凹凸の形成に関与していると考えられる。つまりこの現象は、AlN 膜が酸化することで膨張することによる応力が 2.5 nm で面直方向に解放されたのに対し、2.0 nm では応力が解放されず、残留したことで高密度な Al_2O_3 の結晶相である θ - Al_2O_3 が発現したと考える。

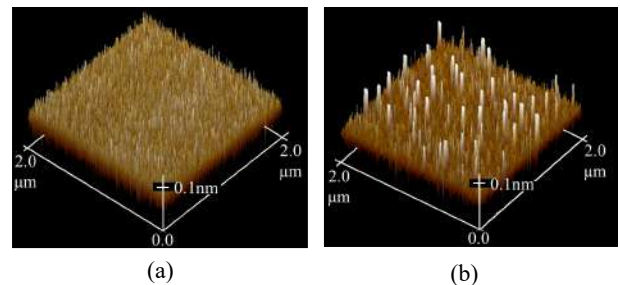


図 7. AlN 酸化 Al_2O_3 膜厚 (a) 2.0 nm, (b) 2.5 nm の表面 AFM 像

図 8 に 1 kHz における C-V 特性および C-V 特性から算出した膜中固定電荷密度を ALD- Al_2O_3 膜と AlN 酸化 Al_2O_3 膜で比較した結果を示す。いずれの Al_2O_3 膜の誘電率も 9.0 であった。W/TiN/ALD- Al_2O_3 /SiO₂/p-Si キャパシタのフラットバンド電圧 (V_{fb}) は、W/TiN/SiO₂/p-Si キャパシタと比較して正バイアス側にシフトした。正の V_{fb} シフトは、 γ - Al_2O_3 の 4 配位 Al^{3+} イオンが Al_2O_3 /SiO₂ 界面の酸素マイグレーションに起因する。その結果、ダイポールが正の V_{fb} シフトを誘起すると考えられている [21-24]。今回、正の V_{fb} シフトが抑制された理由は結晶

構造の変化に加えて高配向の Al_2O_3 によってこの界面での酸素の移動が阻害され、ダイポールの形成が妨げられたのではないかと考える。 V_{fb} シフト量から固定電荷密度を比較した結果を図 8 の挿入図に示した。この固定電荷密度は、 Al_2O_3 膜中の電荷分布が均一であると仮定した場合の式(1)を用いて計算したものである。

$$N = (2\varepsilon\varepsilon_0\Delta V_{fb})/qx^2 \quad (1)$$

ここで、 N は固定電荷密度、 ε は Al_2O_3 の比誘電率、 ε_0 は真空中の誘電率、 x は Al_2O_3 膜厚、 q は電荷量である。固定電荷密度は、従来の ALD- Al_2O_3 よりも AIN 酸化 Al_2O_3 の方が約 1 桁低かった。ALD- Al_2O_3 の結果は、 Al_2O_3 膜中の 4 配位 Al^{3+} によって誘起された負の固定電荷に起因すると考えられる[25]。一方、W/TiN/AIN 酸化 Al_2O_3 /SiO₂/p-Si キャパシタでの V_{fb} 値は、酸化温度にかかわらず W/TiN/SiO₂/p-Si キャパシタと同程度であった。これは、AIN 酸化 Al_2O_3 が負の固定電荷の形成を抑制していることを示している。 γ - Al_2O_3 の場合、欠陥スピネル構造に由来する 4 配位 Al^{3+} の存在による負の固定電荷は避けられない。AIN 酸化 Al_2O_3 でも高温酸化ほど V_{fb} が正のバイアス側にシフトするのは、膜質劣化に起因して負の固定電荷が発生するためと考えられるが、ALD- Al_2O_3 ほどには V_{fb} はシフトしていない。更に、AIN 酸化 Al_2O_3 では、TEM と In-plane XRD による構造解析で大きな変化は観察されなかった。これらの結果は AIN 酸化 Al_2O_3 が γ - Al_2O_3 とは本質的に異なることを裏付けている。固定電荷に加えて、ダイポールも V_{fb} シフトさせるもう一つの要因である。重要な要因が固定電荷かダイポールかについては、 Al_2O_3 や SiO_2 の膜厚に対する V_{fb} 依存性を詳細に調べ、今後明らかにする予定である。

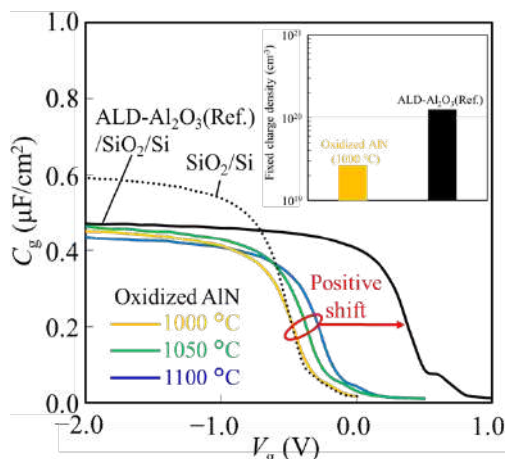


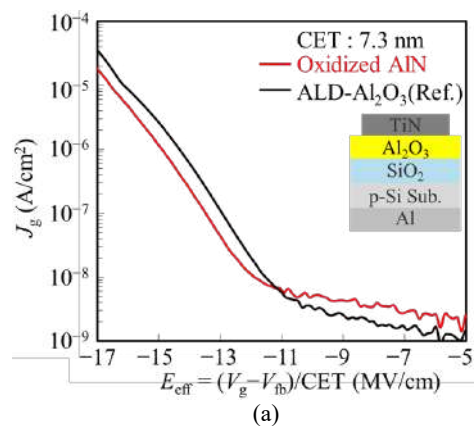
図 8. $\text{Al}_2\text{O}_3/\text{SiO}_2/\text{p-Si}$ キャパシタの C-V 特性

図 9(a)に、AIN 酸化 Al_2O_3 と ALD- Al_2O_3 のリーク電流密度(J_g)を比較した結果を示す。CET は容量換算膜厚(capacitance equivalent thickness)

を表す。AIN 酸化 Al_2O_3 の J_g は、高実効電界(E_{eff})領域($>11 \text{ MV/cm}$)において、ALD- Al_2O_3 よりも低いことがわかる。 γ - Al_2O_3 と TiN 電極間の電子障壁は 2.7 eV である。AIN 酸化 Al_2O_3 ではリーク電流が減少しているため、 E_g の増大が ΔE_c に反映されたと考える。一方、低 E_{eff} 領域($<11 \text{ MV/cm}$)におけるリーク電流は、ALD- Al_2O_3 よりも AIN 酸化 Al_2O_3 の方が大きかった。図示してはいないが、I-V ヒステリシス特性において同電界領域では負の電流を示していることから、キャパシタを貫通する電流ではなく充電電流が主成分であることを確認している。この過渡応答電流が増加する理由は不明だが、今後周波数依存性や電流一時間依存性等によってキャパシタの誘電緩和の詳細な解析を試みる予定である。

図 9 (b)は、AIN 酸化 Al_2O_3 におけるリーク電流密度の温度依存性を示している。測定は同じキャパシタを用い、 14 MV/cm の実効電界で評価した。また、測定温度は $27\sim 125^\circ\text{C}$ の温度範囲で行った。リーク電流密度は、温度が 27°C から上昇するにつれて通常の Al_2O_3 では減少傾向になるが、AIN 酸化 Al_2O_3 ではほとんど変化しなかった。この結果から、AIN 酸化 Al_2O_3 のリーク電流密度は温度依存性が非常に小さいことが確認された。したがって、リーク電流メカニズムは、浅いトラップを経由する Poole-Frenkel(PF) 電流ではなく、Fowler-Nordheim(FN)電流またはトラップアシストトンネル(TAT)電流のようなトンネル電流由来のリーク電流である可能性が高いと考える。このリークメカニズムは、結晶性の向上、固定電荷の減少、 E_g の拡大(主に ΔE_c)による欠陥準位の深化、によって説明可能で、AIN 酸化 Al_2O_3 では欠陥が抑制されていることを示唆している。今後、この絶縁特性を向上させるメカニズムについては、硬 X 線光電子分光等の物理解析やバンドアライメント解析、リークシミュレーション等を行う予定である。

以上の結果から AIN 薄膜を酸化することによって、低リーク電流と低固定電荷密度を両立することを示した。



(a)

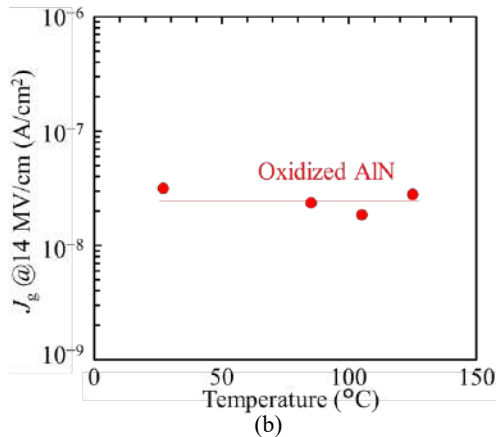


図9. (a) J_g と E_{eff} , (b) J_g 酸化AlNの温度依存性

4. まとめ

c 軸配向した AlN 薄膜を酸化処理することによって、薄膜において熱的に安定な γ -Al₂O₃ 比べて E_g が広い θ -Al₂O₃ 薄膜を実現した。 θ -Al₂O₃ の形成は、AlN 薄膜の配向性を酸化後も維持している Al₂O₃ の残留応力に起因すると考える。また、キャパシタ特性から AlN 酸化 Al₂O₃ は従来の ALD-Al₂O₃ と比較して固定電荷を抑制できることに加え、リーク電流を低減できることを明らかにした。本研究で開発されたプロセスを適用した Al₂O₃ をブロック膜に適用するにより、3D フラッシュメモリの消去動作性能の向上が期待できると考える。

このプロジェクトは、3D フラッシュメモリの共同開発に関して、ウエスタンデジタル社とキオクシア社から支援を受けている。

References

- [1] S. Chen, Y. Chang, Y. Liang, H. Wei and W. Shin, *IEEE Trans. Comput.*, **67**, 9 (2018).
- [2] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, *Symp. on VLSI Tech. Dig.*, 14 (2007).
- [3] A. Nitayama and H. Aochi, *ECS Trans.*, **41**, 15 (2011).
- [4] Micheloni, R. (Ed.) *3D Flash Memories*, Springer: Berlin (2016).
- [5] J. Wu, et al., *IEEE J. Electron Devices Soc.*, ver.7 (2019).
- [6] Doo-Hyun Kim et al., *Jpn. J. Appl. Phys.* **49**, 084301 (2010).
- [7] G. Hemink and A. Goda, in *Semiconductor Memories and Systems*. (Eds A. Redaelli, F. Pellizzer), Woodhead Publishing, 119–158 (2022).
- [8] S. Miyazaki, *J. Vac. Sci. Technol. B*, **19**, 2212 (2001).
- [9] K. Wefers and C. Misra, *Alcoa Technical Paper*, no. 19, Revised Alcoa Laboratories (1987).
- [10] M. Digne, P. Sautet, P. Raybaud, H. Toulhoat and E. Artacho *J. Phys. Chem. B* **106**, 5155 (2002).
- [11] M. F. Peintinger, M. J. Kratz and T. Bredow, *J. Mater. Chem. A*, **2**, 13143 (2014).
- [12] R. Franchy, *Surf. Sci. Rep.*, **38**, 195 (2000).
- [13] J. Robertson, *Rep. Prog. Phys.*, **69**, 327 (2006).
- [14] J. M. McHale, A. Auroux, A. J. Perrotta and A. Navrotsky, *Science*, **277**, 788 (1997).
- [15] Z. Fang, E. Wang, Y. Chen, X. Hou, K. C. Chou, W. Yang, J. Chen and M. Shang, *ACS Appl. Mater. Interfaces*, **10**, 30811 (2018).
- [16] J. H. Dycus, K. J. Mirrielees, E. D. Grimley, R. Kirste, S. Mita, Z. Sitar, R. Collazo, D. L. Irving and J. M. LeBeau, *ACS Appl. Mater. Interfaces*, **10**, 10607 (2018).
- [17] Y. Nakajima, A. Takashima, M. Noguchi, T. Isogai, “Reducing Leakage Current with Wider-Bandgap Alumina Films Formed by Ultrathin-AlN Oxidation”, 2023 International Conference on Solid State Devices and Materials, E-6-04.
- [18] A. Artieda and P. Muralt, *IEEE Trans. Ultrason. Ferroelectr. Freq. Control* **55**, 2463 (2008).
- [19] F. Engelmark, G. F. Iriarte, I. V. Katardjiev, M. Ottoson, P. Muralt, and S. Berg, *J. Vac. Sci. Technol. A* **19**, 2664 (2001).
- [20] A. Rodríguez-Navarro, W. Otaño-Rivera, L. J. Pilione, R. Messier, and J. M. García-Ruiz, *J. Vac. Sci. Technol. A* **16**, 1244 (1998).
- [21] Y. Kamimuta, K. Iwamoto, Y. Nunoshige, A. Hirano, W. Mizubayashi, Y. Watanabe, S. Migita, A. Ogawa, H. Ota, T. Nabatame and A. Toriumi, *IEEE Int. Electron. Device Meeting*, 342 (2007).
- [22] T. Nabatame, A. Ohi, T. Chikyo, M. Kimura, H. Yamada and T. Ohishi, *J. Vac. Sci. Technol.*, **32**, 03D121 (2014).
- [23] K. Kita and A. Toriumi, *Appl. Phys. Lett.* **94**, 132902(2009).
- [24] A. Toriumi and T. Nabatame, *High Permittivity Gate Dielectric Materials*. (Ed. S. Kar), 263 (2013).
- [25] K. Torii, Y. Shimamoto, S. Saito, O. Tonomura, M. Hiratani, Y. Manabe, M. Caymax and J. W. Maes, 2002 Symposium on VLSI Technology. Digest of Technical Papers, Honolulu, HI, USA, 188 (2002).

Advanced Logic Transistor Process Technology Towards 1-nm Node

Naomi Yoshida

Applied Materials Inc., Santa Clara, California, U.S.A.
naomi_yoshida@amat.com

Abstract:

After several generations of FinFET scaling to the latest 3-nm node^[1], advanced logic transistor architecture continues to evolve to horizontal gate-all-around (GAA) FET with vertically stacked Si nano-sheet (NS) channel^[2, 3] (**Fig. 1**)^[7]. Multiple innovations of process technology are required for NS-GAA implementation in high volume manufacturing (**Fig. 2**)^[8]. Beyond NS-GAA and other scaling boosters such as backside power delivery, novel transistor architectures are in the pipeline for future CMOS scaling. One of the proposed new architectures is to vertically stack PMOS and NMOS, also known as CFET, for effective CMOS area scaling. CFET fabrication is proposed in mainly two different integration approaches (**Fig. 3**), sequential and monolithic integration^[4 - 6].

This presentation describes process challenges and process technology solutions for GAAFETs as the next transistor inflection^[7]. In addition, we'll discuss the next scaling inflections such as backside power delivery BS-PDN and CFET process integration options.

Logic CMOS Device Evolution

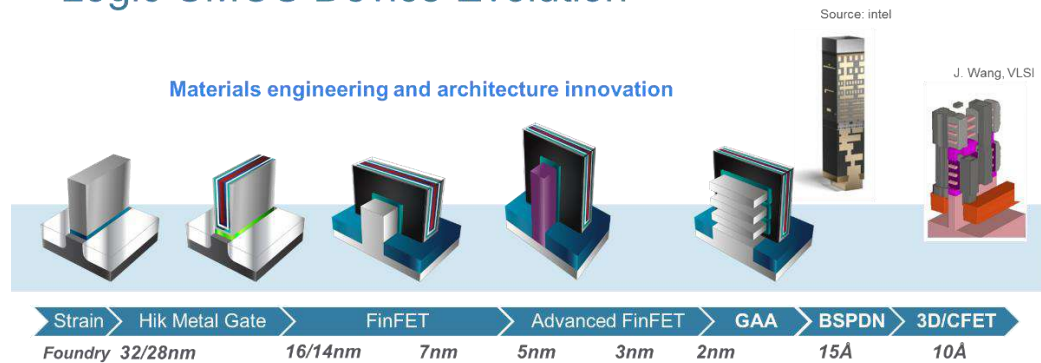


Figure 1. CMOS device evolution [7]

SiGe recess measurement for production

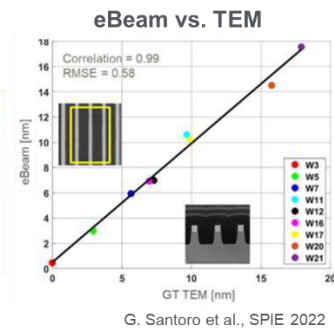
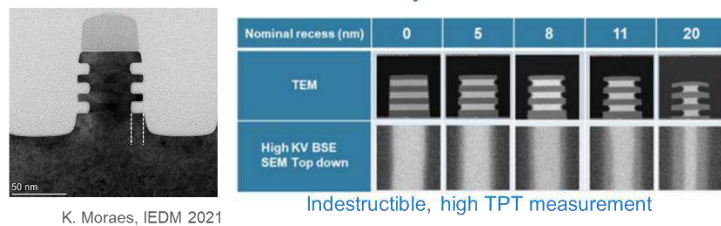
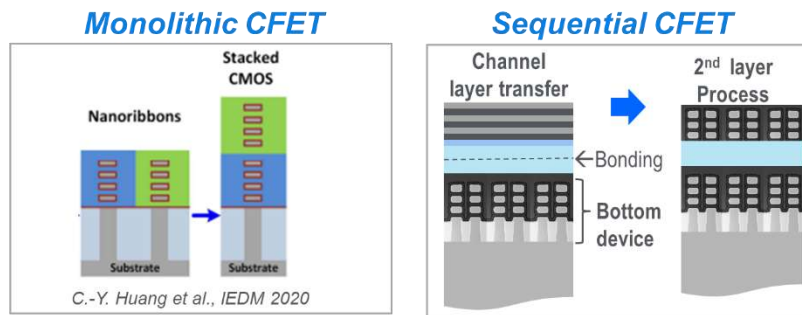


Figure 2. SiGe selective etch for GAA inner spacers and manufacturing ready in-line metrology [8]



- Top and Bottom channel formation together

Self-aligned patterning

- Bottom MOSFET (N or P)
- 2nd channel blanket layer
- Top MOSFET (P or N) formation

Simplified processing (of each layer)

Figure 3. Two approaches of CFET [7,9,10]

References:

- [1] S.-Y. Wu et al., "A 3nm CMOS FinFlex™ Platform Technology with Enhanced Power Efficiency and Performance for Mobile SoC and High Performance Computing Applications," 2022 IEDM, pp. 639-641.
- [2] H. Mertens et al., "Vertically Stacked Gate-All-Around Si Nanowire CMOS Transistors with Reduced Vertical Nanowires Separation, New Work Function Metal Gate Solutions, and DC/AC Performance Optimization," 2017 IEDM, pp. 508-511.
- [3] N. Loubet et al., "Stacked Nanosheet Gate-All-Around Transistor, to Enable Scaling Beyond FinFET," 2017 VLSI Technology, pp. 230-231.
- [4] J. Ryckaert et al., "The Complementary FET (CFET) for CMOS scaling beyond N3," 2018 VLSI Technology, pp. 141-142.
- [5] S. Subramanian et al., "First Monolithic Integration of 3D Complementary FET (CFET) on 300mm Wafers", 2020 VLSI Technology, pp. 1-2
- [6] R. Chau, "Process and Packaging Innovations for Moore's Law Continuation and Beyond," 2019 IEDM, pp. 1-5.
- [7] N. Yoshida, "Advanced Logic Transistor Process Technology Towards 1-nm Node", 2023 VLSI-T Short Course
- [8] G. Santoro et al., "Recess metrology challenges for 3D device architectures in advanced technology nodes," 2022 SPIE, Vol. 12053, pp. L1-13
- [9] C.-Y. Huang et al., "3-D Self-aligned Stacked NMOS-on-PMOS Nanoribbon Transistors for Continued Moore's Law Scaling," 2020 IEDM, pp. 425-428.

シリコン量子ビットデバイスの特性における界面の影響

Impact of interfaces on characteristics of silicon spin qubits

小林 嵩

理化学研究所量子コンピュータ研究センター 〒351-0198 埼玉県和光市広沢 2-1
Takashi Kobayashi

RIKEN Center for Quantum Computing, Wako, Saitama 351-0198, Japan

e-mail: takashi.kobayashi@riken.jp

Abstract

Characteristics of silicon spin qubits are strongly influenced by the fabrication process and quality of interfaces in device. Here, we overview interfaces of spin qubits based on Si/SiGe quantum dots and their impact on the qubit characteristics. Recent development of device fabrication and device characterization technologies will be introduced.

1. はじめに

量子コンピュータは量子力学の原理を応用した情報処理装置である。従来のコンピュータでは計算が困難な問題を解くことができる可能性があることから、近年研究・開発が盛んに行われている。量子コンピュータでは処理されるデータを量子ビットと呼ばれる2準位系の量子状態を用いて表現する。量子ビットとして利用できる物理系のひとつとして、シリコン中のスピン自由度が挙げられる。このタイプの量子ビットは、既存の半導体製造技術との親和性が高いことや比較的の高い温度で動作しうることから注目されている。近年、少数の量子ビットからなるデバイスで誤り耐性閾値を超えるゲート忠実度[1]や位相誤り訂正[2]が実現され、量子コンピュータを実現する上での有用性が認識されてきている。しかしながら、大規模な量子コンピュータを実現する上では量子ビットデバイスの特性をさらに向上させることが必要である。

2. 量子ビットデバイスの特性

量子ビット自体は各種の操作に対する忠実度によって特徴づけられる。一方で、量子ビットを実装するためのデバイスはアナログな実体であり、様々な物理的特性によって特徴づけられる。シリコン量子ビットデバイスの場合に

操作忠実度に関係するデバイスの特性の一例を挙げる：

- ノイズスペクトル密度
- 谷分離の大きさ

また、量子コンピュータの実現に必要な大規模な量子ビット列においては、閾値電圧の一様性も重要となると考えられる。これらのデバイス特性は界面から強い影響を受けることが知られており、良い特性を得られる界面の作り方が検討されてきた。

3. 界面の特性とその評価方法

本講演では、主として Si/SiGe 量子井戸から作製されるスピン量子ビットデバイスの界面に関する研究を紹介する。この型の量子ビットデバイスにおいては、磁気的なノイズと谷分離の大きさに影響する量子井戸と、電気的なノイズと閾値電圧の一様性に関する半導体基板の表面が重要な界面である。

量子井戸においては、磁気的なノイズの源である核スピンを減らすために同位体制御が標準的に行われるようになってきている。また、大きな谷分離を得られるように原子ステップ密度の低減や、薄い量子井戸の採用、さらにはスパイク状のゲルマニウム層の導入などの構造的工夫が考案されている。

半導体基板表面ではゲート構造を作りつける際の基板へのダメージに由来する欠陥や、ゲート絶縁膜に由来する固定電荷の影響で閾値電圧にばらつきが生じる。また同時に電気的なノイズの源ともなりうることから、製造工程の

最適化によりこれらの密度を制御することが肝要である。近年、製造工程の最適化により閾値電圧の均一性の向上が実現できることが報告されている[3]。

シリコン量子ビットデバイスの特性は既存の製造技術あるいはその拡張によって向上できる可能性がある。しかしながら、量子ビットデバイスの評価には低温での測定が必須であるため、製造工程へのフィードバックが困難となっている。近年では低温プローバーによって閾値電圧をウェハスケールで短時間の内に評価する、あるいは極低温マルチプレクサにより複数の量子ビットデバイスを同時に評価するなどのアプローチが取られるようになってきた。このデバイスの評価の高速化という点については今後さらなる発展が待たれている。

4. 謝辞

本研究は、科学技術振興機構ムーンショット型研究開発事業目標 6 の研究開発プロジェクト「拡張性のあるシリコン量子コンピュータ技術の開発 (No. JPMJMS226B、プロジェクトマネージャー：樽茶清悟) および日本学術振興会科学研究費助成事業 (No. 22H01160) による助成を受けて行われた。

References

- [1] A. Noiri *et al.*, *Nature* **601**, 308-342 (2022).
- [2] K. Takeda *et al.*, *Nature* **608**, 682-686 (2022).
- [3] S. Neyens *et al.*, *Nature* **608**, 682-686 (2022).

シリコン量子ビット技術と集積化に向けた研究開発

Research and development towards silicon qubit technology and integration

小寺 哲夫

東京工業大学 〒152-8552 東京都目黒区大岡山 2-12-1 S3-25

Tetsuo Kodera

Tokyo Institute of Technology, S3-25, 2-12-1 Ookayama, Meguro, Tokyo 152-8552, Japan

Tel: + 81-3-5734-3421, Fax: + 81-3-5734-3421 (e-mail: kodera.t.ac@m.titech.ac.jp)

Abstract

It is expected that mature semiconductor integration technology will be utilized in quantum computers. In particular, research into quantum bits that utilize spins in semiconductor quantum dots is being actively pursued from the viewpoint of coherence and compatibility with electronics technology. Research and development is also progressing on electronics for controlling qubits that operate at low temperatures and on peripheral technologies for large-scale integration of qubits. In this talk, I will discuss the trends, challenges, and prospects of research and development of spin qubits, as well as the current status of our research.

1. はじめに

超伝導をはじめとするさまざまな物理系において、量子コンピュータハードウェアに向けた研究開発が盛んに行われている[1,2]。半導体系での研究開発も活発になっている。半導体集積技術は成熟しており、量子コンピュータへの応用が期待される。

半導体量子ビット研究は、以前は主に GaAs 量子ドット内の電子スピンを利用して、物理の探究と基礎技術の開発に焦点が当てられていた[3-6]。しかし、成熟してもなお成長著しいシリコン集積技術との融合やデコヒーレンスの問題を考慮した結果、シリコン系での量子ビット技術と集積化を中心に研究開発が展開している状況である[7]。

2. シリコンスピン量子ビット研究

シリコン系での研究は、この 10 年間で目覚ましい進歩を遂げている。スピン量子ビット研究の重要なステップとして、単一電子状態の実現、スピントロニクス現象の観察、スピンのシングルショット読み出し[8]、スピン操作[9-12]、および 2 量子ビット操作[13]が実現され

てきた。また集積化に関わる研究として、長距離スピン結合のための光子結合[14,15]、およびスピン量子ビットの高温動作[16,17]も実現されている。最近では、量子もつれ状態が観察され[18]、量子誤り訂正の原理実証が 3 量子ビットで行われ[19]、6 量子ビットの動作も実現した[20]。2023 年には、Intel が Tunnel Falls と呼ばれる 12 量子ビットデバイスをさまざまな研究機関に配布し、研究開発がますます加速すると期待される。

量子ビットの大規模集積に向けて、世界中の企業、研究機関、大学が連携している。アーキテクチャ、配線、クライオエレクトロニクスなど、周辺技術も含めてさまざまな研究開発が進んでいる。

3. 研究進捗

東工大では、シリコン量子ビットに向けて、MOS トランジスタ構造を利用して物理的に形成したシリコン量子ドットを作製し研究してきた[21-30]。単一電子状態の電荷検出[23]、スピントロニクス状態の実現[21]、多重量子ドット特性の観測を行ってきた[25]。また、単一電子トンネリングのシングルショット読み出し[27]や RF 単一電子トランジスタ[29]も実現した。p

チャネルシリコン量子ドットでは、単正孔状態[22]、スピントロニック状態[24]、高温での単正孔輸送[26]、および正孔スピン共鳴を実現した。MOS構造をベースとして物理的に形成した量子ドット構造はシリコン技術を使用して作製できるため、将来の量子ビットの集積化に適していると期待されている。近年は、産業技術総合研究所との共同研究で素子作製を行っており、安定的なデバイス動作に向けて、界面等における電荷トラップやラフネスの低減への取り組みを進めている。

また、日立製作所との共同研究においては、MOS構造をベースとしたシリコン量子ドットアレイを開発した[31]。シリコン集積回路技術を量子ビット制御に直接利用することを目的として、量子ドットアレイを制御する量子ビットチップ上にCMOS回路を集積する実験について報告した[32]。さらに、単一電子を量子ドットアレイにロードするための技術として単一電子ポンプも実証した[33]。

Si/SiGeヘテロ構造を用いた量子ドットでは、理化学研究所との共同研究により単一量子ビット動作を実現した[34]。さらに、近年では、99.9%を超える高忠実度の単一量子ビット操作[35]や非破壊量子計測[36]などの重要な要素技術を開発し、二次元量子ドットアレイの設計提案[37]を行っている。

4. まとめ

成熟した半導体集積技術が量子コンピュータに活用されることが期待されている。特に、シリコン系量子ドットのスピンを利用した量子ビットの研究は、コヒーレンスやエレクトロニクス技術との親和性の観点から盛んに進められている。また、極低温で動作する量子ビットを制御するためのエレクトロニクスや量子ビットの大規模集積化のための周辺技術の研究開発も進められている。我々も企業、研究機関と連携して、研究開発を進めている。

本研究は、JST Moonshot R&D (JPMJMS2065), MEXT QLEAP (JPMXS0118069228), 科学研究費補助金 (JP23H05455, JP23K17327)によってサポートされた。

References

[1] M.W. Johnson, et al., Nature 473, 194 (2011).
[2] Y. Nakamura, et al., Nature 398, 786 (1999).
[3] K. Ono, et al., Science 297, 1313 (2002).
[4] J. R. Petta, et al., Science 309, 2180 (2005).
[5] F. H. L. Koppens, et al., Nature 442, 766 (2006).

[6] T. Kodera, et al., Phys. Rev. Lett. 102, 146802 (2009).
[7] K. M. Itoh and H. Watanabe, Mater. Res. Soc. Commun. 4, 143 (2014).
[8] A. Morello, et al., Nature 467, 687 (2010).
[9] E. Kawakami, et al., Nat. Nanotechnol. 9, 666 (2014).
[10] B. M. Maune, et al., Nature 481, 344 (2012).
[11] M. Veldhorst, et al., Nat. Nanotechnol. 9, 981 (2014).
[12] M. Veldhorst, et al., Nature 526, 410 (2015).
[13] T. F. Watson, et al., Nature 555, 633 (2018).
[14] N. Samkharadze, et al., Science 359, 1123 (2018).
[15] X. Mi, et al. Nature 555, 599 (2018).
[16] L. Petit, et al. Nature 580, 355 (2020).
[17] C. H. Yang, et al. Nature 580, 350 (2020).
[18] K. Takeda, et al.: Nat. Nanotechnol. 16, 965 (2021).
[19] K. Takeda, et al., Nature 608, 682 (2022).
[20] S.G.J. Philips, et al., Nature 609, 919 (2022).
[21] G. Yamahata, TK, et al. Phys. Rev. B 86, 115322 (2012).
[22] K. Yamada, TK, et al., Appl. Phys. Lett. 105, 113110 (2014).
[23] K. Horibe, TK, et al., Appl. Phys. Lett. 106, 083111 (2015).
[24] Y. Yamaoka, TK, et al., Jpn. J. Appl. Phys. 56, 04CK07 (2017).
[25] R. Mizokuchi, TK, et al., Appl. Phys. Lett. 114, 073104 (2019).
[26] N. Shimatani, TK, et al., Appl. Phys. Lett. 117, 094001 (2020).
[27] R. Mizokuchi, TK, et al., Appl. Phys. Express 13, 121004 (2020).
[28] S. Bugu, TK, et al., Sci. Rep. 11, 20039 (2021).
[29] R. Mizokuchi, TK, et al., Sci. Rep., 11, 5863 (2021).
[30] S. Nishiyama, TK, et al., Sci. Rep. 12, 10444 (2022).
[31] N. Lee, TK, et al., Appl. Phys. Lett. 116, 162106 (2020).
[32] N. Lee, TK, et al., Jpn. J. Appl. Phys. 61, SC1040 (2022).
[33] T. Utsugi, TK, et al., Jpn. J. Appl. Phys. 62, SC1020 (2023).
[34] K. Takeda, TK, et al., Sci. Adv. 2, e1600694 (2016).
[35] J. Yoneda, TK, et al., Nat. Nanotechnol. 13, 102 (2018).
[36] J. Yoneda, TK, et al., Nat. Commun. 11, 1144 (2020).
[37] M. Tadokoro, TK, et al., Sci. Rep. 11, 19406 (2021).

金属酸化物および Li イオンを用いた不揮発素子と
脳型リザーバコンピューティング等への応用
**Non-volatile devices using metal-oxide and Li ion and their applications to
neuromorphic reservoir computing**

丸亀 孝生 水島 公一 野村 久美子 西 義史

株式会社東芝 研究開発センター 〒212-8582 川崎市幸区東芝町 1
Takao Marukame, Koichi Mizushima, Kumiko Nomura, Yoshifumi Nishi
R&D Center, TOSHIBA Corporation, 1 Komukai-Toshiba-cho, Saiwai-ku, Kawasaki 212-8582, Japan
Tel: + 81-50-3190-9141 (e-mail: takao.marukame@toshiba.co.jp)

Abstract

Neuromorphic AI integrated circuits use novel devices with memory mechanisms such as ferroelectricity, charge trapping, and oxygen vacancies. We have investigated metal oxide-based memory devices and explored their application as weight synapses in neural networks (NNs). First, memristive devices based on TiN/MgO/WO_x thin films exhibit analog conductance properties similar to biological synapses, namely spike timing-dependent plasticity has been observed. These memristive devices can be applied to low-power analog neuron circuits. Second, TiN/MgO/Si devices, which combine low-current operation and diode characteristics, can further reduce the power consumption of circuits, and can be used for time-series NN signal processing in array configurations. Recently, ionic-electronic hybrid material systems have attracted further attention to expand the range of neuromorphic applications. Among ionic materials, lithium (Li)-ionic materials such as LiCoO₂ in lithium-ion batteries and Li₃PO₄-N (LiPON) in all solid-state thin-film batteries are already in use. LiCoO₂/LiPON devices exhibit multi-level resistance changes and are promising for analog NN circuits for in-memory computing. With multiple physical and chemical mechanisms, these devices have great potential to create a new paradigm and era of neuromorphic AI computing.

1. はじめに

高大規模ニューラルネットワーク (Neural Network; NN) は、深層学習や生成系などの応用で有用な人工知能 (Artificial Intelligence; AI) の基盤技術として成功を収めている。高性能な NN ベース AI を実現するためにはニューロンのシナプスに相当する大量の重み値を学習により最適化する必要がある。学習では事前の訓練に用いる学習データを積和演算処理して、出力が目的に近づくように重みを繰り返し更新する。大規模 NN の学習は大量データを扱うのに適したクラウドコンピューティングサーバや、ベクトル演算および積和演算が高速な汎用 GPU (Graphic Processing Unit) を用いて実行されるのが一般的である。しかしそれでも学習処

理にかかる時間は長く大きな消費電力を必要とすることから、学習に必要なエネルギーは膨大となってしまう。従って学習システムの小型化は今のところ原理的に難しい課題であって、IoT (Internet-of-Things) 機器などがスタンドアロンで学習するという事例は多くはない。実用的な現実解として、学習は予め済ませておき、推論用には CPU に GPU を組み合わせて用いられ、さらに高性能な推論器が必要となる場合は ASIC (Application Specific Integrated Circuit) や SoC (System-on-Chip) が開発される。CPU, GPU, ASIC, SoC は基本的に CMOS デジタル回路であり、高性能化のためには高価な半導体製造プロセスを用いる必要がある。今後、推論において低消費電力での常時動作を可能にする AI チップを実現すること、加えて、学習を高効率化

して小型システムに実装するには従来型の CMOS デジタル回路よりも優れたアーキテクチャおよび新しい演算・記憶原理の導入が望まれる。その有望なアプローチの一つが脳模倣型のハードウェア技術すなわちニューロモフィック技術である[1]-[10]。

本稿では Fig.1 のようなニューロモフィック技術において特に金属酸化物系薄膜技術を用いてシナプスを模倣した素子（以下、シナプ素子）を示す。これは不揮発メモリ素子の研究開発から派生した技術であって可変抵抗器型のいわゆるメモリスティブ (memory + resistive) な素子である。さらに最近注目を集めているイオン伝導を用いた電池型/抵抗型のハイブリッド素子の例も説明する。これらシナプ素子のニューラルネット回路に応用した際の有望性と展望も紹介する。

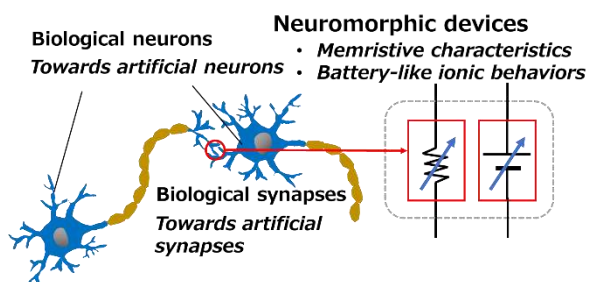


Fig.1 Schematic illustration of neurons and neuromorphic devices

2. 脳神経を模倣した抵抗変化素子

脳の中のシナプスの記憶と学習に関する可塑性と呼ばれる仕組みでは、入出力の電圧信号により強度が変化し、その増減はそれら電圧信号の時間差により決定されるという Spike-Timing Dependent Plasticity (STDP) が知られている。金属酸化物素子はメモリスティブな特性を示すことが知られており、そのうち WO_x/W 素子の STDP 模倣が早くから報告されていた。また STDP の原理を NN の学習器に取り込むことによるオンライン学習などの自律型学習器の可能性が提案されていた。

不揮発メモリ素子に関する代表的な金属酸化物型の AlO_x/TiO_x 2 層を抵抗変化層に用いた素子においても電圧印加によるメモリスティブな特性が観測され、その抵抗変化にて STDP 特性を観測可能であった[2]。この構造にさらに MgO をトンネル障壁層として挿入することで

抵抗変化率が大きくなることを見出されていた。そこで著者らのグループは CMOS プロセス適合性を考慮して新たに TiN/MgO/ WO_x 型の素子を製作したところ、得られた電流電圧 ($I-V$) 特性にて抵抗変化幅の増加が得られ、かつ、Fig. 2 のようにアナログ微小量の変化を STDP のパルス電圧波形で制御可能なことが明らかとなった[3], [6]-[8]。

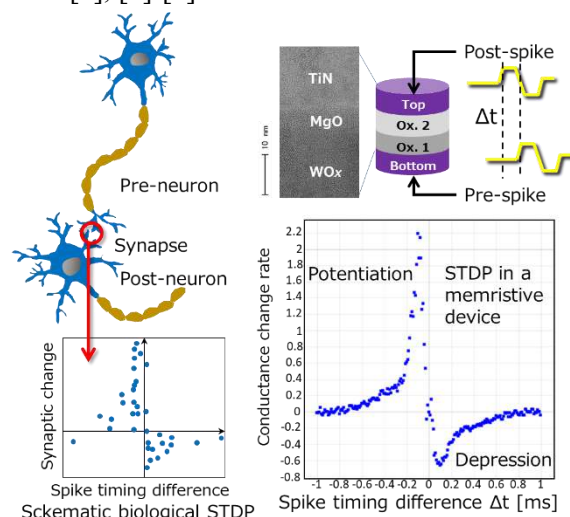


Fig.2 Spike-timing dependent plasticity (STDP) characteristics in TiN/MgO/ WO_x memristive device.

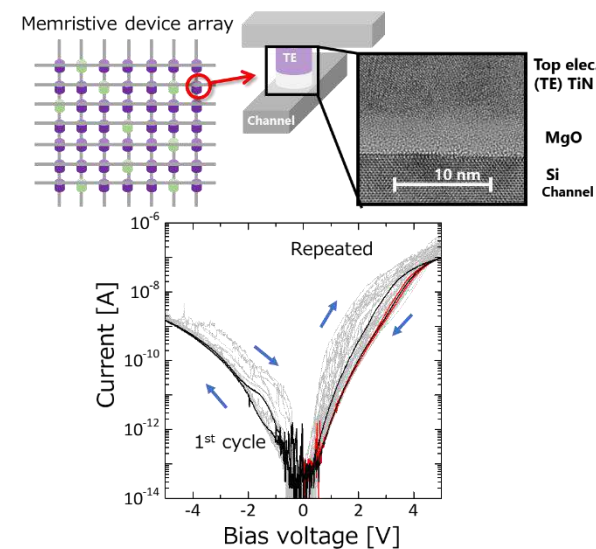


Fig.3 A memristive device of TiN/MgO/Si in an array structure and its $I-V$ characteristics.

メモリスティブ素子をクロスバーやクロスポイントのアレイ構造とすることによる NN の積和演算器の高密度集積が提案されていた。強誘電体トンネル接合のアレイ構造による高効率な積和演算原理が報告された[1]。また強誘電

体トンネル接合をクロスバー上で効率的に書き換えることによる強化学習への応用も示されている[9], [10]. これらのようなアレイ構造をさらに大規模化するためには、アナログ電流を演算原理に用いるためアレイ構造中の素子間リーク電流を抑制するための整流性が重要である. 著者らのグループでは抵抗変化型の $I-V$ 特性にダイオード整流性を加える目的で TiN/MgO/Si 薄膜積層構造のメモリスティブ素子を開発した (Fig. 3) [11]. 正電圧において電流が 100 nA 程度得られるのに対して負電圧では 1 nA 程度に電流が抑えられ、明瞭な整流性が確認できた. 正側の動作電圧領域では電流がほぼ線形に変化し電流履歴において可塑性を確認できた. 32×32 のアレイ構造において個々の素子に備わるダイオード効果により、それぞれのデバイス特性を独立に読み出すことができる. アレイ中の2つの素子ペアをシナプス重みとしてそれらの動作電流を電圧変換することでコンパレータを介して出力させ、出力を再帰的に入力することで順次処理できる. シミュレーションおよび実験の結果から、状態遷移マップを得ることができ、これを原理とする時系列データ処理が期待できる[11]. 以上のように整流性の付与によりメモリスティブな素子に新たな機能性を加えることができる.

3. Li イオンを用いた不揮発素子とリザバーコンピューティング等への応用

抵抗変化素子の材料としては、電荷トラップ材料、相変化カルコゲナイド材料、強誘電体材料、酸素欠損酸化物絶縁体などが知られているが、最近さらにイオン伝導系が注目されている. 最も成功しているイオン伝導性材料のひとつは電池用途で成功しているリチウム (Li) イオン材料である. LiCoO_2 は、Li イオンを供給する Li イオン電池の正極材料として広く使用されている. リチウムイオンを用いた全固体電池およびその応用技術は、エレクトロニクスの新たな自由度として注目を集めている. Li イオン伝導によるメモリスティブな素子を作製するために、Li イオンの流れやすさと電子の流れにくさを制御する必要があり薄膜の固体電解質はその重要な材料である. Li_3PO_4 酸化物系での典型的な固体電解質であり、イオン伝導特性を上げるためにその窒化物の LiPON を用いた $\text{LiCoO}_2/\text{LiPON}/\text{Cu}$ 構造は、薄膜全固体電池として機能することが知られている. これら Li イオン系の材料を用いて多端子のデバイスを作成すると Li イオンの移動により導電チャネルが抵抗変化することが報告されている. これらの結果によると、イオン伝導は長期記憶と書き換え信号に対する線形な抵抗変化を得るための有望なメカニズムとなり得ることが実証され

ている.

本稿では我々が最近開発した Li イオンシナプス素子の動作メカニズムと実験結果を紹介する[5]. LiCoO_2 膜厚の薄い TiO_x が存在するカソード側に正電圧を印加すると、Li イオンがアノード側に移動して膜厚の厚い TiO_x に入り込み、 LiTiO_x の低抵抗状態の膜となる. 下側は電気測定中の顕微鏡写真であり、Li イオンが移動して上部電極側に取り込まれて析出し、逆方向の電圧を印加するとそれが元に戻る様子が繰り返し確認できる.

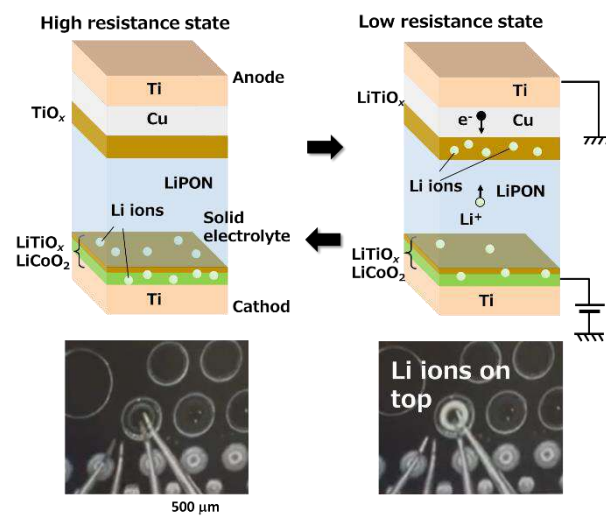


Fig.4 Li-based device for memristive characteristics. Upper: schematics for resistance change mechanism. Lower: the photos show the top electrode without and with Li ions from the bottom electrode.

Fig. 4 に素子の構造と動作原理の模式図を示す. Li イオンが素子内部を移動し、電流が流れる低抵抗状態 (LRS) と電流が流れない高抵抗状態 (HRS) の間で所定の方向に変化する. 構造は Ti などの電極と、正極すなわち正にバイアスしたときに Li^+ イオンを供給する Li イオン源としての LiTiO_x や $\text{LiCoO}_2/\text{TiO}_x$ 金属酸化物複合膜と、固体電解質としての LiPON などの Li イオン伝導層と、負極すなわち負にバイアスしたときに Li^+ イオンを受け入れる TiO_x 金属酸化物層と Cu/Ti 電極とからなる. LiCoO_2 は導電体であるため、 LiCoO_2 層のみの Li 濃度変調による抵抗変化は不十分である. 基本的に TiO_x は半導体または絶縁体であるため TiO_x 中の Li 濃度を増減させることで、抵抗変化が生じるデバイスを設計できる. $\text{LiCoO}_2/\text{TiO}_x$ の表面に垂直な方向が Li イオンの移動方向である. Li イオンは、正極と負極の間に電圧が印加されることで移動する.

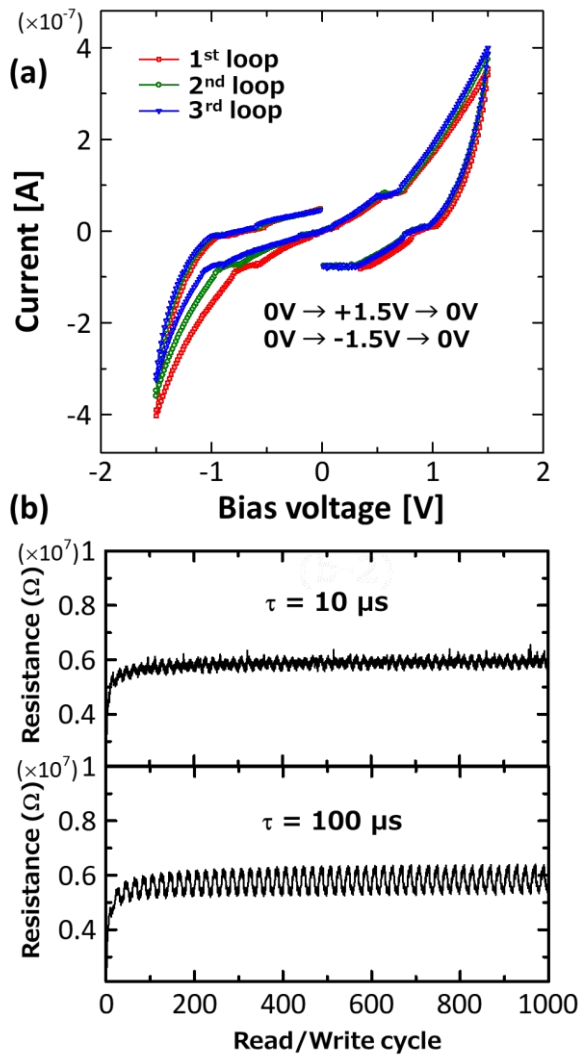


Fig.5 Device characteristics of the Li-based Memristive devices. (a) I - V curves and (b) repeated resistance measurements during read/write cycles.

Fig. 5 に作製した $\text{LiCoO}_2/\text{TiO}_x/\text{LiPON}/\text{TiO}_x/\text{Cu}$ の測定結果を示す. 電流は正バイアス, 負バイアスともに徐々に増加するが, TiO_x を添加した試料では負バイアス時の電流が小さいことから, TiO_x の抵抗変化が示唆され, バイアス電圧に対してより対称な I - V 曲線が得られた (Fig.5(a)). なおこれとは対照的に, TiO_x を含まない試料は負バイアスで高い電流を示し, 0.5V 付近でピーク電流を示すことから, 電池評価で良く観察される酸化還元反応の一種であることが示唆される. ある大きさの電流を流した後にその電流を止めると, 残留電圧が発生する. この $\text{LiCoO}_2/\text{TiO}_x/\text{LiPON}/\text{TiO}_x/\text{Cu}$ のデバイスは, 起電力は電池用途には十分ではないものの全固体電池としても動作するといえる. 電流パルス停止後の電圧は, 内部デバイスの抵抗 R

を介してキャパシタンス C に蓄積された電荷が放出されるため, 指数関数的に低下する. 一定時間後, 残留電圧は 0.7V 程度に落ち着き, それを維持した後, 徐々に低下する. R と C が並列で, 充電電圧 V すなわち起電力も直列の回路モデルが描ける. 充電のための電流パルス時間が短すぎる場合, また電流が小さい場合, 残留電圧は 0.7V 以下になる傾向がある. つまり多値レベルの残留電圧を印加電流によって制御することができる [10]. Fig.5(b)では, パルス幅を $10\ \mu\text{s}$ と $100\ \mu\text{s}$ のそれぞれに固定し, 抵抗値が増加する方向に変化させてそれをリセットすることを繰り返し, 抵抗の変化を調べた結果を示す. この素子には短期・長期の可塑性があるようで, パルスを繰り返すことで抵抗値が徐々に活性化していく. パルス数ごとに抵抗値が分離できれば分解能が得られていると判断して結果的に 32 値のメモリ分解能が得られた. 得られた 2 端子デバイスの多値抵抗変化は, これまでに報告されている Li イオンベースの 3 端子デバイスに近いレベルである. このように実証されたデバイスは, 電解によってデバイス内の Li イオンの分布を変化させ, LRS と HRS を実現する新しいタイプの 2 端子メモリスティブ素子と言える. 従来のメモリスタは, 両端に TiO_2 などの金属電極を持つ構造であり, 抵抗制御の材料として電荷移動度の低い酸素欠損を用いるため, LRS や HRS を安定に維持することが困難であり, 各素子の特性のばらつきや揺らぎが大きくなる. これに対し, Li イオンは酸素欠陥よりも移動度が大きいいため電界による移動が均一化され, 各素子の抵抗値のばらつきが小さくなることも期待される. ばらつきや歩留まりを高めていくことは積和演算用途では重要である.

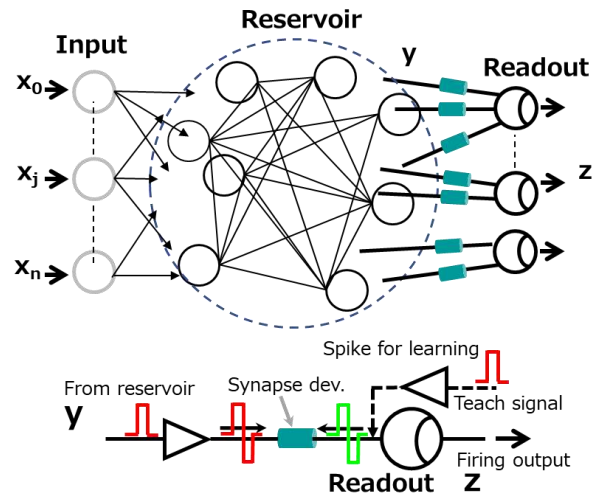


Fig.6 Reservoir computing with synapse devices at readout neurons for STDP learning.

また Fig. 6 に示すようなリザーバーコンピューティング応用であれば、シナプス素子に求められる抵抗制御の精度が比較的低いいためさらに応用が広がる可能性がある[5]。今後さらなる用途開拓のためには素子構造や評価方法を検討し、メモリ分解能を向上させる必要があるものの、抵抗変化に電池効果を組み合わせた新しい動作原理の素子は、ニューロモルフィックに限らず新しい電子回路を創出する応用可能性を秘めている。

4. まとめ

本稿では、薄膜積層構造の金属酸化物メモリスティープ素子を用いてアナログ抵抗変化をニューラルネットワーク回路に応用したニューロモルフィック技術を紹介した。脳神経の可塑性を模倣した Spike-Timing Dependent Plasticity (STDP) により抵抗を制御でき、自律型の学習器の実現に向けて有望である。また新しい方向性として、リチウム (Li) などイオンを用いて素子の性質を可変にする技術を紹介した。具体例として、リチウムイオン二次電池の正極材料として用いられる LiCoO_2 と固体電解質の薄膜を組み合わせ、リチウムイオン伝導による抵抗変化デバイスを紹介した。これら新規なニューロモルフィック技術はリザーバーコンピューティングなどで有用と見込まれ、将来の人工知能 (AI) ハードウェアの高性能化に向けた応用探索が今後も注目される。

References

[1] R. Berdan, T. Marukame, K. Ota, M. Yamaguchi, M. Saitoh, S. Fujii, J. Deguchi, Y. Nishi, *Nature Electronics*, Vol. 3, Issue 5, pp 259-266, 2020.
[2] T. Marukame, Y. Nishi, S. Yasuda, T Tanamoto,

Jpn. J. Appl. Phys., Vol. 57, Issue 4S, pp. 04FK06, 2018.

[3] T. Marukame, J. Sugino, T. Kitamura, K. Takahashi, Y. Tamura, K. Nomura, K. Mizushima, Y. Nishi, *Jpn. J. Appl. Phys.*, Vol. 59, Issue 4, pp. 040606, 2020.

[4] Y. Nishi, K. Nomura, T. Marukame, K. Mizushima, *Scientific Reports*, Vol. 11, Issue 1, pp. 18282, 2021.

[5] T. Marukame, K. Mizushima, K. Nomura, Y. Nishi, *IEEE J. of the Electron Devices Society*, pp. 602-610, 2023.

[6] T. Marukame, K. Nomura, M. Matusmoto, S. Takaya, Y. Nishi, *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-5, Florence, Italy, 2018.

[7] T. Marukame, J. Sugino, T. Kitamura, K. Ishikawa, K. Takahashi, Y. Tamura, R. Berdan, K. Nomura, Y. Nishi, *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-5, Sapporo, Japan, 2019.

[8] T. Marukame, J. Sugino, T. Kitamura, K. Ishikawa, K. Takahashi, Y. Tamura, K. Nomura, K. Mizushima, Y. Nishi, *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-5, Virtual, 2020.

[9] R. Berdan, T. Marukame, S. Kabuyanagi, K. Ota, M. Saitoh, S. Fujii, J. Deguchi, Y. Nishi, *IEEE Symposium on VLSI Technology*, pp. T22-T23, Kyoto, Japan, 2019.

[10] K. Ota, M. Yamaguchi, R. Berdan, T. Marukame, Y. Nishi, K. Matsuo, K. Takahashi, Y. Kamiya, S. Miyano, J. Deguchi, S. Fujii, M. Saitoh, *IEEE International Electron Devices Meeting (IEDM)*, pp. 6.2.1-6.2.4, San Francisco, USA, 2019.

[11] T. Marukame, K. Mizushima, K. Nomura, J. Sugino, T. Kitamura, K. Takahashi, Y. Tamura, and Y. Nishi, *SSDM2020*.

二次元異種材料の接合技術と新機能創出

Functional devices based on van der Waals Junctions of 2D Materials

町田 友樹

東京大学 生産技術研究所 〒153-8505 東京都目黒区駒場 4-6-1
Tomoki Machida

Institute of Industrial Science, University of Tokyo, 4-6-1 Komaba, Tokyo 153-8505, Japan

Tel: + 81-3-5452-6742 (e-mail:tmachida@iis.u-tokyo.ac.jp)

Abstract

Recent advances in transfer techniques of atomic layers have enabled one to fabricate van der Waals junctions of various two-dimensional (2D) materials. Here, we present our recent experiments on (i) subband electronics based on multilayer transition metal dichalcogenides, (ii) control of inversion symmetry using van der Waals assembly of 2D materials, and (iii) 3D manipulation technique of 2D materials.

1. はじめに

ファンデルワールス接合では、①界面において格子整合の制約がなく、②原子レベルで平坦な理想的界面が実現し、③構成要素となる二次元結晶の選択肢が極めて広い。さらに、④格子整合系ではあり得ない「原子層間の捻り角度」という設計自由度があり、バンド構造が制御できる。既存の材料系では得られない物性が発現する可能性があり、基礎・応用の両面で幅広い可能性を秘めている。

そして現在、同一または異なる二次元物質を接合することにより、単体では全く考えられなかった性質が出現する例が明らかになりつつある。グラフェンとグラフェンを魔法角(≈ 1.1 度)と呼ばれる特定のツイスト角度で積層することで超伝導が発現するのが顕著な例である。二次元物質同士の相互作用を積極的に使うことで、現在の三次元物質科学の限界を超えたブレークスルーをもたらす可能性がある。「二次元物質の多様さ」×「ファンデルワールス集積技術」の組み合わせにより無限の組み合わせの構造が得られ、新たな学理創出の理想的な舞台となる。本講演では特に複数層遷移金属ダイカルコゲナイドを利用したサブバンドエレクトロニクスへの展開について議論する予定である。

2. サブバンドエレクトロニクスへの展開

複数層の遷移金属ダイカルコゲナイドは間接遷移半導体であり、応用面で注目されることが少なかった。一方、サブバンドが形成されるため、自然発生的な量子井戸として振る舞い、サブバンドエレクトロニクスへの展開可能性を秘めている。

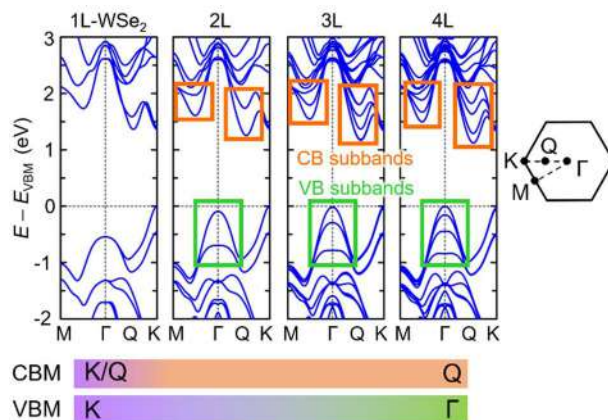


Figure 1 Left part: Band structure of monolayer (1L) to four-layer (4L) WSe₂ obtained via DFT calculations. The subband structures in the conduction band (CB) and valence band (VB) are outlined by orange and green rectangles, respectively. The valence band maximum (VBM) energy is set to 0 eV. Right part: Illustration of the 1st Brillouin zone (BZ) of WSe₂.

3. ファンデルワールス共鳴トンネル素子

h-BN/数層 WSe₂/h-BN/数層 WSe₂/h-BN トンネル接合において、共鳴トンネル電流を測定した。2つの数層 WSe₂ の価電子帯 Γ 点に存在するサブバンドのエネルギーが一致した際に、負性微分抵抗を伴う顕著な共鳴トンネル電流ピークが観測された。

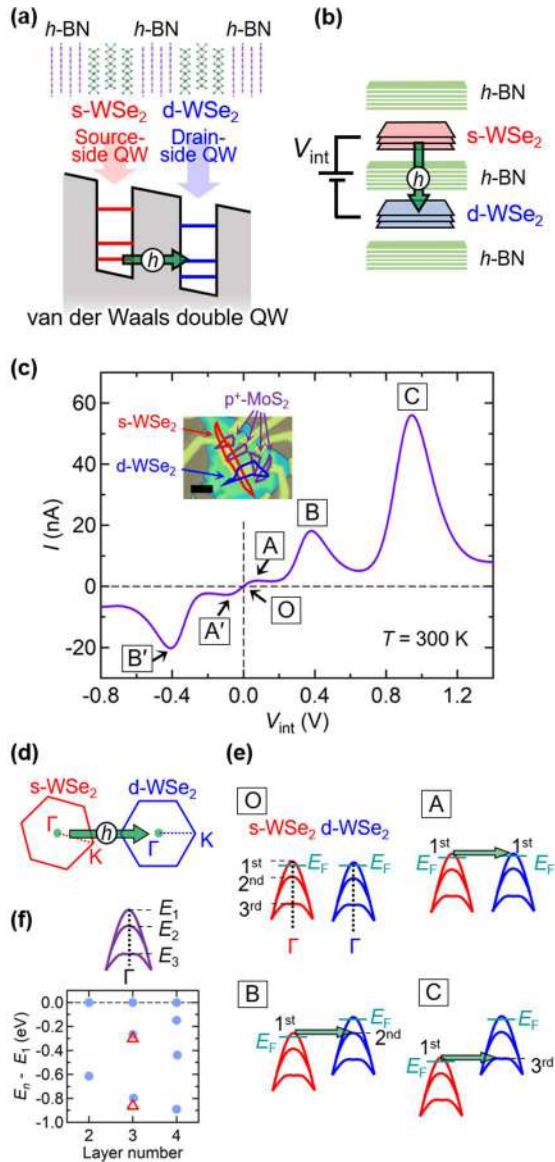


Figure 2 (a) Concept of double quantum well device based on vdW heterostructures. (b) Schematic of the measurement of vdW tunnel junction. (c) Main panel: $I-V_{\text{int}}$ characteristics measured at 300 K. Inset: Optical micrograph of the fabricated device. Scale bar: 10 μm . (d) Schematic of the 1st BZ of s-WSe₂ and d-WSe₂ and momentum-conserved resonant tunneling. (e) Subband energy alignment between s- and d-WSe₂ at positions O and A-C. (f) Illustration of the Γ point subband structure of 3L-WSe₂. Valence band Γ point subband energies calculated via DFT plotted versus the number of WSe₂ layers.

数層 WSe₂ 量子井戸を用いた二重量子井戸構造において、量子井戸間のツイスト角度が共鳴トンネルに与える影響を調査した。伝導キャリアが電子の場合、伝導帯の Q 点周りのバンド分散を反映した顕著なツイスト角度依存性が見られたが、ホールの場合は Γ 点キャリアであるためツイスト角度に依存しない結果となった。

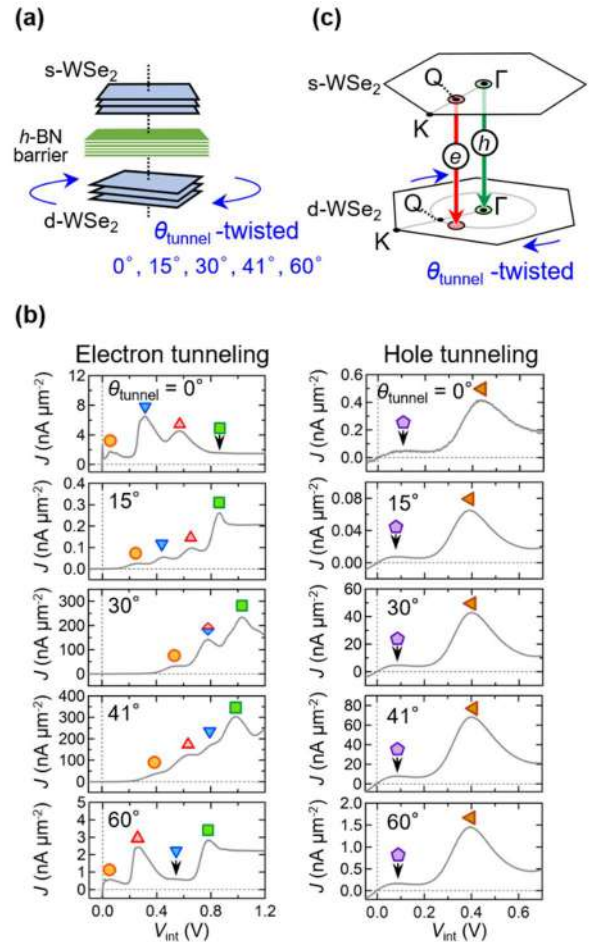


Figure 3 (a) Schematic of measured tunnel junction. (b) Left part: $J-V_{\text{int}}$ characteristics for electron tunneling from each device, measured at 2 K. Right part: $J-V_{\text{int}}$ characteristics for hole tunneling from each device, measured at 300 K. (c) Schematic of the 1st BZ of s-WSe₂ and d-WSe₂ and momentum-conserved resonant tunneling.

4. 負性微分抵抗

多層 p⁺-MoS₂/数層 h-BN/N層 p⁺-MoS₂ (N~45, 22, 9) のトンネル接合を作製し、共鳴トンネル電流を測定した。N層 p⁺-MoS₂ の価電子帯 Γ 点バンドへの共鳴トンネルに起因した構造が出現し、観測されたミニギャップに起因する負性

微分抵抗は層数変化と温度変化に対し頑健であることが示された。スピン軌道相互作用のバンド反転に由来するミニギャップの特異な物性を明らかにした。

単層 $\text{WSe}_2/\text{h-BN}$ /数層 WSe_2 ファンデルワールトンネル接合を作製し、トンネル電流測定を行った。キャリアが単層 WSe_2 の Γ 点準位へとトンネルする際、電流-電圧特性において巨大な負性微分抵抗を伴う電流ピークを観測し、得られたピーク・バレー比 (PVR, 58.8 at 60 K) はこれまでの二次元材料の共鳴トンネルデバイスを凌駕する値である。

References

- [1] S. Masubuchi, M. Morimoto, S. Morikawa, M. Onodera, Y. Asakawa, K. Watanabe, T. Taniguchi, and T. Machida, *Nat. Commun.* **9**, 1413 (2018).
- [2] K. Takeyama, R. Moriya, S. Okazaki, Y. Zhang, S. Masubuchi, K. Watanabe, T. Taniguchi, T. Sasagawa, and T. Machida, *Nano Lett.* **21**, 3929 (2021).
- [3] K. Kinoshita, R. Moriya, S. Okazaki, Y. Zhang, S. Masubuchi, K. Watanabe, T. Taniguchi, T. Sasagawa, and T. Machida, *Nano Lett.* **22**, 4640 (2022).
- [4] K. Kinoshita, R. Moriya, S. Okazaki, Y. Zhang, S. Masubuchi, K. Watanabe, T. Taniguchi, T. Sasagawa, and T. Machida, *Phys. Rev. Research* **5**, 043292 (2023).
- [5] Y. Zhang, K. Kamiya, T. Yamamoto, M. Sakano, X. Yang, S. Masubuchi, S. Okazaki, K. Shinokita, T. Chen, K. Aso, Y. Y.-Takamura, Y. Oshima, K. Watanabe, T. Taniguchi, K. Matsuda, T. Sasagawa, K. Ishizaka, and T. Machida, *Nano Lett.* **23**, 9280 (2023).
- [6] Y. Wakafuji, R. Moriya, S. Masubuchi, K. Watanabe, T. Taniguchi, and T. Machida, *Nano Lett.* **20**, 2486 (2020).
- [7] R. Moriya, K. Kinoshita, J. A. Crosse, K. Watanabe, T. Taniguchi, S. Masubuchi, P. Moon, M. Koshino, and T. Machida, *Nature Communications* **11**, 5380 (2020).
- [8] M. Onodera, K. Watanabe, M. Isayama, M. Arai, S. Masubuchi, R. Moriya, T. Taniguchi, and T. Machida, *Nano Lett.* **19**, 7282 (2019).
- [9] M. Onodera, T. Taniguchi, K. Watanabe, M. Isayama, S. Masubuchi, R. Moriya, and T. Machida, *Nano Lett.* **20**, 735 (2020).
- [10] Y. Seo, S. Masubuchi, M. Onodera, Y. Zhang, R. Moriya, K. Watanabe, T. Taniguchi, T. Machida, *Appl. Phys. Lett.* **120**, 203103 (2022).

単原子長ゲート構造への二次元半導体結晶の成長

Growth of 2D semiconductor crystal on a monoatomic length gate structure

杉野 秀明¹, 佐々木 文憲¹, 米窪 和輝¹, 入沢 寿史², 松木 武雄², 大堀 大介³, 遠藤 和彦³,
渡邊 一世⁴, 吹留 博一⁴

1 東北大学電気通信研究所 〒980-8577 宮城県仙台市青葉区片平 2-1-1

2 産業技術総合研究所 〒305-8568 茨城県つくば市梅園 1-1-1

3 東北大学流体科学研究所 〒980-8577 宮城県仙台市青葉区片平 2-1-1

4 情報通信研究機構 〒184-8795 東京都小金井市貫井北町 4-2-1

Hideaki Sugino¹, Fuminori Sasaki¹, Kazuki Yonekubo¹, Toshiumi Irisawa², Takeo Matsuki², Daisuke Ohori³, Kazuhiko Endo³, Issei Watanabe⁴, Hiroakazu Fukidome¹

1 *Research Institute of Electrical Communication, Tohoku University, 2-1-1 Katahira, Miyagi 980-8577, Japan*

2 *National Institute of Advanced Industrial Science and Technology, 1-1-1 Umezawa, Tsukuba, Ibaraki 305-8568, Japan*

3 *Institute of Fluid Science, Tohoku University, 2-1-1 Katahira, Miyagi 980-8577, Japan*

4 *National Institute of Information and Communications Technology, 4-2-1 Nukui-Kitamachi, Koganei, Tokyo 184-8795, Japan*

Tel: + 81-22-217-5484, Fax: + 81-22-217-5484 (e-mail:hiroказu.fukidome.e7@tohoku.ac.jp)

Abstract

For the forthcoming generations, both the channel thickness and the gate length should be shrunk down to a single atomic level for evading the so-called short channel effects. One of the effective solutions is to grow high conductive 2D crystal, orthogonally with 2D semiconductor crystal. We succeeded in growing a WS₂ ultrathin film orthogonally to epitaxial graphene on semi-insulating SiC, where a Al₂O₃ thin film is situated in between epitaxial graphene and WS₂. This method contributes to the realization of devices consisting of the atomically shortened gate and the ultrathin channel without metal contaminations and fatal damages due to ultra-fine fabrication processes by using such as electron beams and extreme UVs.

1. はじめに

グラフェン、六方晶窒化硼素、遷移金属ダイコルコゲナイド (TMDCs) をはじめとする二次元結晶は、単分子極限の超極薄さや特徴ある電子物性を有するが故に、次世代半導体デバイス用材料として有望視されている。

異なる二次元結晶の積層は、優れた機能発現につながると期待されており、盛んに研究されている。例えば、Layer-by-layer の二次元結晶のヘテロ積層は興味深いものである。しかし、これは、HEMT などへの応用を企図した、従来の

分子線エピタキシー (MBE) による研究の延長線上にあるものと位置付けることもできる。

二次元結晶の超極薄さのユニークな活用法の一つとして、layer-by-layer ではなく、互いに立体的に成長させたヘテロ積層である。そして、転写法などに伴う不純物混入や皺を回避することが、高信頼なデバイス作製プロセスの確立に不可欠である。我々は、これまでに、Si 基板表面に微細加工を施すことで微視的に面方位が異なる表面を露出させることでグラフェン成長様式を制御して、転写法を利用せずに、立体的な積層制御に成功している[1]。

TMDCsなどの二次元半導体の応用先として、最も重要なものの一つが次々世代半導体ロジック/アナログ用トランジスタである。その理由は、極短ゲート化において壁となる短チャネル効果の回避に不可欠なチャネルの単分子極限の極薄化が、二次元半導体結晶の採用により可能となるからである[2]。逆に言えば、ゲートの極短化も同時に出来なければ、二次元半導体結晶をチャネルとして利用することは意味が無いとも考えられる。

EB露光やEUV露光によるトップダウン的な極微細加工が、極短ゲート化を可能にするものとして挙げられる。しかし、その極薄さや化学的反応性から、TMDCsはこれらの極微細化法では致命的な損傷を受けてしまい、チャネルとして利用できなくなってしまう。

そこで、我々は、ボトムアップ的な極微細加工、すなわち、電気伝導性の高い二次元結晶と二次元半導体結晶を互いに直交させながら成長させることで、それぞれ極短ゲートおよび超極薄チャネルとして用いるトランジスタの開発を目指している[3, 4]。単原子長ゲートに関して、類似の報告がなされているが[5]。その報告では、触媒金属に成長させた二次元半導体結晶やグラフェンからデバイス用基板への転写法が採用されているため、不純物の混入や信頼性の低下が不可避である。

今回の発表では、高周波アナログ応用を企図したモデル系として、グラフェンを極短ゲートとして、その上に、絶縁膜を介して二次元半導体の一つである WS_2 を直交させながら成長させることを目的とした研究を報告する。

2. 実験条件

高周波誘導加熱により SiC 基板を加熱して Si 原子を表面から昇華させることで、グラフェンをスーパークリーンルームにて成長させた[6]。このようにして作製したグラフェンは、超高品質である。その証拠として、このグラフェンは、最大で $100,000 \text{ cm}^2/\text{Vs}$ もの超高キャリア移動度を電子温度 $1,000 \text{ K}$ で達成している[7]。自然酸化膜付き Al 薄膜 (20 nm 程度) は、グラフェン上に電子ビーム蒸着法により Al を蒸着し、クリーンルーム内で放置することに作製した。反応性イオンエッチング (RIE) においては、ハロゲン系ガスを用いた。 WS_2 は、ガス・ソース

CVD により作成した[8]。ゲート絶縁膜用の酸化アルミニウムは、原子層堆積法 (ALD) により堆積させた。

3. 結果

単原子長ゲート構造は、次のようにして作製した (Fig. 1)。エピタキシャル・グラフェンを成長させた半絶縁性 SiC 基板上に自然酸化膜付き Al 薄膜 (20 nm 程度) を蒸着し、その後、RIE により、微細段差を形成した。

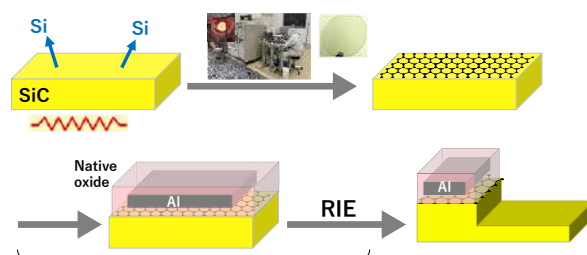


Fig. 1 Schematics of the fabrication of the monoatomic length gate structure.

このようにして単原子長ゲート構造について、断面透過型電子顕微鏡および EDX を用いた原子レベルの構造および元素分布を観察した (Fig. 2)。その結果、狙い通りに、微細段差のところで SiC 基板上に成長させたグラフェン上に、Al 自然酸化膜で被覆された Al 薄膜が形成されていることが明らかとなった。

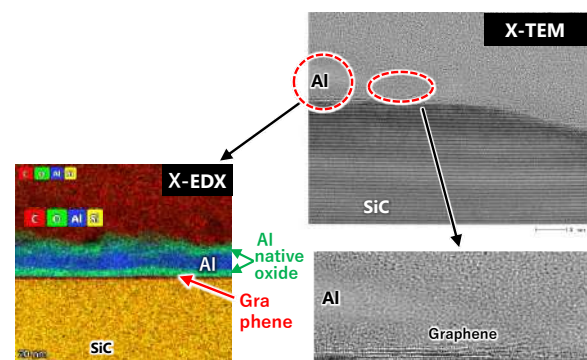


Fig. 2 Cross-sectional TEM and EDX of the monoatomic length gate structure.

単原子長ゲートへの WS_2 成膜は、次のようにして行った (Fig. 3)。上述のようにして作製した単原子長ゲート構造へ、ALD 法により酸化アルミニウム薄膜を作製した。この酸化アルミニウムは、デバイス動作の際には、ゲート絶縁膜

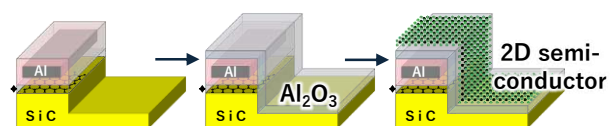


Fig. 3 Schematics of the growth of WS_2 on the monoatomic length gate structure.

としての役割を果たす。次に、ALDにより作製した酸化アルミニウム上に、ガス・ソースCVD[8]により WS_2 を成長させた。

このようにして、成膜した単原子長ゲート構造上の WS_2 について、断面透過型電子顕微鏡および EDX を用いて原子レベルの構造および元素分布を観察した。その結果を、Fig. 3 に示す。タングステン・硫黄・アルミニウムの EDX 観察結果から明らかのように、狙い通りに、 WS_2 が酸化アルミニウムを介して、単原子長ゲート構造上に成長していることが明らかとなった。以上のようにして、我々は、ゲートの極短化およびチャンネルの超極薄化を目的として、グラフ

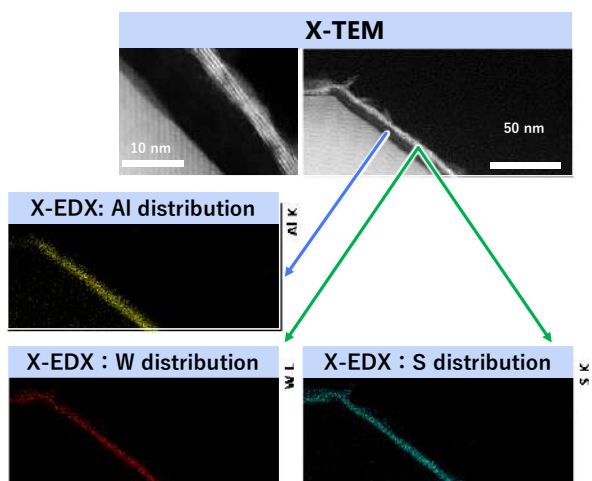


Fig. 4 Cross-sectional TEM and EDX for the growth of WS_2 on monoatomic length gate structure.

ェンと WS_2 を互いに直交するように成長させ

ることに初めて成功した。

4. まとめ

今回の研究成果は、グラフェンの厚みがゲート長として定義される極短ゲートと超極薄 WS_2 チャンネルからなるゲート・スタック構造を、転写法を用いること無しに作製可能であることを示している。本法は、チャンネル製造工程において、EUV 露光や EB 露光のようなチャンネルに致命的な損傷を伴う製造プロセスの回避も可能とし、高信頼なデバイス作製に資するものと期待される。

本研究の一部は、NICT・革新的情報通信技術 (Beyond 5G(6G)) 基金事業、JST・未来社会創造事業、および東北大学電気通信研究所・共同研究プロジェクトによる支援を受けた。また、本研究の一部は、東北大学電気通信研究所附属ナノスピン実験施設クリーンルームや産業技術総合研究所ナノプロセッシング施設を利用して遂行された。

References

- [1] H. Fukidome et al. Scientific Reports 4 (2014) 5173.
- [2] D. Akinwande et al. Nature 573 (2019) 507.
- [3] H. Fukidome et al. Patent application number 2023-095711.
- [4] H. Fukidome et al. Patent application number 2023-095712.
- [5] W. Fan et al. Nature 603 (2022) 259.
- [6] H. Fukidome et al. Appl. Phys. Lett. 101 (2012) 041605.
- [7] T. Someya et al. Physical Review B 95 (2017) 165303.
- [8] H. Irisawa et al. IEEE. J. Electron. Dev. Soc. 6 (2018) 1159.

In₂O₃系透明導電性酸化膜電極を用いた Ge ショットキーフォトダイオードの感度特性評価

The characterization of responsivity for Ge Schottky photodiode with transparent conductive oxide electrodes

石井 寛仁^{1,2}, 張 文馨², 石井 裕之², 鯉田 崇², 藤代 博記¹, 前田 辰郎^{1,2}

1 東京理科大学 〒125-8585 東京都葛飾区新宿 6-3-1

2 産業技術総合研究所 〒305-8560 茨城県つくば市東 1-1-1

Hiroto Ishii^{1,2}, Wen-Hsin Chang², Hiroyuki Ishii², Takashi Koida², Hiroki Fujishiro¹, Tatsuro Maeda^{1,2}

1 Tokyo University of Science, 6-3-1 Nijuku, Tokyo 125-8585, Japan

2 AIST, 1-1-1 Tsukuba, Ibaraki 305-8560, Japan

Tel: + 81-29-850-5052 (e-mail: 8121701@ed.tus.ac.jp, h.ishii@aist.go.jp)

Abstract

In this study, we fabricated and demonstrated high-responsivity Ge Schottky photodetectors with short-wave infrared (SWIR) transparent conductive oxide (TCO) electrodes. The TCO/Ge Schottky heterojunctions exhibited apparent rectifying behavior in both p- and n-type Ge. Furthermore, the TCO/p-Ge Schottky photodiodes showed a linear response to the incident power and broadband photoresponse at wavelengths in the range of 800–1800 nm. These findings demonstrate the substantial potential of our proposed TCO/Ge photodiodes for future applications in low-cost and high-efficiency SWIR optoelectronic devices.

1. はじめに

Ge は近赤外域の光に対して高い吸収係数を有していること、さらには Si CMOS プロセスとの高い互換性から、Si フォトニクスにおける近赤外光検出器として期待されている。特に、Ge ショットキーフォトダイオードは、表面照射型の検出器として高感度化と高速応答が期待されている。しかしながら、従来の金属-半導体構造のショットキーフォトダイオードは、表面金属の光反射による感度の低下に課題がある。これまでに、我々は近赤外域で透明な電極として Ce および H をドーピングした In₂O₃ 透明導電性酸化膜 (TCO: Transparent Conductive Oxide) を開発し、太陽電池や FET などでの有効性を検証してきた[1,2]。本研究では、表面照射型 TCO/Ge ショットキーフォトダイオードを作製し、TCO 電極を介した近赤外域光による光応答について検討したので報告する[3]。

2. 実験条件

Fig. 1 に作製した TCO/Ge フォトダイオード

のプロセスフローと概略図を示す。抵抗率 0.1 Ωcm 程度の p 型および n 型 Ge (100) 基板それぞれをアセトン溶液と BHF (Buffered hydrogen fluoride) で化学洗浄し、カーボンコンタミと Ge 自然酸化物を除去した。次に Ge 基板上に素子分離用の SiO₂ 層を、PE-CVD (Plasma-enhanced chemical vapor deposition) を用いて 300 °C で 150 nm 堆積させた。その後、受光部 (120 μm×100 μm) となる Ge 表面を SiO₂ エッチングで露出し、TCO 膜を堆積した。TCO は、Ce と H をドーピングしたアモルファス In₂O₃ 膜を、Ar, O₂, H₂O の混合ガス雰囲気中で、RPD (Reactive plasma deposition) 法によって室温で 100 nm 堆積した[4]。その後、固相結晶化 (SPC: Solid Phase Crystallization) のために、N₂ 中 250 °C で 30 分間熱処理を施した。これによって、TCO は 1.87×10⁻⁴ Ωcm にまで低抵抗化した[2]。次に、電子ビーム蒸着法により上部電極として Au/Ti を蒸着し、裏面電極として Au をスパッタした。最後に N₂ 中 250 °C で 30 分間の PMA (Post

metallization anneal) 処理を行った。光応答の計測には、上部から光を受光部に照射し、上下の電極間で光電流測定を行った。

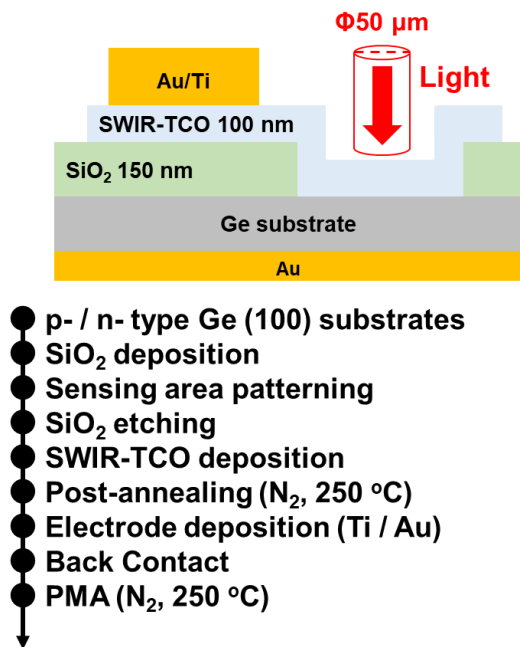


Fig. 1. The schematic illustration of TCO/Ge Schottky photodiodes and its process flow.

3. 結果

Fig. 2 に SPC 前後の TCO/Ge 界面構造の断面 TEM 像を示す。Fig. 2 (a) から固相結晶化熱処理前の TCO はアモルファス構造を有していることを確認した。一方で、Fig. 2 (b) からは TCO 膜中に結晶格子が観察範囲全域で見られ固相結晶化したことがわかる。また、粒界も観察されており、多結晶であることもわかる。一方で、TCO/Ge 界面には明確なアモルファス界面層が観察されず、TCO/Ge 界面まで完全に固相結晶化された結果、結晶相同士の急峻な直接接合のように見える。透明酸化膜電極としてよく知られる ITO と Ge との界面層の形成は酸化膜の堆積条件とその後の熱処理に依存していることが報告されている。例えば、Ar/O₂ 雰囲気中で Ge 基板温度を 300 °C まで上げた状態で ITO を堆積させた場合は、GeO_x 界面層形成がはっきりと観察される [5]。一方、Ref. [6] の酸素のない条件では、ITO/Ge ヘテロ接合で界面層は形成されていないように見える。今回の TCO 堆積では、雰囲気ガスに酸素が含まれているため、Ge 基板表面に形成された薄い GeO_x 形成された後で、TCO が堆積すると予想される。確かに、Fig. 3 の TEM-EDX 解析からは、固相結晶化前後ともに In と O 組成分布は深さ方向にわずかな差が

見られ、TEM 像からは判別できない GeO_x 界面層形成が示唆される。固相結晶化で TCO/Ge 界面近傍の O, Ge, In 組成変化はより急峻になっていることから、GeO_x 界面層が縮小したと考えられる。したがって、In₂O₃ の標準生成ギブズエネルギーは -198.537 kcal/mol で、GeO₂ (-119.613 kcal/mol) よりも低いことを考慮すると [7]、TCO の固相結晶化中に TCO 層中に GeO_x 界面層が取り込まれ結晶化する可能性が示唆される。その結果、Fig. 2 に示すように、TCO/Ge 界面にはアモルファス界面層のない結晶同士の直接接合が形成されたと考えられる。ちなみに、IV 族半導体である Ge は ITO の Sn と同様に In₂O₃ 中で、ドナーとして働くことが知られており、導電性への影響は少ないものと予想される [8]。一般的な金属/Ge 構造では金属と Ge の反応が起こりやすく、不均一な界面が形成されやすいのに対し、TCO の場合には結晶性導電性酸化膜によるユニークな直接接合形成手法と言えるだろう。

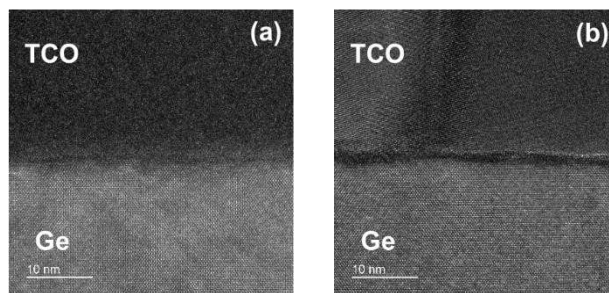


Fig. 2. Cross-sectional TEM images of TCO/Ge structure (a) before SPC and (b) after SPC.

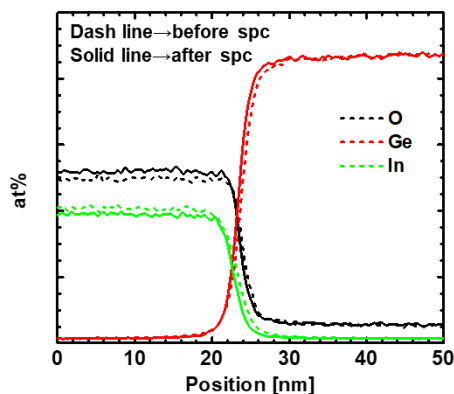


Fig. 3. TEM-EDX line profile using O, Ge, and In atoms.

フォトダイオード形成後のTCO/Geの断面TEM像を Fig. 4 に示す。TCO は Ge 基板上に均一に堆積されており、膜厚は設計値通り約 100 nm あった。Fig. 2 と同様に、TCO/Ge 界面は非常に平坦であった。TEM の拡大図からは、TCO 膜に結晶格子が観察され、結晶同士の直接接合形成を確認した。

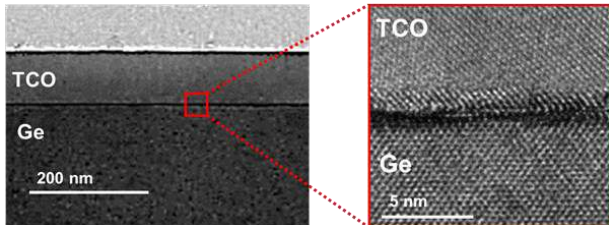


Fig. 4. Cross-sectional TEM images of TCO/Ge structures in actual TCO/Ge Schottky photodiodes

次に、TCO/Ge 接合においてショットキー障壁が形成されるかを確認するために n/p Ge それぞれの I - V 測定を行った (Fig. 5)。バイアスはそれぞれ逆方向バイアスから ± 1 V の範囲で印可して電流値を測定した。図から、n/p どちらの場合においても整流性を確認した。一般的な金属/Ge 接合では、FLP (Fermi Level Pinning) の強い影響から、p 型ではオーミック接触、n 型ではショットキー障壁が形成される。しかしながら、TCO/Ge 接合では電子および正孔の両方で明瞭なショットキー障壁が形成されることがわかった。逆方向バイアス ± 1 V におけるオンオフ比はそれぞれ、p 型の場合 690、n 型の場合 4.76 となり、TCO/Ge ショットキー障壁は、電子よりも正孔の障壁高さが高いことがわかった。

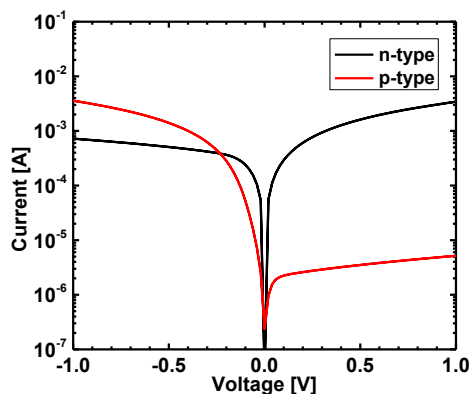


Fig. 5. I - V characteristics of TCO/Ge Schottky diode

次に、ショットキー障壁高さを見積もるために、容量測定を行った。Fig. 6 に n/p における TCO/Ge ショットキーダイオードの I/C^2 - V 特性を示す。それぞれのキャリア密度は直線の傾きから、 $N_A = 2.98 \times 10^{16} \text{ cm}^{-3}$ 、 $N_D = 3.14 \times 10^{16} \text{ cm}^{-3}$ と求められた。これらの値は n/p Ge 基板の抵抗率にほぼ一致している。n/p それぞれのショットキー障壁高さを求めると、TCO/p-Ge は 0.419 eV、TCO/n-Ge は 0.236 eV となった。TCO/n-Ge のショットキー障壁高さは、TCO の仕事関数 (4.2 eV [2]) と Ge の電子親和力 (4.0 eV) の差に 0.2 eV に近い値を示すことがわかった。さらに、n/p それぞれのショットキー障壁高さの和は Ge のバンドギャップ ($E_g = 0.67$ eV) と同程度の値が得られた。これらの結果から、TCO/Ge 界面では FLP がほぼ完全に緩和されていることが予想できる。過去の例から見ても、ITO/n-Ge 構造では伝導帯オフセットが小さく、 ~ 0.26 eV のショットキー障壁高さが報告されている [9]。また、金属/ITO/Ge 構造のショットキー障壁高さの研究では、ITO の膜厚を 0 から 4 nm まで厚くすることで、0.6 eV の FLP の状態から ~ 0.26 eV にショットキー障壁高さが減少することも報告されている。つまり、TCO と ITO の主成分が In_2O_3 であることから、TCO/n-Ge 界面においても FLP が緩和されていることが予想される。一般に、金属と Ge の間のショットキー障壁高さは、価電子帯端から約 0.09 eV の Ge 電荷中性準位で強い FLP が起こるため、金属の仕事関数にほとんど依存しないことが報告されている [10]。金属/Ge 接合における FLP の原因として、MIGS 効果、ダングリングボンド、欠陥 [11] が考えられるが、TCO は高濃度ドープされたワイドギャップ半導体であり、自由キャリアの起源、キャリア密度、キャリアエネルギー分布など金属/Ge 接合とは大きく異なってくると考えられる。我々が使用した TCO のキャリア密度は $\sim 10^{20} \text{ cm}^{-3}$ であり、一般的な金属 ($\sim 10^{23} \text{ cm}^{-3}$) よりもかなり低く、MIGS の影響の低減も予想される。

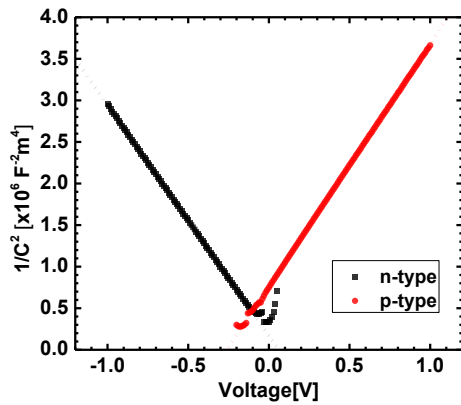


Fig. 6. $1/C^2$ - V characteristics of TCO/Ge Schottky diodes

Fig. 3 に示した I - V 特性では、p 型 Ge の方が n 型 Ge よりも逆バイアス下で暗電流が小さく、 I - V 特性から算出する光検出に適している。Fig. 7 は TCO/p-Ge ショットキーフォトダイオードの暗電流と波長 1550 nm の光照射したときの I - V の照射パワー依存性を示している。照射パワーは 37.2, 1.63, 0.602, 0.0723 μ W の 4 種類である。バイアスは暗電流と同様に、逆方向バイアスである 1.0 V から -1.0 V まで印可した。逆方向バイアス下で、照射パワーが増加するにつれて光照射時の電流が顕著に増加していることがわかる。光電流は光照射時の電流と暗電流の差から算出した。原点付近の I - V 特性を詳細に調べたところ、TCO/Ge ショットキーフォトダイオードが典型的な光起電力効果を示すことがわかった。照射パワー 35.5 μ W における解放電圧 V_{oc} と短絡電流 I_{sc} はそれぞれ、0.070 V と 25.8 μ A となった。この光起電力効果により、TCO/p-Ge 接合はゼロバイアスで動作する自己駆動型光検出器として機能する。次に、光応答を評価するために光電流 (I_{ph}) と感度 (R) を以下の式から算出した。

$$I_{ph} = I_{illumination} - I_{dark}$$

$$R = I_{ph}/P_{in}$$

この時、 $I_{illumination}$ は光照射時の電流、 I_{dark} は暗電流、 P_{in} は照射パワーを表している。TCO/p-Ge ショットキーフォトダイオードの感度を導き出すために、Fig. 8 に示すように 1 V の逆バイアス時における光電流と感度の照射パワー依存性をプロットした。左の y 軸が光電流で右の y 軸が感度を示している。Fig. 8 の近似的なべき乗則曲線は $\alpha=1.00$ を示した。すなわち、光電流は照射パワーに完全に線形比例することが明らかになった。さらにこの指数は、TCO/p-

Ge 界面にトラップがほとんどなく、光生成キャリアが光検出器として極めて効率的に取り出されたことを示唆している。その結果、感度は測定された照射パワーの範囲において実質的に一定であり、傾きを用いて 0.783 A/W と見積もられた。

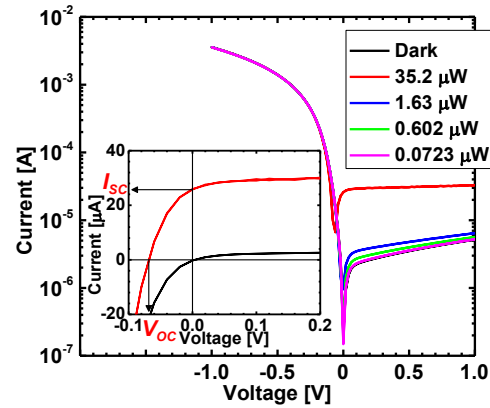


Fig. 7. I - V characteristics of TCO/Ge Schottky photodiodes using p-type Ge with and without illumination at a wavelength of 1550 nm with several incident powers.

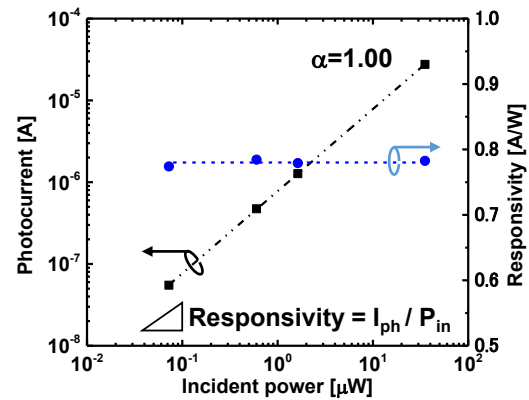


Fig. 8. Dependence of the photocurrent and the responsivity on the incident power at a bias voltage of 1 V.

Fig. 9 に TCO/p-Ge ショットキーフォトダイオードの感度特性を示す。また、比較のため一般的に市販されている Ge p-i-n フォトダイオードの感度特性 [12] と 100 % の EQE (External quantum efficiency) を持つときの理想的な感度特性も示す。n/p どちらの場合も 1800 nm で感度が急激に感度が低下していることがわかる

が、これは Ge のカットオフ波長によるものである。Ge p-i-n フォトダイオードは 1550 nm で 0.85 A/W の最大感度を示すが、TCO/Ge ショットキーフォトダイオードの場合も、1500 nm で 0.800 A/W の感度を示した。特筆すべきは、TCO/Ge ショットキーフォトダイオードが 1550 nm 以下の波長領域でほぼ一定の感度を示し、Ge p-i-n フォトダイオードの感度を大きく上回ることである。その結果、TCO/Ge ショットキーフォトダイオードの EQE は 800 nm で 89.1% に達する。一方、Ge p-i-n フォトダイオードの EQE は波長が短くなるにつれて大幅に低下している。これは、オーミック接触用の高濃度ドープ Ge 層が、TCO とは異なり短波長の光に対して透明ではないためである。入射光のほとんどは内蔵電界が低い高濃度ドープ Ge 層で吸収されるので光生成キャリアを効率的に取り出すことができない。しかし、TCO/Ge ショットキーフォトダイオードでは、入射光は TCO の下にある Ge の空乏層で直接吸収され、光生成キャリアは最小のアクセス抵抗で直ちに隣接する TCO に到達するため、高い感度が得られることになる。感度は、光の侵入深さとショットキー障壁高さに起因した空乏幅にも依存する。我々のデバイスの空乏層幅 x_d は逆方向バイアス 1 V において、p 型の場合 275 nm となり、例えば波長 800 nm における Ge の侵入深さは約 193 nm なので [13]、照射された光のほとんどは空乏層で吸収される結果 EQE は高くなる。一方で、長波長側では侵入深さは深くなる。この場合、TCO/Ge ショットキーフォトダイオードの感度は、Ge p-i-n フォトダイオードの感度よりも低くなる。これは、i-Ge 層の厚さによって制御される空乏幅（通常 1 μm 以上）がショットキーフォトダイオードの空乏層幅を大幅に上回るためである。長波長で高い感度を達成するためには、空乏幅を大きくすることが望ましく、そのためにはキャリア濃度を低く、ショットキー障壁を高くする必要がある。しかし、高速応答と空乏層幅はトレードオフの関係にあるので、検出器を設計する際には、用途によって考慮が必要となる。

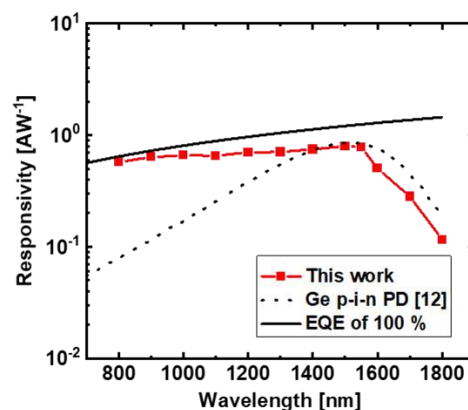


Fig. 9. Responsivity spectra in the wavelength range of 800 – 1800 nm. The responsivity spectra of commercially available Ge p-i-n photodiodes is shown for comparison.

4. まとめ

我々は、赤外域で透明な TCO/Ge を用いた表面照射型ショットキーフォトダイオードの作製と特性評価を行った。n/p 型の TCO/Ge ショットキーダイオードは、明確な整流特性を示し、それぞれショットキー障壁高さは 0.419 eV と 0/236 eV となった。TCO/Ge ショットキーフォトダイオードは、波長 800-1800 nm の範囲で広帯域の光応答を示し、波長が短くなるにつれて、感度は大幅に増加し、Ge p-i-n フォトダイオードを凌駕した。我々が提案する表面照射型 TCO/Ge ショットキーフォトダイオードは、低コストで高効率な近赤外域光電デバイスとしてその応用が期待される。

本研究は JST CREST (JPMJCR21C2)、JST 科学技術イノベーション創出に向けた大学フェローシップ創設事業 (JPMJFS2144) の支援を受けたものです。

著者たちはデバイスを作製する際に AIST の NPF を利用いたしました。

References

- [1] T. Koida et al., *Appl. Phys. Express*, **1** (2008) 041501.
- [2] T. Maeda et al., *Appl. Phys. Lett.*, **119** (2021) 192101.

- [3] H. Ishii et al., *IEEE Electron Device Lett.*, **44** (2023) 1244.
- [4] T. Koida et al., *Phys. Rev. Materials*, **6** (2022) 055401.
- [5] J. -H. Yun et al., *J. Mater. Sci: Mater. Electron*, **26** (2015) 6099.
- [6] Z. Huang et al., *Appl. Phys. Express*, **11** (2018) 102203.
- [7] L. B. Pankratz, and R. V. Mrazek, *Thermodynamic Properties of Elements and Oxides* (United States Department of the Interior, Bureau of Mines, 1982), p. 171, 201.
- [8] M. Mizuno et al., *Jpn, J. Appl. Phys.*, **39** 1849 (2000).
- [9] A. Dimoulas et al., *Appl. Phys. Lett.*, **89** (2006) 252110.
- [10] W. Mönch et al., *J. Vac. Sci. Technol. B*, **17** (1999) 1867.
- [11] P. Broqvist et al., *Phys. Rev. B*, **78** (2008) 075203.
- [12] Teledyne Judson, Technologies, J16 series Ge.
- [13] D. K. Schroder: *Semiconductor Material and Device Characterization*, 3rd ed. (Wiley-IEEE Press, 2006), p. 614.

Si 基板上 GeSn 細線のレーザー溶融結晶化における レーザー走査条件と下地 SiO₂ 膜厚の最適化

Optimization of Laser Scanning Conditions and Thickness of SiO₂ Underlayer in Laser-induced Liquid-phase Crystallization of GeSn Wires on Si substrates

早川 雄大¹ 近藤 優聖¹ 國吉 望月² 小林 拓真¹ 志村 考功¹ 渡部 平司¹

¹ 大阪大学大学院工学研究科 〒565-0871 大阪府吹田市山田丘 2-1

² アルバック未来技術協働研究所 〒565-0871 大阪府吹田市山田丘 2-1

Yuta Hayakawa¹, Yuki Kondo¹, Mizuki Kuniyoshi², Takuma Kobayashi¹,
Takayoshi Shimura¹, Heiji Watanabe¹

1 Osaka University, 2-1 Yamadaoka Suita, Osaka 565-0871, Japan

*2 ULVAC-Osaka Univ. Joint Research Laboratory for Future Technology,
2-1 Yamadaoka Suita, Osaka 565-0871, Japan*

Tel: + 81-6-6879-7282, Fax: + 81-6-6879-7282 (e-mail: hayakawa@ade.prec.eng.osaka-u.ac.jp)

Abstract

We investigated the laser-induced liquid-phase crystallization of GeSn wires on Si substrates through high-power density laser irradiation. In the case of Ge wires, peak shifts were observed in both photoluminescence (PL) and Raman measurements, indicating the existence of 0.3% tensile strain. This is consistent with the estimation from the difference in thermal expansion coefficients between Si and Ge. PL intensity was ten times higher than that of Ge substrates, confirming good crystallinity of Ge wires. For GeSn wires, although a redshift due to Sn addition was observed, PL intensity did not increase, so that we investigated a two-stage growth process. This approach enabled the uniform distribution of Sn concentration in the depth direction, and the PL intensity increased to 35 times that of Ge substrates. Additionally, it was found that increasing the thickness of the SiO₂ layer between Si substrates and GeSn wires enhances tensile strain in GeSn wires.

1. はじめに

現在、データセンターにおける消費電力は指数関数的に増加しており、低消費電力での大容量通信を可能にする光電子融合デバイスが注目されている。Si 基板上に光変調器や受発光素子を集積する Si フォトニクス技術は、現行の製造設備をそのまま利用可能であり、最先端の電子デバイスとの融合も可能であるため、精力的に開発が進められている[1]。しかし、Si は間接遷移型半導体であり、光源材料には適していない。現在、光源には InP などの III-V 族半導体を用いられているが[2]、接合プロセスが必要であり、製造コストの増大が課題である。そのため、代替材料として IV 族半導体である Ge が有望視

されている[3]。

Ge は間接遷移型のバンド構造を持つが、伝導帯下端の Γ 点と L 点のエネルギー差がわずか 137 meV であり、疑似直接遷移型半導体と呼ばれている。そのため、赤外域の受発光材料としての利用に向けた様々な研究が行われてきた。Ge 薄膜は面内に引張歪みを印加すると、 Γ 点のバンドギャップが L 点よりも顕著に低下し[4, 5]、一定以上の歪みを加えることで直接遷移型バンド構造に変調し、受発光効率が大幅に増大する[6]。さらに、同じ IV 族元素である Sn を添加することで同様の効果が得られることが報告されている[7, 8]。Ge や Sn は Si と同じ IV 族元素であり、Si 基板上へのモノリシック集積が可能で、Si-CMOS 技術との互換性を有する。こ

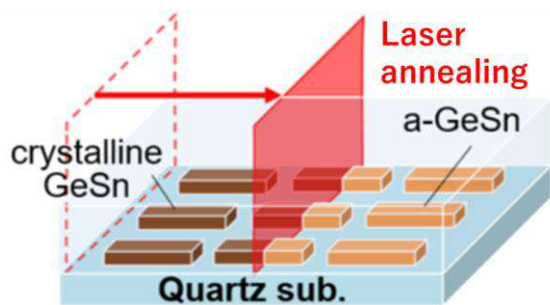


Fig. 1 Laser-induced crystallization of GeSn wires on quartz substrate.

のため、引張歪みを印加した GeSn は低コストの受発光素子材料として期待されている[9-13]。

しかしながら、単結晶 GeSn 薄膜の形成には多くの課題がある。第一に、格子不整の問題が挙げられる。Ge と Si には約 4.2%の格子不整があり、Sn 添加によりさらに増加する。格子不整は転位等の結晶欠陥や GeSn 層への圧縮歪みを誘起し[14]、圧縮歪みは Sn の添加によるバンド変調効果を相殺する[10]。GeSn 層と Si 基板間に Ge の低温成長層を挿入したり、Sn 組成を徐々に増加させる手法が用いられているが、その効果は限定的である [14-17]。さらに、Ge 中の Sn の低い固溶限(1%)が、Sn の析出や結晶欠陥の発生を引き起こす。300°C 程度の低温での CVD や MBE による非平衡成膜では、固溶限を超える Sn の添加が可能だが、点欠陥の発生は避けられない[18-20]。これらの理由より、Si 基板上への高品質な GeSn 層の作製は困難である。

一方、我々は石英基板上に単結晶 GeSn 細線を形成する手法として、レーザー溶融結晶化法を検討してきた(Fig. 1)。この手法では、アモルファス GeSn 細線にレーザー光を走査することで局所的に溶融し、結晶成長を促す。この手法は、Sn 濃度に関わらず、基板との熱膨張係数差に起因する引張歪みが印加される。我々はこの手法で形成した GeSn 細線のフォトルミネッセンス (PL)強度が、Ge 単結晶基板と比較して 100 倍に達することを示してきた[21]。

本発表では、この手法を Si 基板上の GeSn 細線に適用した結果を報告する。Si の熱伝導率は石英に比べ、100 倍以上高いため、GeSn を溶融するためには高いレーザーパワー密度が必要となる。そのため、キャップ層や GeSn 細線へのダメージが懸念される。また、Si の熱膨張係数は Ge の値と近いいため、引張歪みが低下し、発光効率が低下することが課題となる。

2. 実験方法

n 型 Si(001)基板を洗浄後、スパッタリング法により下地 SiO₂ 層を 50 nm 堆積し、その上に Ge 層または GeSn 層(Sn 組成 0-2%)をともに膜厚 200 nm 積層した。フォトリソグラフィ、ドライエッチングにより幅 1 μm の細線状に加工した後、キャップ層として SiO₂ を 1 μm 堆積した。比較のため、下地 SiO₂ 膜厚が 5 μm の試料も作製した。レーザー溶融結晶化には、波長 450 nm の可視光レーザー(4 W)を 20 倍の対物レンズで 5×60 μm 程度に集光して用いた、このとき、パワー密度は 10⁶ W/cm² 程度であった。

PL 測定は室温で波長 647 nm の励起光を用いて行った。ラマン分光測定では波長 532 nm と 785 nm の 2 つの励起光を用いて行った。532 nm では約 20 nm、785 nm では約 200 nm が測定深さとなる。

3. 実験結果と考察

3. 1 Ge 細線のレーザー溶融結晶化

歪み量を見積もるために Ge 細線でレーザー溶融結晶化を行った結果を Fig.2 に示す。走査速度は 0.1 mm/s とし、細線の端から 300 μm の位置をスタート点として細線端に向けてレーザー走査を実施した。光学顕微鏡像により細線パターンには目立った損傷がないことを確認している。走査速度が 0.1 mm/s、照射幅が 5 μm であるため、細線が溶融している時間はおおよそ 0.05 s である。この短い溶融時間により、レーザー照射による損傷が低減されたと考えられる。細線の中央付近の PL スペクトルでは、ピーク位置が無歪みの Ge 基板のピーク位置から 52 meV レッドシフトしていた (Fig. 2a)。このシフト量から見積もられた歪み量は 0.3%で、Si と Ge の熱膨張係数差から期待される値と一致する。このとき、発光強度は Ge 基板の 10 倍に増加し、発光強度が大幅に増加した。

この PL 測定と同じ位置で行ったラマンスペクトルの測定結果を Fig. 2b に示す。無歪みの Ge 基板と比較して低波数側にシフトしており、このシフト量から見積もられる歪み量は 0.3%の引張歪みで、PL 測定の結果と整合している。さらに、2 つの波長のラマンシフトが一致することから、歪みは細線の深さ方向に均一であると考えられる。

3. 2 GeSn 細線のレーザー溶融結晶化

Ge 細線と同様の条件で GeSn 細線の結晶化を行った結果を Fig. 3 に示す。光学顕微鏡像では細線の右端に Sn の析出が確認され、これは溶融成長を示唆している(Fig. 3a)。Fig. 3b にこの GeSn 細線の PL スペクトルを示す。レーザー走査開始地点から 100、150、200 μm の各点での PL ピークは Ge 細線のピーク位置よりさらにレッドシフトしており、Sn の添加によるバンドギャップの縮小を示している。引張歪みが Ge 細線と同じ 0.3% であると仮定した場合、シフト量から算出される Sn 組成は固溶度を超える 3.3% である。一方、発光強度は Ge 細線の場合と同程度であり、顕著な増加は見られない。

ラマンスペクトルはどちらの波長も低波数側にシフトしているが、そのピーク位置は一致していない (Fig. 3c)。波長 532 nm のスペクトルがより低波数側にシフトしていることから、Sn 濃度が細線の表面側で高いと考えられる。これには次の 2 つの要因が考えられる。1 つ目が、Si 基板の高い熱伝導率により細線下端から凝固が始まり、Sn 濃度が表面側で増加した可能性

である。2 つ目は溶融時間が短く、溶融はするものの Sn が拡散するのに十分な時間がなく、溶融前の初期 Sn 分布を反映している点である。アモルファス GeSn 層は室温で成膜しているが Sn の表面偏析が確認されており、この初期 Sn 濃度分布に起因すると推定される。

従って溶融時間依存性を検証するため、走査速度を 0.05 mm/s に低下させ、基板をレーザーの焦点位置から 10 μm 近づけることで照射幅を倍にした(defocus)。これにより溶融時間はおよそ 4 倍の 0.2 s となる。この条件で成長した GeSn 細線の PL スペクトルのピーク位置はほとんど変化なく、その強度も同程度であった(Fig. 4a)。その一方、ラマンシフトの差は 1.7 cm^{-1} から 0.9 cm^{-1} へと減少した(Fig. 4b)。これは Sn 濃度が均一化する傾向を示しており、細線表面側で Sn 濃度が高い要因が溶融前の Sn 濃度分布に起因することを示唆している。

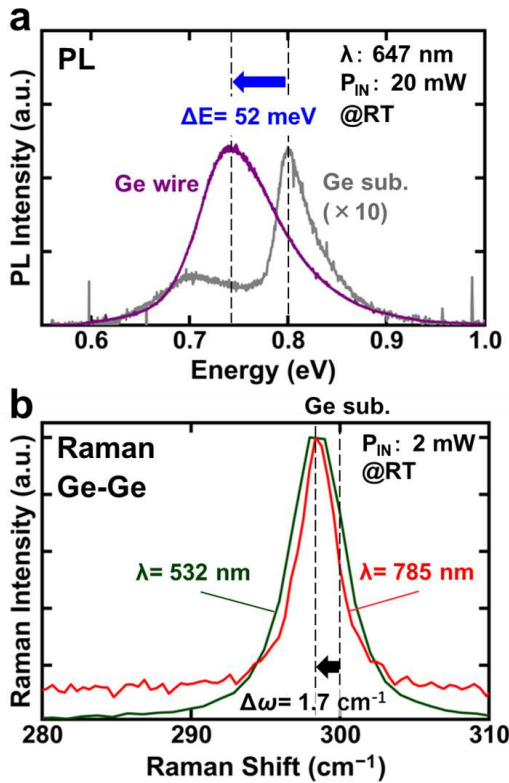


Fig. 2 Room temperature PL spectra (a) and Raman spectra (b) of Ge wires (scanning speed: 0.1 mm/s, in focus).

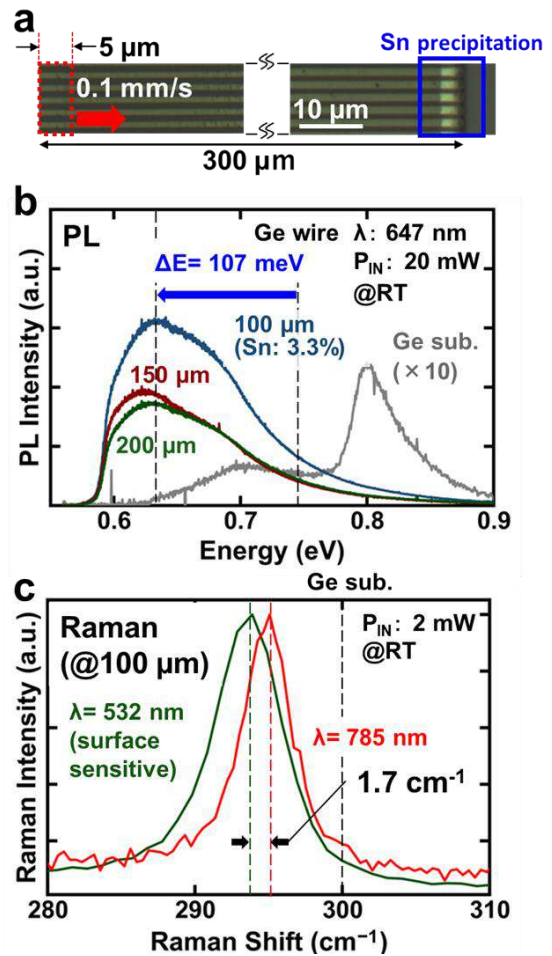


Fig. 3 Optical image (a), room temperature PL spectra (b), and Raman spectra (c) of the GeSn wires (scanning speed: 0.1 mm/s, in focus).

3. 3 2段階レーザー溶融結晶化の検証

初期 Sn 濃度依存性を検証するため、2段階成長を実施した。1段階目の成長では溶融時間を4倍にする条件(走査速度: 0.05 mm/s, defocus: 10 μm)で Sn 組成の均一化を図った。その後、2段階目の成長は Fig. 3 と同じ条件(走査速度: 0.1 mm/s, in focus)で行った。最終成長条件が同じ場合、1回目の成長の有無が細線の光学特性に差をもたらすとき、初期の Sn 濃度分布が光学特性に影響を与えると結論付けることができる。2段階成長後の PL スペクトルを Fig. 5a に示す。PL ピークは Ge 細線のピーク位置からレッドシフトし、発光強度は2段階成長を行わない場合の3.5倍に増加した。この強度は Ge 基板の35倍に相当する。同一地点でのラマンスペクトルを Fig. 5b に示す。2つの波長でラマンシフトが一致することから、深さ方向の Sn 組成の均一化が確認できる。これらの結果から、GeSn 表面側の高い Sn 濃度は初期 Sn 濃度分布に起因することがわかった。また、Sn 濃度の均一化により GeSn 細線の結晶性が向上し、PL 強度が大幅に増加したと考えられる。

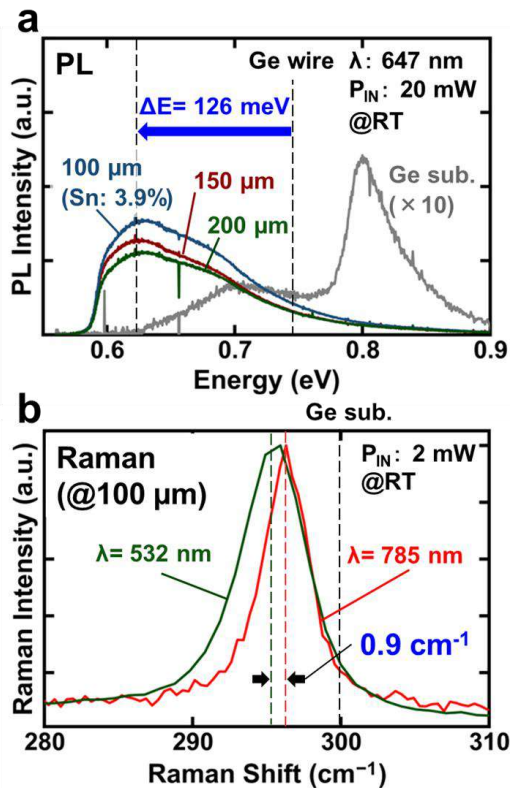


Fig. 4 Room temperature PL spectra (a) and Raman spectra (b) of GeSn wires (scanning speed: 0.05 mm/s, defocus: 10 μm).

3. 4 引張歪みの下地 SiO₂ 膜厚依存性

Si 基板と Ge 細線の間の下地 SiO₂ 膜厚が 50 nm の場合、Ge 細線には Si と Ge の熱膨張係数差から期待される 0.3% の引張歪みが印加されることを示した(Fig. 2)。下地 SiO₂ 膜を厚くすると、Si 基板への熱伝導が抑えられ、下地 SiO₂ 層の熱膨張率で歪み量が決まり、引張歪みが増加することが期待される。そこで、下地 SiO₂ 膜を 5 μm に厚くし、レーザー溶融結晶化を行った。Fig. 6a に Fig. 2 と同じ条件で結晶化を行った Ge 細線の評価の結果を示す。PL 発光強度が増加し、ピークがブロードになり、メインピーク(0.685 eV)に加え2つのサブピーク(0.78, 0.86 eV)が確認できる。ピークトップのエネルギー位置は Ge 基板の値から 115 meV 低エネルギー側にシフトしており、この値から見積もられる歪み量は 0.64% の引張歪みとなる。これは石英

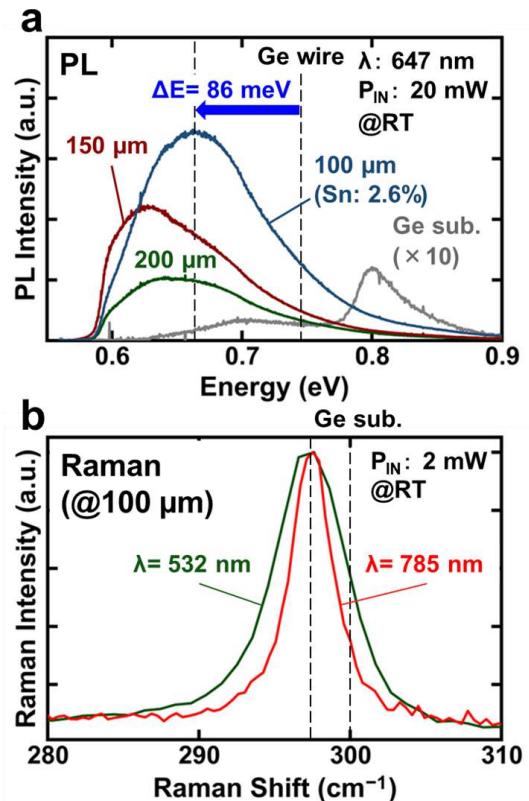


Fig. 5 Room temperature PL spectra (a) and Raman spectra (b) of GeSn wires fabricated by 2 step laser-induced crystallization. (scanning speed: 0.05 mm/s, defocus: 10 μm \Rightarrow 0.1 mm/s, in focus).

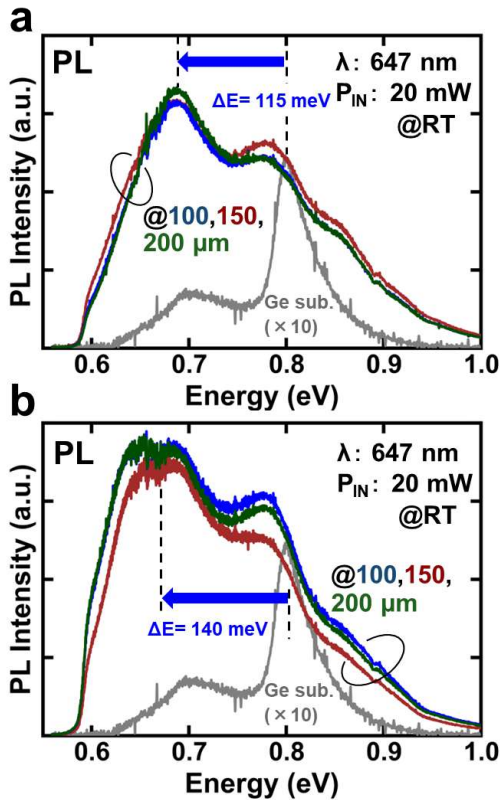


Fig. 6 Room temperature PL spectra of Ge (a) and GeSn (b) wires with 5 μm -thick SiO_2 underlayer (scanning speed: 0.1 mm/s, in focus).

基板上で期待される歪み量とほぼ同じである。一方、メインピークの高エネルギー側にあるサブピークは小さい歪み量の領域の存在を示唆している。PL測定の際の励起光の照射領域は $\sim 2 \mu\text{m}^2$ であるため、歪みは Ge 細線の深さ方向に分布していると考えられる。

同様の条件で結晶化を行った GeSn 細線の評価結果を Fig. 6b に示す。Fig. 6a と同様にスペクトルはブロードでサブピークが確認できるが、PL 強度はわずかに増加し、低エネルギー側にシフトしていることがわかる。ピークトップは水蒸気の吸収($\sim 0.66 \text{ eV}$)と重なっており、そのエネルギー位置の特定は難しいが、低エネルギー側にシフトしている。0.64%の引張歪みを仮定すると Sn 組成は 0.8%と見積もられる。これは下地 SiO_2 膜を厚くしたため、Si 基板側への熱伝導が抑制され、結晶化における降温速度が遅くなり、固溶限の 1%に近づいたと考えられる。

下地 SiO_2 膜を厚くすることにより引張歪みを増加することが可能であることを確認でき

た。今後は下地 SiO_2 層が厚いときの結晶化条件の最適化を行う。

4. まとめ

本研究では Si 基板上での GeSn 細線のレーザー溶解結晶化を検討し、高パワー密度のレーザー照射により結晶化が可能であることを示した。Ge 細線では PL およびラマン測定においてピークシフトが確認され、0.3%の引張歪みが印加されていることが明らかになった。これは Si と Ge の熱膨張係数差から見積もられる値と一致する。また、Ge 基板の 10 倍の発光強度を実現し、良好な結晶性を確認できた。GeSn 細線では Sn 添加によるレッドシフトは確認されたものの、さらなる PL 強度の増加は見られなかった。そのため、2 段階成長を検討し、これより Sn 濃度を深さ方向に均一化することが可能となり、PL 発光強度は Ge 基板の 35 倍に増加した。さらに、下地 SiO_2 膜を厚くすることにより引張歪みを増加できることが判明した。この成果は、Si 基板上における高品質な GeSn 細線の作製において、レーザー溶解再結晶化の有用性を示唆するものである。

本研究の一部は JSPS 科研費 (21K04880, 22H01528) の助成を受けて行われた。

References

- [1] S. Wirths *et al.*, Nat. Photonics **9**, 88 (2015).
- [2] S. L. McCall *et al.*, Appl. Phys. Lett. **60**, 289 (1992).
- [3] H. Yijie *et al.*, Appl. Phys. Lett. **98**, 011111 (2011).
- [4] J. Michel *et al.*, Nat. Photonics **4**, 527 (2010).
- [5] F. T. Armand Pilon *et al.*, Nat. Commun. **10**, 2724 (2019).
- [6] D. S. Sukhdeo *et al.*, Photon. Res. **2**, A8 (2014).
- [7] K. L. Low *et al.*, J. Appl. Phys. **112**, 103715 (2012).
- [8] Z. Song *et al.*, New J. Phys. **21**, 073037 (2019).
- [9] C. Schulte-Braucks *et al.*, Solid-State Electron. **128**, 54 (2017).
- [10] S. Gupta *et al.*, J. Appl. Phys. **113**, 073707 (2013).
- [11] T. Shimura *et al.*, Appl. Phys. Lett. **107**, 221109 (2015).

- [12] H. Oka *et al.*, Appl. Phys. Express **11**, 011304 (2017).
- [13] Y. Wada *et al.*, Jpn. J. Appl. Phys. **58**, SBBK01 (2019).
- [14] J. Aubin *et al.*, Semicond. Sci. Technol. **32**, 094006 (2017).
- [15] A. Mosleh *et al.*, J. Electron. Mater. **43**, 938 (2014).
- [16] S. Takeuchi *et al.*, Semicond. Sci. Technol. **22**, S231 (2007).
- [17] S. Su *et al.*, J. Cryst. Growth **317**, 43 (2011).
- [18] C. L. Senaratne *et al.*, Chem. Mater. **26**, 6033 (2014).
- [19] R. Roucka *et al.*, IEEE J. Quantum Electron. **47**, 213 (2011).
- [20] O. Nakatsuka *et al.*, Jpn. J. Appl. Phys. **49**, 04DA10 (2010).
- [21] H. Oka *et al.*, Tech. Digest of IEDM, 16.3 (2017).

GeSn/GeSiSn 二重障壁構造における負性微分抵抗の発現

Emergence of Negative Differential Resistance in GeSn/GeSiSn Double Barrier Structure

石本 修斗¹ 坂下 満男¹ 黒澤 昌志¹ 中塚 理^{1,2} 柴山 茂久¹

¹ 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

² 名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

Shuto Ishimoto¹, Mitsuo Sakashita¹, Masashi Kurosawa¹, Osamu Nakatsuka^{1,2}, Shigehisa Shibayama¹
1 Grad. Sch. of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8603, Japan

2. IMASS, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8601, Japan

Tel: + 81-52-789-3819, Fax: + 81-52-789-2760 (e-mail: s-shibayama@nagoya-u.jp)

Abstract

Next-generation ultrahigh-speed wireless communication systems of >100 Gbps using terahertz waves are highly attracted. We focused on the resonant tunneling diode (RTD), a device with the highest reported frequency (~2 THz) at room temperature. We examined the structural optimization of GeSn/GeSiSn double barrier structure (DBS) based on the simulation using transfer matrix method. Then, we formed a GeSn/GeSiSn DBS by molecular beam epitaxy method and fabricated a RTD device. From current-density-voltage characteristics measured at 10 K, we successfully observed clear negative differential resistances (NDR). We analyzed the electrical properties of the measured samples by simulation and discussed the origin of the observed NDRs and the perspectives for further improving the device properties.

1. はじめに

近年の無線データ通信速度とトラフィックの爆発的増加トレンドに対応するため、Beyond 5G を見据えたテラヘルツ帯通信に注目が集まっている[1]。光源となるテラヘルツ波発振器として、様々なデバイスが候補に挙がるが、その中でも、共鳴トンネルダイオード (RTD) が有望視されている。

III-V 族半導体混晶 AlGaAs/AlAs 二重障壁構造を有する、障壁、井戸層厚みをそれぞれ 1、2.5 nm に設計したデバイス試料を用いて、実際に約 2 THz での発振報告[2]があるが、Si 集積回路プラットフォームへの集積の困難さが課題の一つである。

我々はオール IV 族半導体からなる RTD を目指し、GeSn/GeSiSn ヘテロ接合に着目している。我々は過去に、障壁、井戸層厚さを各 2 nm とした GeSn/GeSiSn 二重障壁構造を試作し、電氣的

特性を調査し、素子分離することなく電流密度-電圧 (J - V) 曲線に hump 特性が発現することを報告してきた[3,4]。この hump 特性は、RTD の特徴である負性微分抵抗 (NDR) に由来すると期待される。

従って、GeSn/GeSiSn 二重障壁構造を有する RTD の構造最適化を行い、さらに素子分離・デバイス化を行うことで、明瞭な NDR を観測できると期待できる。本講演では、理論的観点からの極薄 GeSn/GeSiSn 二重障壁構造を有する RTD の構造最適化を行い、実際のデバイス特性を評価した結果について議論する。

2. 実験条件

p -Ge(001)基板 (不純物濃度 $\sim 10^{17} \text{ cm}^{-3}$) に、アンモニア溶液 ($\text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 4$) による 5 分間の化学洗浄および真空加熱による 430°C 、30 分間の表面清浄化を行った。その後、固体分子

線エピタキシー (MBE) 法によって二重障壁構造を作製した。成長室の基底真空度は約 10^{-7} Pa であった。Ge、Sn、Ga (*p* 型ドーパント) の蒸着には K-cell を、Si の蒸着には E-gun を使用した。以下にその詳細を説明する。

まず、collector 層として、 $\sim 10^{19}$ cm $^{-3}$ の Ga ドープ Ge 層 (膜厚 25 nm)、アンドープ Ge 層 (膜厚 10 nm)、Ge $_{0.89}$ Sn $_{0.11}$ 層 (膜厚 20 nm) を順次堆積した。次に、我々の先行研究で、水素雰囲気 ($\sim 10^{-2}$ Pa) でのエピタキシャル成長で、GeSn に対しては結晶品質が改善することが分かっている [5] ため、水素雰囲気 ($\sim 10^{-2}$ Pa) 下で Ge $_{0.40}$ Si $_{0.48}$ Sn $_{0.12}$ (barrier、膜厚 1.5 nm) / Ge $_{0.89}$ Sn $_{0.11}$ (well、膜厚 1.5 nm) / Ge $_{0.40}$ Si $_{0.48}$ Sn $_{0.12}$ (barrier、膜厚 1.5 nm) を堆積した。

続けて、対称構造になるよう Ge $_{0.89}$ Sn $_{0.11}$ 層、アンドープ Ge 層、Ga ドープ Ge 層を堆積し、emitter 層を形成した。作製した試料の結晶構造を X 線回折二次元逆格子空間マッピング (XRD-2DRSM) により評価し、走査型電子顕微鏡 (STEM) を用いて断面構造の分析を行った。

電気的特性評価のため、以下の手順で試料のデバイス化を行った。反応性イオンエッチング (RIE) 法により、メサ型構造 (直径 40–80 μ m) に加工し、原子層堆積 (ALD) 法により 50 nm の Al $_2$ O $_3$ パッシベーション膜を 200 °C で堆積させた。Al 電極を真空蒸着法により試料表面に蒸着し、リフトオフによってデバイス化した。

電気的特性評価には極低温プローブを使用し、10 K において *J-V* 測定を行った。

3. 結果

3.1 二重障壁構造の設計

はじめに、GeSn/GeSiSn RTD の構造と電気的特性の関係を理解するため、転送行列法と Tsu-Esaki の関係式 [6] を用いた簡単な *J-V* 特性シミュレーションを行った。図 1(a) のような Ge $_{0.9}$ Sn $_{0.1}$ (emitter) / Ge $_{0.3}$ Si $_{0.6}$ Sn $_{0.1}$ (barrier) / Ge $_{0.9}$ Sn $_{0.1}$ (well) / Ge $_{0.3}$ Si $_{0.6}$ Sn $_{0.1}$ (barrier) / Ge $_{0.9}$ Sn $_{0.1}$ (collector) へ

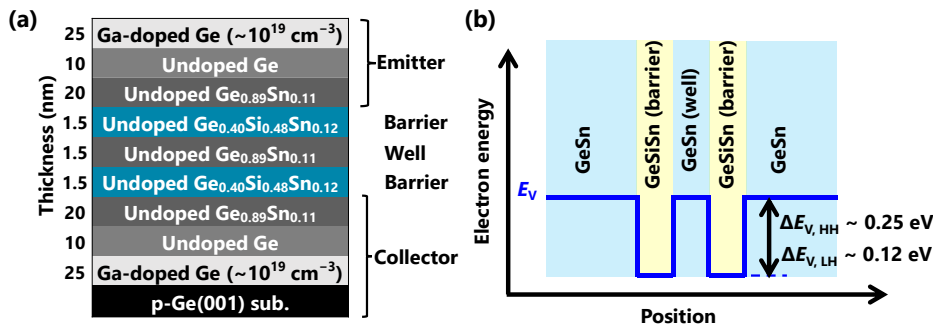


Fig.2 (a) Cross-sectional image of the prepared DBS. (b) Designed energy band diagram of the prepared DBS.

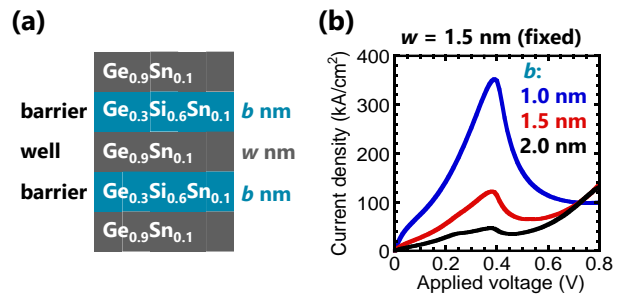


Fig.1 (a) Schematic of GeSn/GeSiSn heterostructure used for simulation based on Tsu-Esaki model. (b) *J-V* characteristics calculated under fixed well layer thickness and varying barrier layer thickness.

テロ構造を仮定した。nextnano を用いたバンド構造シミュレーションにより、価電子帯バンドオフセットが約 0.3 eV となることが分かっている。本計算では、系を簡単にするため、

- (1) emitter や collector 領域のフェルミレベルが Ge $_{0.9}$ Sn $_{0.1}$ 層の価電子帯端にある、
- (2) 有効質量は、全ての層において Ge の heavy hole の値を用いる、

という仮定を入れた。井戸層厚さ *w* を 1.5 nm に固定し、障壁層厚さ *b* を 1.0、1.5、2.0 nm に変化させて計算した。計算結果を図 1(b) に示す。

電流密度は障壁層厚さに非常に敏感であり、障壁層の薄膜化によって電流密度増大と Peak to valley ratio (PVR) の増大が共に達成できることが分かった。NDR の観察には、高 PVR が望ましいと考え、今回、先行研究よりも薄膜化した、1.5 nm の二重障壁構造の作製を試みた。

3.2 GeSiSn/GeSn RTD の作製と電気的特性

図 2(a) および 2(b) はそれぞれ、作製した試料の断面模式図および二重障壁のバンドアライメントである。また図 3 に、Ge $\bar{2}24$ 逆格子回折点周辺の XRD-2DRSM の測定結果を示す。障壁および井戸の GeSn、GeSiSn 層は極薄膜のため回折ピークの観測は困難であるが、collector や

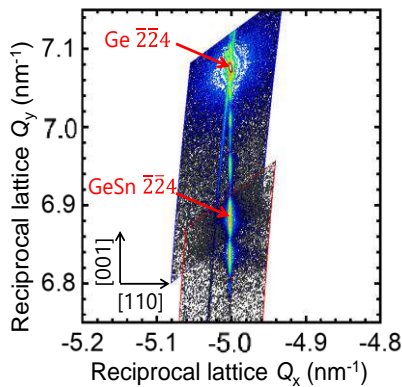


Fig.3 XRD-2DRSM around the reciprocal lattice of Ge $\bar{2}\bar{2}\bar{4}$. Pseudomorphic growth of GeSn collector and emitter was observed.

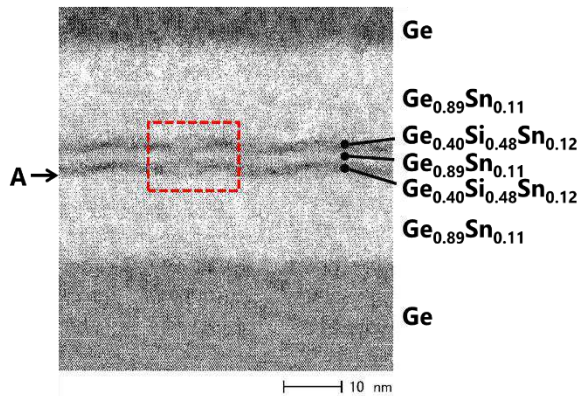


Fig.4 Cross-sectional STEM image. The GeSiSn/GeSn RTD structure including the ultra-thin GeSiSn and GeSn DBS structure was successfully grown.

emitter 部の GeSn 層由来の回折が、Ge 基板と同じ Q_x に現れていることから、collector から emitter まで、pseudomorphic に成長していると考えられる。さらに、膜厚フリンジも観察できることから、急峻なヘテロ界面の形成も示唆される。

図 4 の断面 STEM 像から、極薄 GeSiSn barrier および極薄 GeSn well の形成も確認できた。しかし一方で、Ge 基板に近い側の GeSn/GeSiSn 界面 (図中 A) には数 nm 幅の揺らぎがあり、上層の GeSn/GeSiSn 界面にも揺らぎの構造が受け継がれているように見える。さらに、一部では GeSn および GeSiSn 層が混ざりあっている (図 4、赤色点線部) 箇所が存在することも分かった。GeSn および GeSiSn 層のミキシングは、先行研究[3]では見られていない。今回、GeSn well 層 および GeSiSn barrier 層厚みを 1.5 nm と極薄化したこと・成長時に水素を導入したことの 2 点

が先行研究と異なる。今後、より急峻な界面の形成に向けて、GeSn および GeSiSn 層のミキシングが起こる要因解明が必要と考えられる。

最後に、作製したデバイスの電気的特性について議論する。熱的に励起された正孔による電流成分を除くため 10 K の低温環境下で、直径 50 μm の電極において測定された J - V 曲線を図 5 に示す。図 1 に示した簡単な J - V シミュレーションでは NDR が一つであったのに対し、実際に試作したデバイスでは、印加電圧 1.4 V および 2.0 V 付近において、明瞭な NDR の発現が観測できた。emitter および collector 部の不純物濃度、 N_A の影響を調べるため、図 6(a) のような構造を仮定し、TCAD シミュレーションより、電流-電圧 (I - V) 特性の N_A 依存性を計算した。

図 6(b) に $N_A=10^{16} \text{ cm}^{-3}$ および 10^{20} cm^{-3} における I - V 特性を示す。 $N_A=10^{20} \text{ cm}^{-3}$ では、一つの NDR が約 0.4 V の位置に発現し、図 1 の結果と一致していると言える。nextnano による正孔存在確率計算から、第一および第二量子準位はそれぞれ、GeSn well の価電子帯端から $\sim 0.1 \text{ eV}$ および $\sim 0.2 \text{ eV}$ 離れた位置 (E_r) に現れる可能性があることが分かっている。一般的に、NDR が現れる印加電圧は、 $2E_r/q$ となることから、約 0.4 V の位置に現れる NDR は、第二量子準位に由来すると考えられる。一方、 $N_A=10^{16} \text{ cm}^{-3}$ では、NDR が 2 つ現れていることが分かる。NDR 発現電圧の N_A 依存性 (図 6(c)) から、第二量子準位に由来する NDR 発現電圧値は、 N_A の低減にともなって高電圧側にシフトし、もう一つの、第一量子準位に由来する NDR が現れる様子が

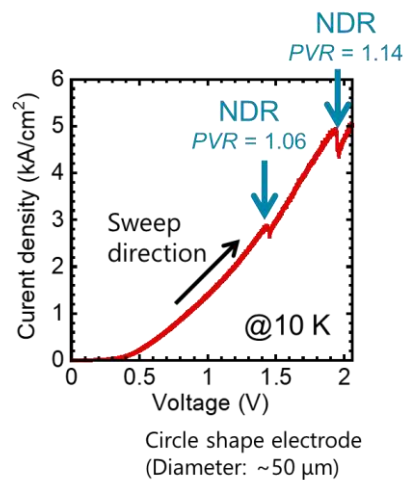


Fig.5 J - V characteristics measured at 10 K with the circle shape electrode (diameter of $\sim 50 \mu\text{m}$).

分かる。この結果から、今回試作したデバイスでは、第一量子準位と第二量子準位の双方に由来する NDR が観測できたと考えられる。

ただし、RTD の性能評価には、一般に PVR が用いられ、この値が大きいほうが高性能とされる。PVR は、1st-NDR および 2nd-NDR のそれぞれで、1.06 および 1.14 であった。先述の 2THz での発振報告[2]における PVR は 2.1 であり、我々の約 2 倍であるため、更なる特性改善が望まれる。また、同一電極で繰り返し測定した時に、NDR は繰り返し再現されたが、その発現電圧は測定ごとに変化した (掲載省略)。原因は明らかでないが、III-V 族の RTD でも同様の現象は報告されており、その報告[7]に基づく、本要因は、GeSn 層と GeSiSn 層、および GeSn/GeSiSn 界面におけるキャリアのトラップ・デトラップである可能性が高い。図 3 で議論したように、今回の試作した構造では、GeSiSn/GeSn 界面には揺らぎやミキシングが多く見られている。これらが不安定動作の要因の一つである可能性が大いに考えられ、今後はまず、高結晶品質を維持しつつ、界面を急峻化する技術開発が必要と考えられる。

4. まとめ

IV 族半導体のみからなる RTD を実現するため、転送行列法を用いた J - V 特性シミュレーションから、NDR のピーク電流が障壁層の膜厚に大きく依存していることを明らかにした。これに基づき、MBE 法を用いて、Ge 上に barrier お

よび well 厚さが各 1.5 nm の GeSn/GeSiSn 二重障壁構造を形成した。collector 層から emitter 層まで、GeSn や GeSiSn 層の Ge 基板上への pseudomorphic エピタキシャル成長に成功したが、断面 STEM 像では GeSn/GeSiSn 界面の揺らぎやミキシングが生じていることが分かった。

本構造をメサ型に加工した RTD デバイスの J - V 特性において、RTD 動作を示唆する NDR の観測に成功した。TCAD および nextnano シミュレーションから、観測した NDR が GeSn well 層の量子準位に由来した共鳴トンネル電流の可能性が高いことが分かった。

今後、NDR の安定的発現や高 PVR 化などのデバイス特性改善に向けて、水素導入が極薄膜 GeSn/GeSiSn エピタキシャル成長に与える影響の更なる解明や、シミュレーションによる構造再設計が必要である。

本研究の一部は、JST さきがけ (JPMJPR21B6) および JST CREST (JPMJCR21C2) の支援を受けて実施された。

References

- [1] I. F. Akyildiz *et al.*, *Physical Communication* **12**, 16–32 (2014).
- [2] T. Maekawa *et al.*, *APEX* **9**, 024101 (2016).
- [3] G. R. Suwito *et al.*, *APL* **117**, 232104 (2020).
- [4] 柴山茂久 他, 第 27 回電子デバイス界面テクノロジー研究会 (EDIT27), P-16 (2022).
- [5] T. Asano *et al.*, *JJAP* **54**, 04DH15 (2015).
- [6] R. Tsu *et al.*, *APL* **22**, 562 (1973).
- [7] C. Bayram *et al.*, *APL* **97**, 181109 (2010).

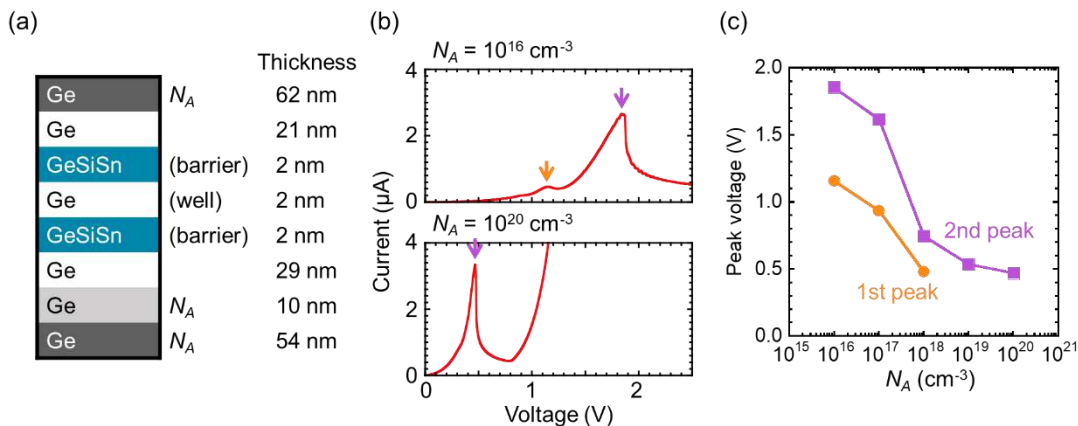


Fig.6 (a) Ge/GeSiSn DBS design used for TCAD simulation. (b) J - V characteristics calculated. (b) J - V characteristics calculated using TCAD under $N_A = 10^{16} \text{ cm}^{-3}$ (top) and $N_A = 10^{20} \text{ cm}^{-3}$ (bottom). (c) Dependence of NDR onset voltage on impurity concentration. In the low impurity concentration region, NDRs due to the first quantum level also appeared.

InN MOVPE 成長過程における TMIIn 分解・反応経路に関する理論研究

Theoretical study of TMIIn decomposition and reaction pathways in InN MOVPE growth.

長嶋 佑哉¹ 渡邊 浩崇² 新田 州吾² 草場 彰³ 寒川 義裕³ 白石 賢二^{1,2}

1 名古屋大学 大学院工学研究科 〒464-8601 愛知県名古屋市千種区不老町

2 名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

3 九州大学 応用力学研究所 〒816-8580 福岡県春日市

Yuya Nagashima¹, Hirotaka Watanabe², Syugo Nitta², Akira Kusaba³, Yoshihiro Kangawa³ and Kenji Shiraishi^{1,2}

¹Grad. School of Eng., Nagoya University, Nagoya 464-8601, Japan

²IMass, Nagoya University, Nagoya 464-8601, Japan

³RIAM, Kyusyu University, Fukuoka 816-8580, Japan

Tel:+ 81-080-6951-5928 (e-mail:Nagashima.yuya.e0@s.mail.nagoya-u.ac.jp)

Abstract

This study investigates the trimethylindium (TMIIn), the raw material gas for indium nitride (InN), decomposition pathway by the first principles calculations. As a result, we revealed that internal molecular reaction ($\text{InCH}_3\text{H}_2 \rightarrow \text{InH} + \text{CH}_4$) is important in TMIIn decomposition. Furthermore, based on a study of data assimilation in GaN MOVPE, we tuned the overestimated activation energy value obtained by the calculation and succeeded in achieving a decomposition time that corresponds to that of the experiments.

1. はじめに

InN はⅢ族窒化物半導体の中で最大の電子移動度を有しており、ポスト 5G を担う次世代高周波デバイスの基盤材料として期待されている。高 In 組成の混晶を用いた新たなアプリケーションの実用化のためにはさらなる結晶品質の向上が必要不可欠であり、そのために結晶成長プロセスの解明が求められている。有機金属気相成長(MOVPE)法を用いたⅢ族窒化物半導体の作製において GaN と AlN の原料ガスである TMGa と TMAI の分解・反応経路はすでに明らかになっているが、InN の原料ガスである TMIIn の分解・反応経路は明らかになっていない。そこで本研究は、第一原理計算を用いた理論的解析により TMIIn の分解・反応経路を明らかにする。さらに本研究は、シミュレーションに実験データを取り入れデータ同化を行うことで、実験結果をうまく説明するより尤もらしい推定を導き出すことを目指す。

2. 計算手法

まず、TMIIn の分解・反応経路探索の手法について述べる。TMIIn の分解過程は量子化学的アプローチに基づいて計算した。各状態の構造最適化、基底状態の電子エネルギー、振動数計算、ギブス自由エネルギー計算は、Gaussian16 を用いて行った。本研究では、先行研究で使用された B3LYP 交換相関関数を使用した。活性化ギブスエネルギーは、初期状態と遷移状態のギブス自由エネルギーの差を計算することで得られ、反応過程を考える上で重要なパラメータである。NEB(nudged elastic band)法が利用できるソフトウェア、Reaction plus を用いて遷移状態に近い構造を探索した。これは 2 つの異なるエネルギー最小状態である初期状態と最終状態の間の最小エネルギー経路 (MEP) を探索する方法である。次に、Gaussian を用いて遷移状態を求めた後、

各構造について振動解析を行い、遷移状態において安定な点では虚数振動数を持たず、反応方向には 1 つの虚数振動数しか持たないことを確認した。そして、得られた遷移状態が反応物・生成物間の遷移状態であることを確認するため、IRC（固有反応座標）計算を行った。最後に、計算により求めた活性化ギブスエネルギーの値を用いて、遷移状態理論に基づき各反応の速度定数を決定し、レート方程式を解くことで TMIn 分解開始後の各化学種の存在割合の時間発展を調査した。

本研究では、実験データを数値シミュレーションに取り入れることで実験結果をうまく説明できるより尤もらしい推定を導き出すことを目的としてデータ同化を行った。次はその手法について述べる。本研究では、InN MOVPE 装置内の特定分子の強度を検出する高分解能飛行時間型質量分析法 (high-resolution time-of-flight mass spectrometry: TOF-MS) を用いた観測データを実験データとして用いた。実験より得られた CH_4 の強度データを濃度データに変換し、得られた CH_4 の濃度データとシミュレーションにより得られた CH_4 の濃度データの双方を活用することでデータ同化を行った。そして、量子化学計算による理論を保存し、なおかつ実験結果を再現する反応速度定数を推定するために、二つの目的関数を持つ多目的最適化を行った(式(1))。一つ目の目的関数は、検出位置における CH_4 濃度の実験値とシミュレーション値の相対誤差に基づいて設定される。相対誤差が小さければ小さいほど、シミュレーションが実験結果をよく再現していることを意味する。二つ目の目的関数は活性化エネルギーの修正係数の分散に基づいている。分散が小さければ小さいほど、量子化学計算により求められた理論的な側面を保存することを意味する。そしてこの二つの目的関数を最小化する最良解を求めるべく、本研究では多目的遺伝的アルゴリズム (NSGA-II) というアルゴリズムを使用した。本研究で考慮している 32 個の素反応に関してそれぞれ独立なパラメータを設定した場合、パラメータの数は 64 と膨大であり、多目的最適化により定義された解の中から最適解を判断することは極めて困難である。そこで本研究では、反応物と副生成物の化学種ごとにグループ分けを行い、同グループの素反応は同様の修正係数を持つとしてパラメータを設定し、データ同化を行った。

$$\text{minimize} = \begin{cases} \sum_i \left(\frac{c_{\text{CH}_4}(x_d; T_{\text{set}}, k) - c_{\text{CH}_4}(T_{\text{set}})}{c_{\text{CH}_4}(T_{\text{set}})} \right)^2 \\ \frac{1}{N} \sum_j (q_{E_j} - \bar{q}_{E_j})^2 \end{cases} \quad (1)$$

3. 結果

TMIn は H_2 や NH_3 との分解反応に加えて、TMGa 分解や TMAI 分解では見られなかった分子内分解反応により InH まで分解することが分かった (Fig. 1)。この結果は、InN 結晶成長表面における In 原子の水素エッチングを防ぐために H の流量を極めて少なくしていることに起因すると考えられる。

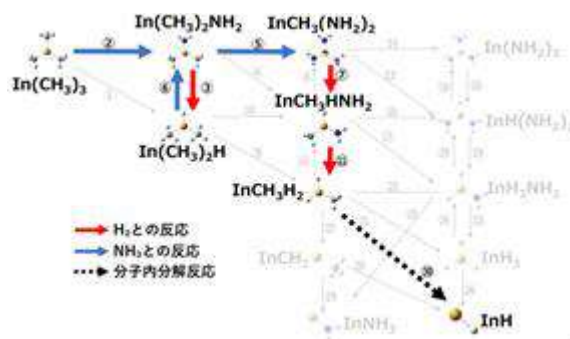


Fig.1 The decomposition reaction pathway of TMIn in InN MOVPE.

多目的最適化により得られたパレート解を Fig. 2 に示している。この図に記されたプロットは、ある一つのパラメータセット (各反応グループの q_E と q_A の組)、すなわち得られた一つのパレート解に対応している。そしてそれらの解は、同じ相対誤差 (RMSPE: Root Mean Squared Percentage Error、平均二乗パーセント誤差の平方根) を持ちうるパラメータセットの中で最も q_E の分散が小さいものが定義されている。Fig. 2 より、修正係数 q_E の分散が大きいほど CH_4 濃度の RMSPE は小さくなり、逆に修正係数 q_E の分散が小さいほど CH_4 濃度の RMSPE は大きくなる傾向が確認できる。すなわち二つの目的関数がトレードオフな関係にあることが読み取れる。また、得られた解の中で修正係数 q_E の分散が最小の解に注目すると、その解の RMSPE は 0.85% 以下であることが分かる。

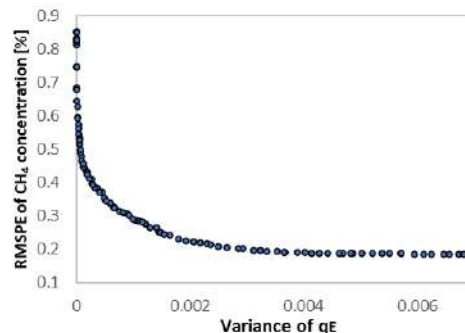


Fig.2 Pareto solutions for two objective functions obtained by NSGA-II. The first objective function is expressed in terms of the RMSPE.

Fig. 3 には、CH₄濃度の RMSPE と修正係数 q_E の対応関係を反応グループごとに色分けして示している。Fig. 2 の結果から明らかになった、修正係数 q_E の分散が最小となる RMSPE 0.85%の解に注目してみると、すべての反応グループの修正係数が 0.95 程度で一致しており、量子化学計算により求められた活性化エネルギーの比率を保存する解となっている。

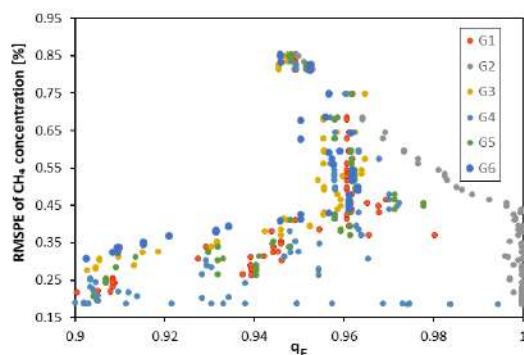


Fig.3 The RMSPE dependence of the q_E component for the different reaction groups of the solutions in Fig.2.

まとめ

遷移状態理論に基づく第一原理計算により、InN MOVPE 成長において、TMIn は NH₃ や H₂ との分解反応に加え、分子内分解反応により InH まで分解することが明らかになった。この事実は、同じ III 族原料ガスである TMGa や TMAI の分解では見られなかった TMIn 特有の分解経路であり大変重要な結果である。さらに、データ同化により量子化学計算で求めた活性化エネルギーに修正係数として 0.95 を掛けることで、実験結果をよりうまく説明できる推定が行えることが明らかになった。

文部科学省「富岳」成果創出加速プログラム
「省エネルギー次世代半導体デバイス開発のための量子論マルチシミュレーション (JPMXP1020200205)」の一環として実施された。

References

- [1] S. Sakakibara *et al*, *Jpn. J. Appl. Phys.* **60** 045507(2021),
- [2] A. Kusaba *et al*, *Jpn. J. Appl. Phys.* **121** 162101 (2022).

パワー半導体に向けたダイヤモンド MOSFET の最近の進展

Recent Progress of Diamond FETs toward Power Semiconductors

嘉数 誠¹、サハ ニロイ チャンドラ¹

1 佐賀大学大学院理工学研究科 〒840-8502 佐賀県佐賀市本庄町 1
Makoto Kasu¹, Saha Niloy Chandra¹

1 Saga University, 1 Honjo-machi, Saga 840-8502, Japan

Tel: + 81-952-28-8648, Fax: + 81-952-28-8648 (e-mail: kasu@cc.saga-u.ac.jp)

Abstract

Diamond is the next-generation semiconductor material for prospective high-power and high-frequency transistors because it possesses high bandgap energy of 5.47 eV and a breakdown field of >10 MV/cm. A 1-inch-diameter diamond wafers were grown on (112 $\bar{0}$) sapphire just substrate. Very recently, we have demonstrated a 2-inch-diameter (001) diamond wafer without cracking by using a (112 $\bar{0}$) sapphire substrate. The diamond wafer showed the highest crystal quality; the lowest XRC FWHM of 98 arcsec and low dislocation density of 1~2 $\times 10^7$ cm⁻². In this study, we fabricated a NO₂-doped p-channel diamond MOSFETs on a high-quality misoriented diamond substrate, which showed the highest breakdown voltages of 3659 V among diamond FETs.

1. はじめに

ダイヤモンドは 5.47 eV の広いバンドギャップをもつ半導体であり、非常に高い絶縁破壊電界強度 (>10 MV/cm)、最高の熱伝導率 (22 W/cmK)、高いキャリア移動度(電子 4500, ホール 3800 cm²/Vs)をもつ (Table 1)。ダイヤモンドは Baliga 性能指数から高効率・大電力デバイス性能を、Johnson 性能指数から最高の高周波電力デバイス性能を示す次世代パワー半導体として期待されている [1]。

これまで入手できるダイヤモンド単結晶基板は高温高压合成によるもので、その寸法は 4 mm 角程度にすぎなかったが、最近、ダイヤモンドがサファイア(α -Al₂O₃)の(11-20)面方位の基板上に成長できるようになり、最大 2 インチ径のダイヤモンドウェハが、成長できるようになった。成長したダイヤモンドの X 線回折 (004 反射) ロッキングカーブ半値幅は 98 arcsec、貫通転位密度は 1.4 $\times 10^7$ cm⁻²を示しヘテロエピタキシャルダイヤモンドとして世界最高品質であることが示された[2]。

Table1 Properties of diamond and other semiconductors.

Material	E _G (eV)	E _{BR} (MV/cm)	v _{sat} ($\times 10^7$ cm/s)	μ (cm ² /Vs)	ϵ_r	λ (W/cmK)
Diamond	5.47	>10	1.5 (e) 1.05 (h)	~ 4500 (e) ~ 3800 (h)	5.7	22
Ga ₂ O ₃	4.8	8	—	~ 300 (e)	10	0.23
SiC	3.26	2.8	2.2 (e) 1.3 (h)	~ 1200 (e) ~ 120 (h)	9.8	4.9
GaN	3.4	5	2 (e)	~ 2000 (e)	8.9	1.5
GaAs	1.4	0.4	1-2 (e)	~ 8500 (e) ~ 400 (h)	12.9	0.55
Si	1.1	0.3	1 (e)	~ 1400 (e) ~ 450 (h)	11.7	1.3

2. ダイヤモンド MOSFET 作製方法

Fig.1 に本研究のダイヤモンド MOSFET の作製プロセスを示す。ダイヤモンドでは B がアクセプタ(活性エネルギー0.37eV)、N がドナー不純物(0.6eV)になることがわかっているが、活性化エネルギーが高すぎて実用には使えない。しかし我々は NO₂ を水素終端ダイヤモンド表面に吸着させると p 型ドーピングできることを見出して、本作製法では、その技術を採用した。つぎにソース、ドレイン電極となる Au を蒸着

し、ゲート部をエッチングし、再びNO₂ドーピングを行った。つぎに、表面上にAl₂O₃二重層をALDにより堆積した。Al₂O₃層は、ゲート金属下ではゲート絶縁膜、ソース・ゲート間、ゲート・ドレイン間では、パッシベーション膜としてホールチャンネルの熱的に安定化する役割を果たしている。最後に、ALDでAl₂O₃over layer層を堆積した。これにより動作時のゲート・ドレイン間の耐圧を上げている。Fig.2に完成したダイヤモンドMOSFETの断面構造図と写真を示す。

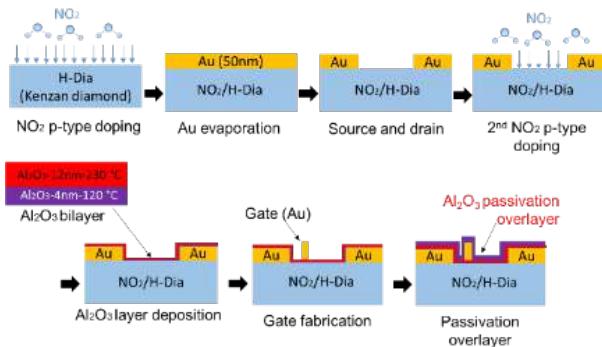


Fig.1 Fabrication procedures of diamond MOSFET on diamond.

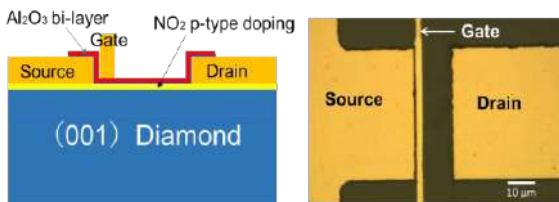


Fig.2 Diamond NO₂-doped p-channel MOSFET structure.

3. ダイヤモンドMOSFET特性[3]

Fig.3に作製したダイヤモンドMOSFETのドレイン電流-電圧(I_D - V_{DS})特性を示す。最大ドレイン電流 I_D は0.68 A/mmとなり、オン抵抗50 Ω ·mmが得られた。ゲートリーク電流は<1 μ A/mmであり、最大相互コンダクタンス($g_{m,max} = dI_D/dV_{GS}$)は101 mS/mmであった。伝達(I_D - V_{GS})特性からゲート閾値電圧(V_{th})は 4.1 ± 0.1 Vとなった。これはMOSFETがノーマリーオンであることを示している。

Fig.4に $V_{GS} = 7$ Vでのオフ状態でのドレイン電流電圧特性を示す。オフ耐圧 V_{BR} は-2568 Vとなった。このEBR値はGaNやSiCの E_{BR} と同等で、ダイヤモンド本来の絶縁破壊強度(>10MV/cm)より低い。高ドレイン電圧を印加すると絶縁破壊が、ゲート電極のドレイン側で起こることが確かめられており、オフ状態での

ドレイン電流により絶縁破壊が起こることが示唆される。横方向の絶縁破壊電界強度 $E_{BR} (= V_{BR}/L_{GD})$ は2.3 MV/cmと求められた。MOSFETの有効領域($L_{SD} + 2L_T$)から特性オン抵抗 $R_{ON,spec}$ は7.54 m Ω ·cm²と求められ、有能出力電力値BFOM ($= V_{BR}^2/R_{ON,spec}$)は874.6 MW/cm²と求められた。このBFOM値はダイヤモンドで最高値であるばかりでなく、GaNの報告値の2093MW/cm²に匹敵する値であった。

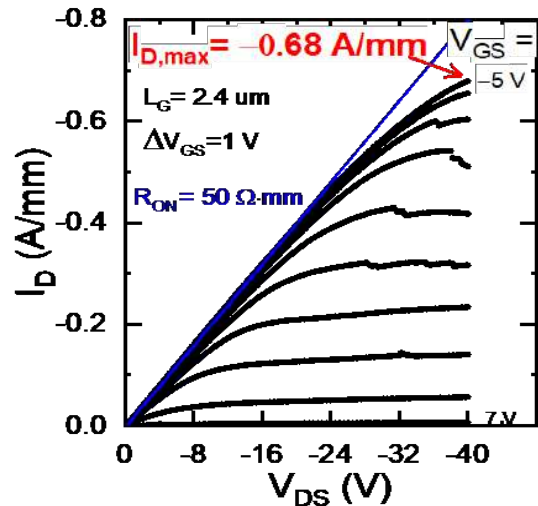


Fig.3 DC drain current-voltage characteristics of diamond p-channel MOSFET.

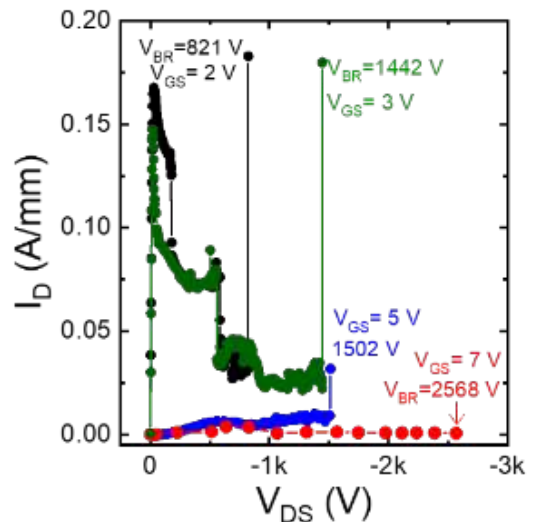


Fig.4 DC drain current-voltage characteristics of diamond p-channel MOSFET

4. 選択ドーピングダイヤモンドMOSFET[4]

上記で述べた従来型のダイヤモンドMOSFETは水素終端したダイヤモンド表面上にNO₂のp型ドーピング層を吸着させた構造である。その構造では、p型ドーピング層から

生成されたホールキャリアがダイヤモンド表面を走行する際に、p型ドーピング層のイオン化アクセプタからイオン化不純物散乱を受けて、移動度が下がることが問題となる可能性がある。またドーピング層のNO₂の酸素とダイヤモンド表面に終端している水素が化学反応し、デバイス特性の劣化が起こる可能性もある。そのため、p型ドーピング層をゲート絶縁膜内に移動し、p型ドーピング層とホールチャンネルを空間的に分離した選択ドーブを考案した。選択ドーブ構造を作製したところ移動度が496cm²/(V·s)と向上した。

つぎにこの選択ドーブ構造を採用したダイヤモンドMOSFETを作製した(Fig.5)。出力特性(Fig.6)からドレイン電流は0.42A/mm、特性オン抵抗は82.2Ω·mm、オフ状態のドレイン電圧電流特性(Fig.7)からオフ耐圧は3326Vとなり、BFOMは820MW/cm²となった。

以上の我々のダイヤモンドMOSFETのベンチマークを他半導体材料のデバイスと比較する(Fig.8)。パワー半導体に求められる特性は、横軸のオフ時の耐圧と縦軸の特性オン抵抗である。両者のパラメータには、バリガ性能指数からわかるように、トレードオフの相関があり、バリガ性能指数をMW/cm²で示している。右下に行くほど、高効率・大電力性能を示す。我々のダイヤモンドMOSFET(赤)は875MW/cm²を示し、GaN HEMT(青)の2093MW/cm²に迫る性能を示していることがわかる。

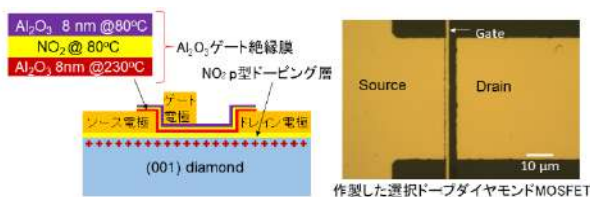


Fig.5 Modulation-doped p-channel diamond MOSFET.

5. パワー回路の作製とスイッチング特性 [5]

これまで、ダイヤモンドMOSFETではオンウェハで探針を使って、出力特性(V_{DS} - I_D 特性)などの静特性を測定してきた。しかし、実用化の観点から、ダイヤモンドMOSFETの動特性が期待されていた。オンウェハでの測定では、測定環境での振動や気温の変化などの影響が無視できない。そこで、作製したダイヤモンド

MOSFETを、ウェハ上の電極からAu線でワイヤボンディングしてプリント基板(PCB)に接続したパワー回路を作製した。そしてそのパワー回路を使って、スイッチング特性を測定した。その結果をFig.9に示す。その結果、ターンオン時間は9.97ns、ターンオフ時間は9.63nsと高速にスイッチングすることが示された。

デバイスによって、スイッチング時の電流、電圧の条件は統一できないので、単純に比較はできないが、SiやSiCよりは速く、GaN並みに高速スイッチングできたと思っている。ちなみにスイッチング時間内の電流、電圧の積分をとると、ターンオン損失は55.12pJ、ターンオフ損失は153.18pJと低い値が得られた。

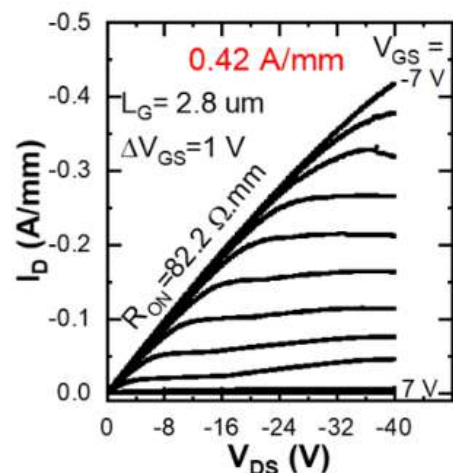


Fig.6 DC drain current-voltage characteristics of modulation-doped p-channel diamond MOSFET.

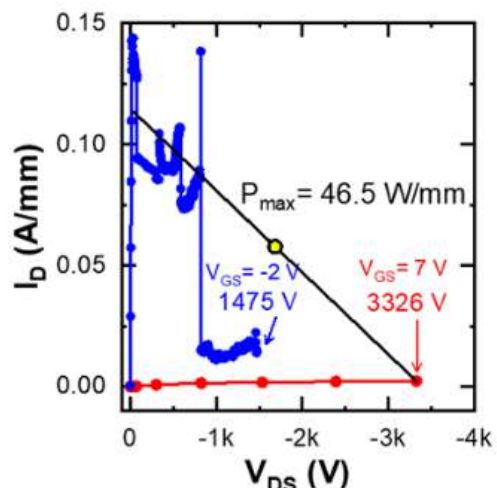


Fig.7 Off-state DC drain current-voltage characteristics of modulation-doped p-channel diamond MOSFET. The off-state breakdown voltage was 3326 V.

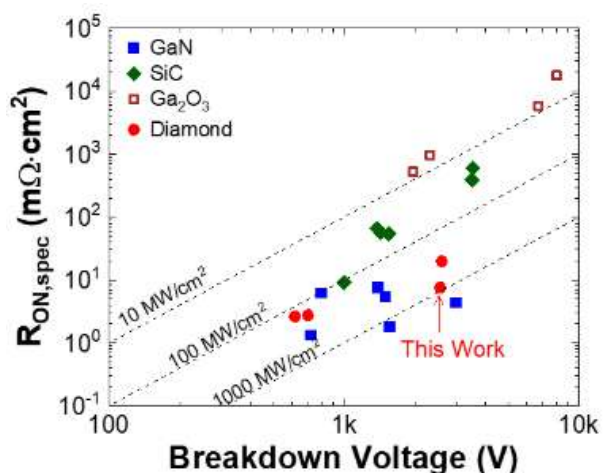


Fig.8 Benchmark of lateral-type power transistors of diamond and various semiconductor materials.

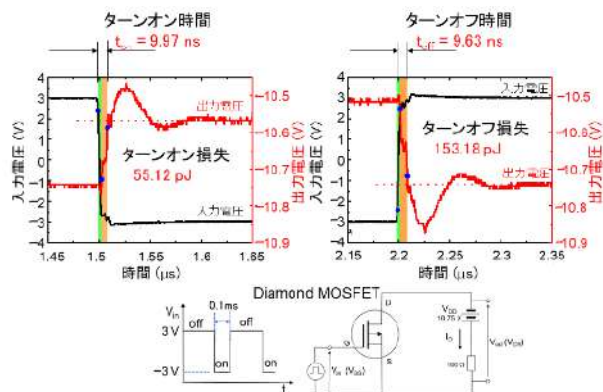


Fig.9 Switching characteristics of diamond MOSFET.

6. ストレス特性 [6]

つぎにダイヤモンド MOSFET パワー回路を使ってストレス試験を行った(Fig.10)。まずは DC の一定バイアス (ゲート電圧-2V、ドレイン電圧-10V) を印加した状態で、ドレイン電流(I_D)とゲート電流(I_G)をモニターした。ただし、途中で、短時間ストレスを休止し、出力特性と伝達特性を測定したため、つぎに述べるように、休止中に回復現象が起こるので、ドレイン電流(I_D)値が変化しているように見えている。

Fig.10 に示すように 190 時間ストレス試験を行ったが、劣化は見られなかった。むしろ、ドレイン電流(I_D)は徐々に増加する傾向が見られた。これはストレスにより、ゲート閾値電圧が、

ノーマリーオン側に徐々にシフトしていることによる。またゲート電流(I_G)はストレス中に増加し、83 時間頃から実測されている。Fig.10 では 190 時間の連続測定を行っているが、実際には、同じデバイスで数回同様の試験を行っており、この程度の時間内では、劣化はないことを確認した。

他方、ストレス試験を終了すると、すぐに特性が、ストレス試験前に戻る現象、つまり回復過程が観測された。

以上の結果から、ストレスにより Al_2O_3 ゲート絶縁膜の負の固定電荷(fixed negative charge)密度が増え、ゲートリーク電流が生じると考えられる。また負の固定電荷に誘起されて、チャンネルのホール濃度が増え、ドレイン電流が増加し、閾値がノーマリーオン側にシフトしたもののと思われる。チャンネルのホールの一部は界面準位 (interface trap)と界面近傍の Al_2O_3 ゲート絶縁膜中のトラップ(border trap)に捕獲される。ストレス後の回復過程は上記の逆で、 Al_2O_3 ゲート絶縁膜の負の固定電荷(fixed negative charge)密度が減少し、ゲートリーク電流は消失し、チャンネルのホール濃度が元の値に戻り、界面準位とボーダートラップに捕獲されていたホールは放出されると思われる。

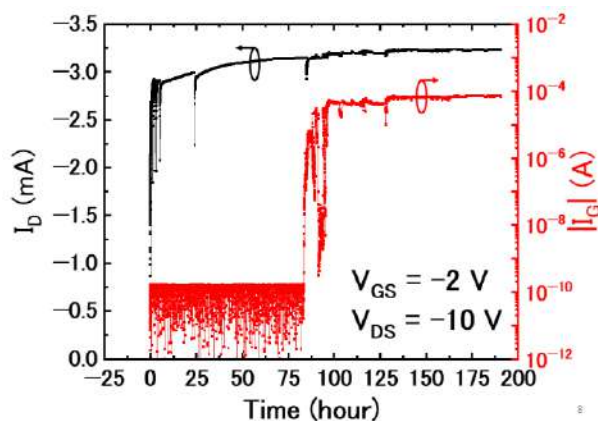


Fig.10 DC stress measurements of diamond MOSFET. Stress time change of drain current and gate current. DC gate bias (-2V) and drain bias (-10V) were continuously applied.

7. まとめ

ダイヤモンド半導体は、究極のパワー半導体物性を有している。ダイヤモンド MOSFET はバリ

ガ性能指数 (BFOM, 有能出力電力) $875\text{MW}/\text{cm}^2$ を示した。NO₂ドーピング層によるホール散乱や劣化を改善するため、選択ドーピング構造を提案し、MOSFET を作製したところ BFOM は $820\text{MW}/\text{cm}^2$ となり、オフ耐圧は 3326V を示した。ダイヤモンド MOSFET の動特性を測定するためパワー回路を作製した。その回路で測定したところ、10ナノ秒を切る高速スイッチング動作を確認した。またストレス試験を行ったところ190時間の連続動作で特性劣化はないことを確認した。ダイヤモンド MOSFET は、高効率・大電力パワー半導体デバイスだけでなく、Beyond 5G 携帯基地局用のマイクロ波パワー半導体デバイス、量子コンピューターの量子メモリー、宇宙線に強いデバイスとしての応用も期待される。

謝辞 本研究の一部は文科省宇宙開発利用加速化戦略プログラム及び科研費(22H01974)によるものです。

References

- [1] M. Kasu, Jpn. J. Appl. Phys. 56, 01AA01 (2017).
 - [2] S. -W. Kim, M. Kasu et al., Appl. Phys. Express 14, 115501 (2021).
 - [3] N. C. Saha, M. Kasu et al., IEEE Electron Dev. Lett. 43, 777 (2022).
 - [4] M. Kasu, N. C. Saha et al., Appl. Phys. Express 14, 051004 (2021).
 - [5] N. C. Saha, M. Kasu et al. IEEE Electron Dev. Lett. 44, 793 (2023).
 - [6] N. C. Saha, M. Kasu et al, IEEE Electron Dev. Lett. (2023)印刷中.
- DOI: 10.1109/LED.2023.3265664

GaN/SiO₂ 界面における GaO_x 界面層中の Mg_{Ga} と V_O の相互作用

Interaction between Mg_{Ga} and V_O in GaO_x intermediate layer at GaN/SiO₂ interface

服部 柊人¹ 押山 淳² 白石 賢二^{1,2}

1 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 名古屋大学未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

Shuto Hattori¹, Atsushi Oshiyama², Kenji Shiraishi

1 Graduate School of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya 464-8603, Japan

2 Institute of Materials and Systems for Sustainability, Nagoya University, Furo-cho, Chikusa-ku, Nagoya 464-8601, Japan

Tel: + 81-52-789-4663 (e-mail:hattori.shuto.f2@s.mail.nagoya-u.ac.jp)

Abstract

Formation of GaO_x intermediate layer at GaN/SiO₂ interface has been reported. In the p-type GaN/SiO₂ interface, it is considered that Mg, which is an acceptor impurity, remains in the GaO_x intermediate layer. In this study, we investigated interaction between Mg_{Ga} and V_O in GaO_x intermediate layer using first-principles calculations. We found that Mg_{Ga} and V_O become stable by forming 2Mg_{Ga}-V_O complex in GaO_x intermediate layer. In addition, while V_O forms a deep hole trap in the band gap of GaN, 2Mg_{Ga}-V_O doesn't form a hole trap. This is because Mg_{Ga}-V_O induces trap levels near the conduction band of GaN. These results indicate that V_O hole traps are passivated by forming 2Mg_{Ga}-Vo complexes and shifting the V_O trap levels upward to the conduction band.

1. はじめに

ワイドギャップ半導体である GaN を用いた金属-酸化膜-半導体電界効果トランジスタ (GaN-MOSFET) は、電力効率・動作速度・小型化の大きな向上が見込まれており、次世代パワーデバイスとして注目が集まっている[1,2]。

GaN-MOSFET の実現には、GaN/酸化膜界面の高品質化が課題である。GaN-MOS の酸化膜材料には、バンドギャップの大きさや GaN とのバンドオフセットの相性から SiO₂ が有力視されている[3]。しかし、GaN/SiO₂ 界面には高密度の正孔トラップが存在することが実験により報告されている[4]。正孔トラップは、スイッチング性能の劣化や閾値電圧の変動を引き起こす原因になる。

しかし近年、高濃度の Mg ドープにより、

GaN/SiO₂ 界面の正孔トラップが大幅に低減することが明らかになった[5]。溝端らは、Mg ドープ濃度の異なる p-GaN/SiO₂ MOS キャパシタを作製し、その C-V 特性を測定した。Mg が低濃度(N_A:7×10¹⁶ cm⁻³)と中濃度(N_A:1×10¹⁷ cm⁻³)の MOS キャパシタでは、正孔トラップによる表面フェルミ準位ピンニングにより、大きなヒステリシスを示す C-V カーブが測定された。一方で、Mg が高濃度(N_A:1×10¹⁹ cm⁻³)の MOS キャパシタでは、ヒステリシスの無い理想的な C-V カーブが測定された。また、ドープした Mg をアクセプターとして活性化する脱水素アニーリングを行わなかった MOS キャパシタ(N_A:2×10¹⁷ cm⁻³, Mg: 2×10¹⁹ cm⁻³)においても理想的な C-V カーブが測定されたことから、フェルミ準位ではなく Mg 濃度が影響していると考えられる。この結果は、Mg が界面の正孔トラップ

を末端することを示唆しているが、その物理的起源は明らかになっていない。

我々は、Mg が正孔トラップを末端する物理的起源を明らかにするために、GaN/SiO₂ 界面に形成する GaO_x 界面層に着目した。GaN/SiO₂ 界面では SiO₂ の成膜過程で GaN 表面が酸化され 1~2nm の GaO_x 界面層を自然形成することが実験により報告されている[6,7]。p-GaN/SiO₂ 界面の場合、GaO_x 界面層にはアクセプター不純物である Mg が残留すると予想される。したがって、残留した Mg が GaO_x 界面層中のトラップ欠陥を末端する可能性がある。本研究では、Ga₂O₃ 結晶において正孔トラップとして振る舞う酸素空孔欠陥(V_O)[8]に着目し、Mg と V_O の相互作用について調査した。具体的には、第一原理計算によって Ga₂O₃ における Mg_{Ga}-V_O 複合体の形成エネルギーおよびトラップ準位位置を明らかにした。

2. 計算手法

2.2 計算条件

計算プログラムには密度汎関数理論に基づく平面波基底の第一原理計算コードである Vienna ab-initio simulation package (VASP)[9]を使用した。原子核および内殻電子のポテンシャルには、Projector Augmented Wave(PAW)ポテンシャル[10]を使用し、平面波基底のカットオフエネルギーは 500 eV に設定した。ブリルアンゾーン内の k 点サンプリングには、2×2×2 の Monkhorst-Pack grid を使用した。構造最適化計算の収束条件は各原子に働く力が 5×10⁻² eV/Å 以下となるまでとした。交換相関汎関数は、構造最適化計算では GGA-PBE 汎関数[11]を、全エネルギー計算では HSE06 混成汎関数[12]を使用した。HSE 計算における混合パラメータ、短距離相互作用パラメータは、β-Ga₂O₃ 結晶のバンドギャップである 4.9 eV を再現する値として、それぞれ 0.36、0.2 Å⁻¹を採用した。

2.1 計算モデル

計算モデルには、全 160 原子からなる 1×4×2 スーパーセルの β-Ga₂O₃ 結晶(Fig.1)を用いた。格子定数は、S. Geller による実験値(a=12.23 Å, b=3.04 Å, c=5.80 Å, β=103.7°)[13]を用いた。GaN/SiO₂ 界面に形成する GaO_x 界面層の原子構

造については詳細な報告がされていないため、本研究では最安定な Ga₂O₃ 構造である β 結晶を用いて計算を行った。

β-Ga₂O₃ スーパーセル中に、純粋な V_O, Mg_{Ga}-V_O 複合体, 2Mg_{Ga}-V_O 複合体の 3 種類を導入した。純粋な V_O は GaO_x 界面層で V_O が単独で存在する状態、Mg_{Ga}-V_O と 2Mg_{Ga}-V_O は GaO_x 界面層に残留した Mg が V_O と複合体を形成した状態に対応する。β-Ga₂O₃ 結晶には 2 つの Ga サイトと 3 つの O サイトがあるため、Mg_{Ga} と V_O の置換サイトを変えることにより、純粋な V_O モデルを 3 パターン、Mg_{Ga}-V_O モデルを 7 パターン、2Mg_{Ga}-V_O モデルを 8 パターン作成した。そして各モデルの荷電状態を変化させて構造最適化計算を行い、各荷電状態の安定構造を得た。

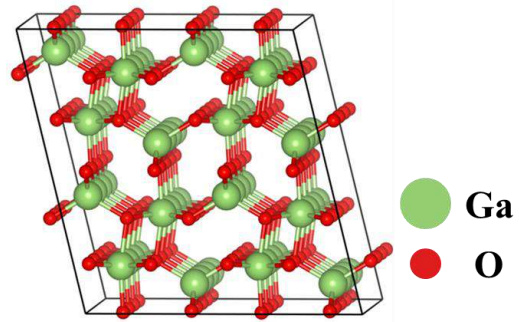


Fig.1 β-Ga₂O₃ 1×4×2 supercell containing 160 atoms.

2.3 形成エネルギーの計算

純粋な V_O, Mg_{Ga}-V_O 複合体および 2Mg_{Ga}-V_O 複合体の安定性と好まれる荷電状態を比較するために、式①で定義される形成エネルギー[14]を計算した。

$$E^f = E_{defect}(q) - E_{perfect}(0) + \sum_i n_i \mu_i + qE_F + E_{corr} \dots \textcircled{1}$$

$E_{defect}(q)$ は荷電状態 q の欠陥(V_O ^{q} , Mg_{Ga}-V_O ^{q} , 2Mg_{Ga}-V_O ^{q})を含むスーパーセルの全エネルギー、 $E_{perfect}(q)$ は β-Ga₂O₃ 完全結晶の全エネルギー、 μ_i は O, Mg, Ga 原子の化学ポテンシャルである。 μ_O は酸素分子における O 原子の化学ポテンシャル、 μ_{Mg} は β-Ga₂O₃ 結晶における Mg_{Ga} の化学

ポテンシャル、 μ_{Ga} は $\beta\text{-Ga}_2\text{O}_3$ 結晶におけるGa原子の化学ポテンシャルを用いた。また、 E_F は系のフェルミ準位、 E_{corr} はFNV補正[15]による背景電荷の補正エネルギーである。GaN/SiO₂界面においてフェルミ準位はGaNのバンドギャップ内に位置すると考えられる。したがって、フェルミ準位はGaNのバンドギャップの範囲で計算を行った。GaNのバンドギャップの範囲は、Ga₂O₃とGaNのバンドオフセットの値[16]を用いて決定した。

3. 計算結果・考察

3.1 形成エネルギー・安定な荷電状態

V_O , $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$, $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ の形成エネルギーをFig.2に示す。GaNのバンドギャップにおけるフェルミ準位の範囲において、形成エネルギーは V_O , $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$, $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ の順に小さいことが分かった。このことから、GaO_x界面層では純粋な V_O として存在するよりも、 $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ 複合体、更には $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ 複合体を形成する方が安定であることが明らかになった。したがって、GaO_x界面層にMgが高濃度に存在する場合は V_O が高確率で $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ 複合体を形成すると考えられる。一方で、GaO_x界面層に存在するMgが低濃度の場合は、 V_O が複合体を形成する確率は小さくなる。複合体の数は、Mgが高濃度の場合が多く、Mgが低濃度の場合には少なくなると考えられる。

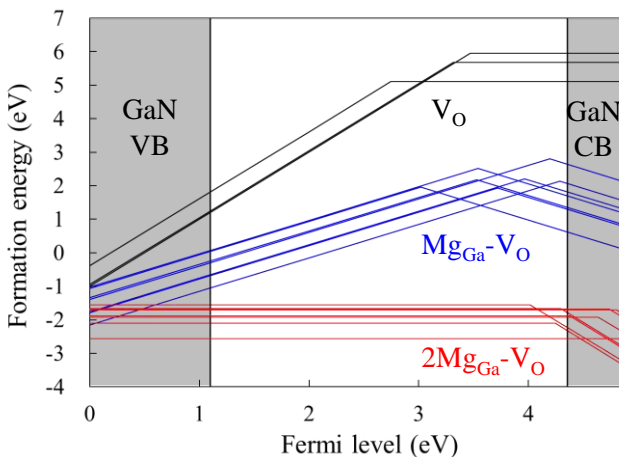


Fig.2 Formation energy vs Fermi level for the V_O (black), $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ (blue) and $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ (red). Shaded area is band of GaN estimated by J. Robertson, et al [16].

また、フェルミ準位に対して現れる安定な荷電状態は、 V_O が(+2/0), $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ が(+1/-1), $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ が(0/-2)であった。これらは全て V_O 準位の占有状態と非占有状態に対応している。 V_O 準位は、電荷中性状態(V_O^0)で電子を2つ占有し、+2の荷電状態(V_O^{2+})で非占有となる。Mg原子はGa原子よりも価電子が1つ少ないため、 Mg_{Ga} はGa₂O₃中に正孔を1つ放出する。これにより、 $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ 準位は、-1の荷電状態($\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{-1}$)で占有状態となり、+1の荷電状態($\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{+1}$)で非占有状態となる。 $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}$ 準位も同様の理由で、-2の荷電状態($2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{2-}$)で占有状態となり、電荷中性状態($2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^0$)で非占有状態となる。

Figに安定な荷電状態である $\text{V}_\text{O}^{+2/0}$, $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{+1/-1}$, $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{0/-2}$ の原子構造を示す。いずれの欠陥構造においても、準位が占有した状態(V_O^0 , $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{-1}$, $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{2-}$)から非占有状態(V_O^{2+} , $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{+1}$, $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^0$)になることで、 V_O に近接したGa, Mg原子が外側へ離れる構造変化が起こることが分かった。

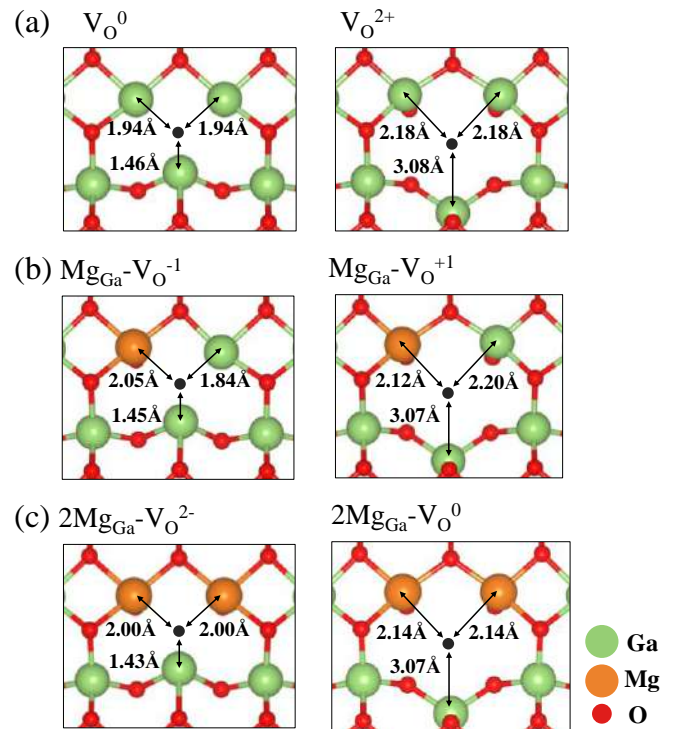


Fig.3 The atomic structures of (a) $\text{V}_\text{O}^{+2/0}$, (b) $\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{+1/-1}$, (c) $2\text{Mg}_{\text{Ga}}\text{-V}_\text{O}^{0/-2}$. Numbers indicate distances from V_O positions to neighboring ions.

3.2 トラップ準位位置

次に、 V_O , $Mg_{Ga}-V_O$, $2Mg_{Ga}-V_O$ のトラップ準位位置について説明する。Fig. の各線の傾きは欠陥の最安定な荷電状態に対応しており、フェルミ準位に応じて最安定な荷電状態が変化する。この最安定な荷電状態が変化するフェルミ準位位置(Thermodynamic level)がトラップ準位位置に対応する。

V_O , $Mg_{Ga}-V_O$, $2Mg_{Ga}-V_O$ のトラップ準位位置をFig. に示す。GaN の価電子帯上端をエネルギーの基準とすると、 V_O のトラップ準位は $\epsilon(+2/0) = 1.64 \sim 2.37 \text{ eV}$ 、 $Mg_{Ga}-V_O$ は $\epsilon(+1/-1) = 1.92 \sim 3.18 \text{ eV}$ 、 $2Mg_{Ga}-V_O$ は $\epsilon(0/-2) = 2.92 \sim 3.77 \text{ eV}$ であった。したがって、 $2Mg_{Ga}-V_O$, $Mg_{Ga}-V_O$, V_O の順に高いエネルギー位置にトラップ準位を形成することが明らかになった。特に、 V_O はGaNのミッドギャップにトラップ準位を形成し、深い正孔トラップとして振る舞うと考えられる。一方で、 $2Mg_{Ga}-V_O$ はGaNの伝導帯付近にトラップ準位を形成するため、GaNの伝導帯に埋もれるか、浅い電子トラップとして振る舞うと考えられる。この結果は、 Mg_{Ga} が V_O と複合体を形成することで、 V_O によって引き起こされる正孔トラップが不活性化されることを意味している。

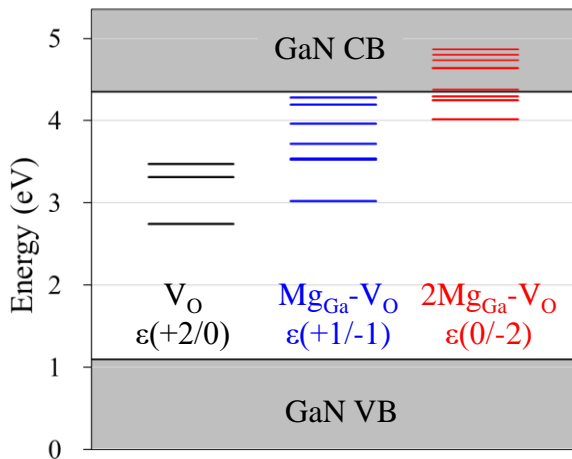


Fig.2 Calculated trap levels of V_O (black), $Mg_{Ga}-V_O$ (blue) and $2Mg_{Ga}-V_O$ (red). Shaded area is band of GaN.

3.3 考察：界面特性への影響について

はじめに、Mg が低濃度の場合について説明する。 GaO_x 界面層において Mg_{Ga} と V_O は複合体を形成することで安定化するが、Mg が低濃

度の場合、 V_O が複合体を形成する確率は低くなる。そのため、 GaO_x 界面層では多くの V_O が複合体を形成せず単独で存在すると考えられる。 V_O 準位は深い正孔トラップとして振る舞うため、Mg が低濃度の場合には多量の正孔トラップが界面に存在すると考えられる。

次に、Mg が高濃度の場合について説明する。Mg が高濃度の場合、 V_O が高確率で複合体を形成する。そのため、 GaO_x 界面層では複合体を形成する V_O の割合が増加し、反対に純粋な V_O の割合は減少すると考えられる。したがって、Mg が高濃度の場合、 V_O による正孔トラップが低減すると考えられる。これらにより、高濃度の Mg ドープによって GaN/SiO₂ 界面の正孔トラップが低減するという溝端らの実験結果を説明することができる。

4. まとめ

先行研究により、Mg を高濃度にドーピングすることで GaN/SiO₂ 界面の正孔トラップが減少することが報告されたが、その物理的起源は未解明であった。そこで我々は、 GaO_x 界面層に残留した Mg がトラップ欠陥を終端すると予想し、第一原理計算により GaO_x 界面層中の Mg_{Ga} と V_O の相互作用について調査した。

計算の結果、 GaO_x 界面層では純粋な V_O として存在するよりも、 $Mg_{Ga}-V_O$ 複合体、更には $2Mg_{Ga}-V_O$ 複合体を形成する方が安定であることが明らかになった。また、純粋な V_O が GaN のバンドギャップに深い正孔トラップを形成するのに対して、 $2Mg_{Ga}-V_O$ 複合体は GaN の伝導帯付近にトラップ準位を形成するため正孔トラップになりにくいことが分かった。以上の結果から、Mg が高濃度の場合、 GaO_x 界面層に存在するほとんどの V_O が Mg_{Ga} と複合体を形成し、純粋な V_O の数が減少することで、GaN/SiO₂ 界面の正孔トラップが低減すると推察される。

謝辞

本研究は、文部科学省革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPI009777 の助成を受けて行われた。

References

- [1] B. J. Baliga, *Semicond. Sci. Technol.* **28**, 074011 (2013).
- [2] T. Kachi, *Jpn. J. Appl. Phys.* **53**, 100210 (2014).
- [3] T. E. Cook, Jr. et al., *J. Appl. Phys.* **93**, 3995–4004 (2003).
- [4] T. Kobayashi et al., *Appl. Phys. Express* **17**, 011003 (2024).
- [5] H. Mizobata et al., *Appl. Phys. Express* **16**, 105501 (2023).
- [6] K. Mitsuishi et al., *Jpn. J. Appl. Phys.* **56** 110312 (2017).
- [7] T. Yamada et al., *Appl. Phys. Express* **11**, 015701 (2018).
- [8] J. B. Varley et al., *Appl. Phys. Lett.* **97**, 142106 (2010).
- [9] G. Kresse and D. Joubert, *Phys. Rev. B* **59**, 1758 (1999).
- [10] P. E. Blochl, *Phys. Rev. B* **50**, 17953 (1994).
- [11] J. P. Perdew et al., *Phys. Rev. Lett.* **77**, 3865 (1996).
- [12] J. Heyd et al., *J. Chem. Phys.* **118**, 8207 (2003).
- [13] S. Geller, *J. Chem. Phys.* **33**, 676–684 (1960).
- [14] C. G. Van de Walle et al., *J. Appl. Phys.* **95**, 3851 (2004).
- [15] C. Freysoldt et al., *Phys. Rev. Lett.* **102**, 016402 (2009).
- [16] J. Robertson et al., *J. Appl. Phys.* **100**, 014111 (2006).

CVD 環境下における SiC(0001)表面への N 原子取り込み機構の理論研究

Theoretical Study of Nitrogen Incorporation at SiC(0001) Surface during CVD Growth

山内 颯一郎¹ 水島 一郎² 依田 孝^{2,3} 押山 淳⁴
白石 賢二^{1,4}

- 1 名古屋大学大学院 工学研究科 〒464-8603 愛知県名古屋市千種区不老町
2 株式会社ニューフレアテクノロジー 〒235-8522 神奈川県横浜市子区新杉田町 8 番 1
3 東京工業大学 未来産業技術研究所 〒226-8503 神奈川県横浜市緑区長津田町 4259
4 名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町
Souichiro Yamauchi¹, Ichiro Mizushima², Takashi Yoda^{2,3}
, Atsushi Oshiyama²
, Kenji Shiraishi²

1 Graduate School of Engineering, Nagoya University, Nagoya, Aichi 464-8603, Japan

2 NuFlare Technology Inc., Yokohama, Kanagawa 235-8522, Japan

*3 Laboratory for Future Interdisciplinary Research of Science and Technology, Tokyo Institute of Technology,
Yokohama, Kanagawa 226-8503, Japan*

4 Institute of Materials and Systems for Sustainability, Nagoya University, Nagoya, Aichi, 464-8601, Japan.

Tel: + 81-52-789-4663 (e-mail: yamauchi.souichiro.r4@s.mail.nagoya-u.ac.jp)

Abstract

We report first-principles calculations based on the density-functional theory that reveal atomistic elementary processes of nitrogen donor doping in epitaxial growth of silicon carbide (SiC). Our calculations identify the adsorption sites of an N₂ molecule and its dissociative reaction pathways on the terrace and steps of SiC(0001) surfaces. We find that the N₂ adsorbed on the terrace migrates to a particular step edge (Si3 step edge), is also directly adsorbed near the step edge, and is then dissociated there via the step-molecule interaction with the reaction barrier of about 1eV. From the above, the microscopic mechanism of N atom incorporation during epitaxial growth has been elucidated.

1. はじめに

省エネルギーな社会の実現に向けて、次世代のパワー半導体材料として炭化ケイ素 (SiC)が期待されている[1]。SiCのエピタキシャル成長[1,2]では、主に化学気相成長法(CVD)[3]が用いられており、原料ガスには Si 原料に SiH₄、C 原料には C₃H₈、キャリアガスには H₂を用いる。また、エピタキシャル成長中のドーピングは、高品質な n型エピタキシャル層が不可欠な縦型

MOSFET のようなパワーデバイスでは必須であるため、n型ドーパンとして窒素(N₂)が原料ガスに導入されている。結晶中において N 原子は C を置換してドナーとして働くことが知られている。一般に、SiC エピタキシャル成長では、(0001)表面が使用されており、成長基板にはオフ角が導入されているため、成長表面には「テラス」と「ステップエッジ」が出現する。このステップエッジに原料ガスが取り込まれることで薄膜が成長するステップフロー成長

[3,4]が起きている。最近の理論研究において、理想的な SiC(0001)表面上に現れるステップの原子構造[5,6]と、CVD 成長環境下において原料ガスに多く存在する水素によって被覆されたステップエッジ構造とその水素被覆率まで明らかになった[7]。しかし、CVD 成長中に導入された反応性の低い不活性ガスの N₂ 分子が、表面ステップ付近でどのような原子反応をして、N 原子が SiC エピタキシャル膜中に取り込まれるのか、そのメカニズムは未だ明らかになっていない。ドーピングプロセスの最適化・向上には、N 原子が膜中に取り込まれる微視的なメカニズムの解明が重要である。そこで、密度汎関数理論[8,9]に基づく第一原理計算により、SiC(0001)表面のステップエッジとテラスの N₂ 分子の吸着サイトと、N 原子が膜中に取り込まれる経路とエネルギー障壁を調査し、エピタキシャル成長中における N 原子の取り込み機構を明らかにする

2. 計算方法

2.1 計算ソフトウェアと計算条件

本研究は、密度汎関数理論に基づく第一原理計算コード VASP(Vienna Ab-initio Program Package [10])を使用した。交換相関汎関数には PBE 汎関数[11]を採用し、平面波基底のカットオフエネルギーは 500 eV に設定した。また、構造最適化はすべての原子に働く原子間力が 0.05 eV/Å 以下になるまで行われた。計算に用いた 4H-SiC モデルの格子定数 a, b, c は、 $a = b = 3.092$, $c = 10.12$ である。Brillouin ゾーンのサンプルには MonkhorstPack の k 点メッシュ(2 × 1 × 1)を使用した。

2.1 計算モデル

SiC(0001)表面の成長では、一般的に、[1 $\bar{1}$ 00] または [11 $\bar{2}$ 0] 方向に傾いた微斜面が用いられる[1]。その結果、微斜方向には計 5 つの代表的なステップ構造が現れる (Fig. 1) [5, 6]。[1 $\bar{1}$ 00] 方向に傾いた表面では、Si 原子と C 原子が端に並んだ「SC step」が現れ、[11 $\bar{2}$ 0] 方向に傾いた表面では、Si 原子が端に並んだ「Si2 step」または「Si3 step」、C 原子が端に並んだ「C1 step」または「C2 step」が現れる。N 原子は C サイトを置換することから、本研究では、これらのステップエッジ構造の中で、C サイトが出現する SC step, Si2 step, Si3 step を対象とした。さらに、表面テラスにおける N₂ 分子の振る舞いも調べるために、4 つの異なるスラブモデルを採用した。1 つ目のスラブモデルは、[11 $\bar{2}$ 0] 方向に沿

った SC step が出現するステップエッジ構造を再現した。次に、2 つ目と 3 つ目のスラブモデルでは、[1 $\bar{1}$ 00] 方向に沿ったステップエッジ構造を再現しており、2 つ目はダングリングボンドを 2 つ持った Si 原子が出現する Si2 step、3 つ目はダングリングボンドを 3 つ持った Si 原子が出現する Si3 step である (Fig. 2)。4 つ目は成長環境下において出現する表面テラスである (Fig. 2)。これらのスラブモデルは、4 層または 5 層の 4H-SiC 層と約 8Å 以上の真空層で構成されており、下 2 層の原子位置は固定されており、スラブ底面は仮想水素終端を施した。各ステップエッジおよび表面テラスの水素被覆率[7, 12]を考慮して、ステップエッジでは水素被覆のない状態、表面テラスでは水素で覆われた状態と覆われてない状態の 2 パターンを再現した。

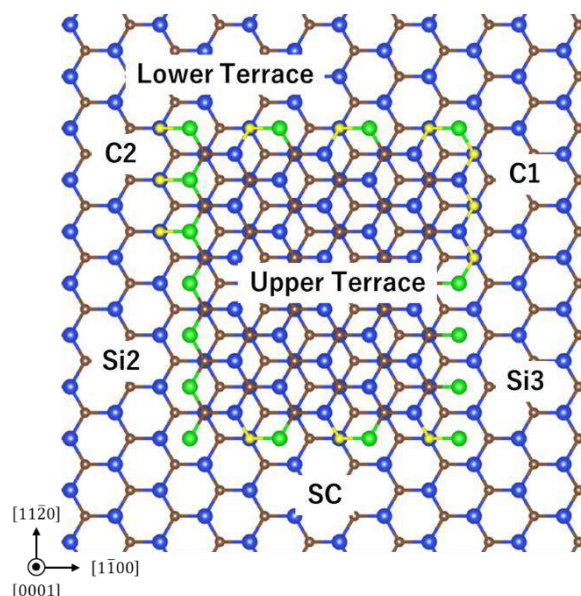


Fig.1: Schematic view of the 5 distinct monobilayer steps on 4H-SiC(0001) surface. Blue, brown, green and yellow spheres represent Si atoms, C atoms, Si edge atoms, and C edge atoms, respectively.

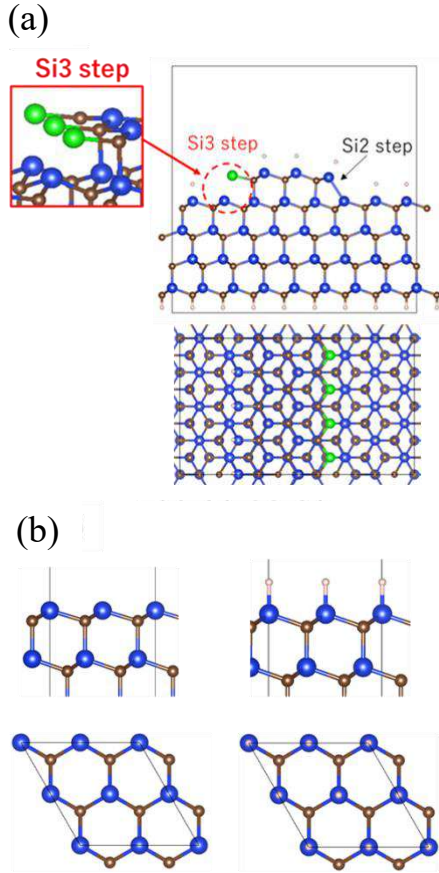


Fig.2: Side and top views of the periodic array slab models in which an upper terrace and a lower terrace appear alternately. (a) Si3 step, and (b) terrace on the 4H-SiC(0001) surfaces. The color code is the same as in Fig. 1. Pink balls are H atoms.

2.2 N₂分子吸着エネルギー

構造最適化計算によって得られた N₂ 吸着反応の安定性を比較するために、(1)式を用いて、N₂ 分子吸着エネルギーを計算した。

$$\Delta E_{ad} = -[E_{ad} - (E_0 + \mu_{N_2})] \quad (1)$$

ここで、 E_0 は構造最適化計算前のスラブモデルの全エネルギー、 E_{ad} は構造最適化計算後のスラブモデルの全エネルギー、 μ_{N_2} はDFT計算で求まる N₂分子のエネルギーである。

2.3 成長条件下のH原子のギブス自由エネルギー

成長表面が周囲の気相と平衡状態にある場合、成長表面の H 原子には、気相の H 原子のギブス自由エネルギーを用いて、下記のように表すことができる。

$$\mu_H(T, P) =$$

$$\frac{1}{2} = \left[\mu_{H_2} + k_B T \ln \left(\frac{k_B T}{p} \times \xi_{trans} \xi_{rot} \xi_{vibr} \right) \right] \quad (2)$$

ここで、 μ_{H_2} は H₂のギブス自由エネルギーである。 k_B はボルツマン定数、 ξ_{trans} 、 ξ_{rot} 、 ξ_{vibr} はそれぞれ、並進、回転、振動の分配関数である。[13]

3. 計算結果・考察

3.1 ステップエッジの N₂分子吸着構造

ステップエッジ近傍での N₂分子吸着構造を調べた。各ステップエッジの中で N₂分子吸着エネルギーの計算で得られた最も吸着エネルギーが大きくなった構造、すなわち安定吸着構造を Fig. 3 に示す。まず SC step では、N₂分子は隣り合う SC step 間を跨ぐように分子吸着した構造となった。その吸着エネルギーは -0.16 eV となり、エネルギー利得のない結果となった。その理由は、SC step のステップエッジの Si 原子と下段テラスの Si 原子間の再結合が N₂分子によって妨げられたからだと考えられる。これより、SC step には N₂分子は吸着しないことがわかった。次に、Si2 step では N₂分子は解離吸着した。解離した N 原子は Si2 step のステップエッジ上下段の Si 原子間の C サイトに位置し、C サイトにて N 原子は Si-N 結合をそれぞれ 2 つ形成した。その吸着エネルギーは 2.68 eV となり、Si2 step では N₂分子は解離吸着することがわかった。最後に、Si3 step でも、N₂分子は解離吸着した。解離した N 原子は Si3 step の C サイトに位置し、C サイトにて N 原子は Si-N 結合をそれぞれ 3 つ形成した。その吸着エネルギーは 4.16 eV であり、Si3 step で解離吸着することがわかった。

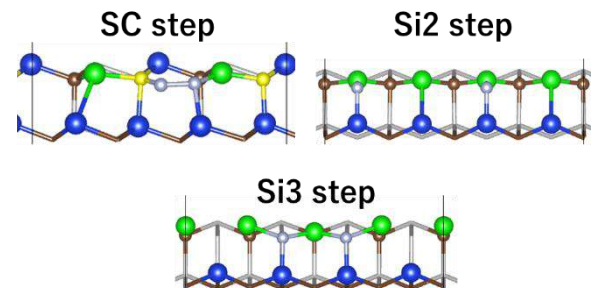


Fig.3: The local atomic structure of geometry optimized N₂-adsorbed SC step, Si2 and Si3 steps. The color code is the same as in Fig. 1. Gray balls depict N atoms.

以上の結果を SiC(0001) 表面に現れるステップエッジの形状を交えてまとめる。実験では一般的に [1120] 方向に傾いた微斜面が使用される [14]。理想的な環境下では、「真っすぐな SC step」より、「ジグザグな Si2+Si3 step」構造の形成エネルギーの方が小さく、その微斜面のステップは蛇行していることが明らかになっている [5,6]。各ステップエッジの最大の N₂ 分子の吸着エネルギーの大小関係は、Si3 step > Si2 step > 0 > SC step であることから、「SC step ストレート」では、N₂ 分子は吸着せずに N 原子は取り込まれず、「Si2+Si3 ジグザグステップ」の「Si3 step」側に主に N₂ 分子が吸着し、N 原子が膜中に取り込まれる反応が起こることがわかる。

3.2 表面テラスの N₂ 分子の吸着・表面拡散反応

成長表面にはステップエッジだけでなく、テラスも存在する。そこで、表面テラスに到着した N₂ 分子の吸着反応について調べた。具体的には、表面 Si 原子の上の T1 サイト、表面 C の上の T4 サイト、3 つの Si 原子と 3 つの C 原子から成る六角形の中心部の H3 サイト、2 つの T1 サイトの間の BR サイトの計 4 つの吸着サイトで N₂ 分子の吸着反応を調べた。水素で覆われていない表面テラスでは、H3 サイトに分子吸着する構造が最安定構造となった。一方、水素で覆われている表面テラスでは、吸着構造は確認できなかった。最後に、水素で覆われていない表面テラスでの表面拡散について調べた。CI-NEB 法 [15] を用いて H3 サイトから等価な隣接する H3 サイトへの拡散経路 H3 → BR → BR → H3 サイトに沿ったエネルギープロファイルと拡散障壁を調べた (Fig. 4)。

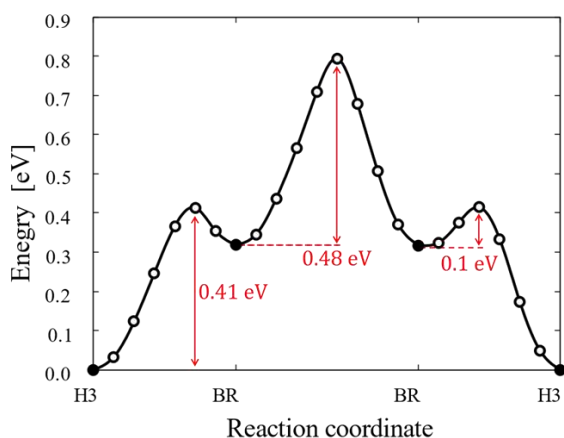


Fig.4: Energy profile of N₂ molecule diffusing on the surface terrace not covered with hydrogen via the path H3 → BR → BR → H3 site.

H3 サイトから BR サイトへの拡散では 0.41 eV の拡散障壁が存在した。次に BR サイトから拡

散障壁 0.48 eV で隣接する BR サイトに拡散した。最後に BR サイトから H3 サイトへの拡散障壁はわずか 0.1 eV であった。これより、N₂ 分子は水素で覆われていない表面テラスの範囲を最大で拡散障壁 0.48 eV で拡散していくことが分かった。つまり、表面テラスに到着した N₂ 分子は容易にステップエッジ近傍に到達するといえる。

3.3 Si3 step での N₂ 分子の解離吸着反応

ステップエッジ近傍に到達した N₂ 分子が、どのように解離吸着して N 原子が膜中に取り込まれるのか、最も吸着エネルギーの高かった Si3 step に焦点を当て、その反応過程のエネルギープロファイル調べた。N₂ が上段テラスから Si3 step に接近する場合の反応座標に沿ったエネルギープロファイルと (準)安定構造そして特徴的な鞍点構造を Fig. 5 を示す。

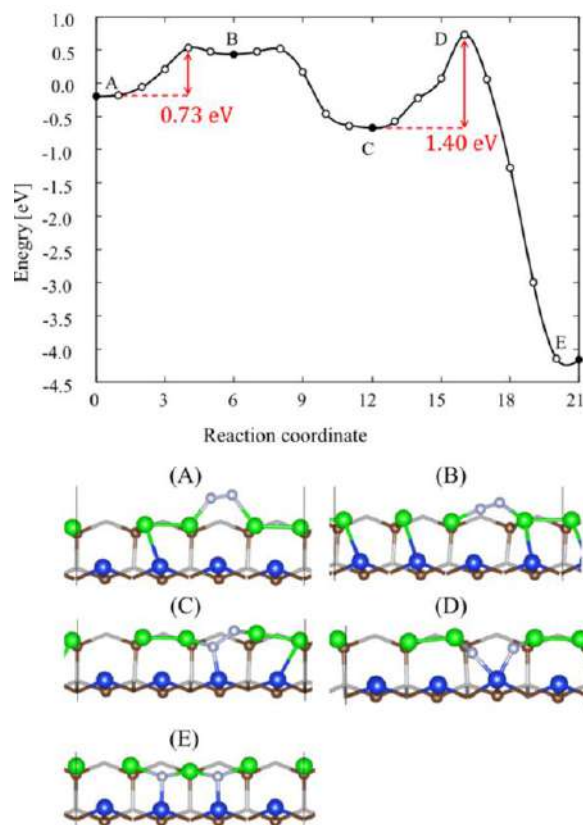


Fig.5: Energy profile along the reaction pathway in which the upper-terrace N₂ molecule is dissociated and incorporated through the Si3 step edge. The (meta) stable (A, B, C and E) and the saddle point (D) geometries are labelled by uppercase letters. the geometry is shown in the lower panel with the color code as same as in Fig. 3. The origin of the energy is taken as E₀ + μ_{N2} in eq. 1.

上段テラスから Si3 step 上部に分子吸着した構造(A)から、N₂は0.73 eVという比較的小さなエネルギー障壁を乗り越え、安定な分子吸着構造(C)に到達する。構造(A)から(C)への反応の間にN-N結合長は1.22Å（二重結合長）から1.45 Åまで伸長する。そして分子吸着構造(C)からN-N結合が切れた鞍点(D)を経由して、解離吸着構造(E)に到達する。これより上段テラスから Si3 step にN原子が取り込まれる解離反応のエネルギー障壁は1.40 eVであることがわかった。

次に、Si3 step 近傍の下部テラスのSi原子に吸着しているH原子を取り除いた状況を想定し、上段テラスからの接近と同様に(準)安定吸着構造を探索し、反応座標に沿ったエネルギープロファイル算出した結果をFig. 6に示す。

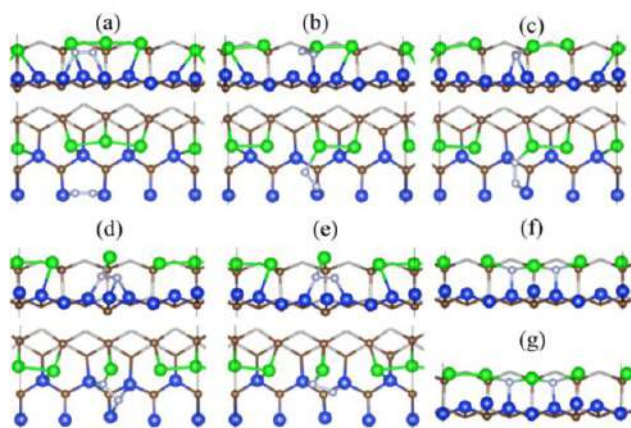
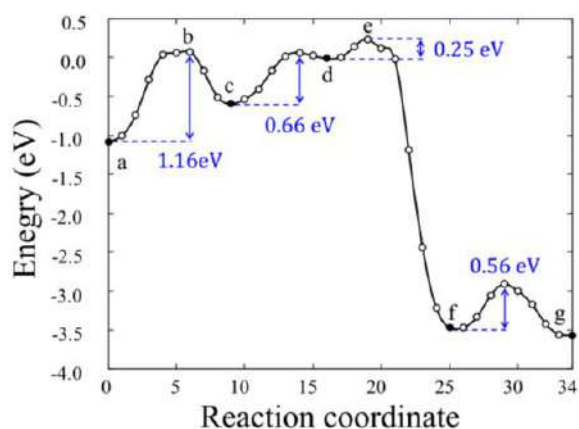


Fig.6: Energy profiles along the reaction pathway in which the lower-terrace N₂ molecule is dissociated and incorporated through the Si3 step edge. The (meta) stable (a, c, d, f and g) and the saddle point (b and e) geometries are labelled by lowercase letters. The corresponding geometries are shown in the lower panel with the color code as same as in Fig. 3. The origin of the energy is the same as in Fig. 5.

なお、上段テラスと下段テラスを比較するために、両者の原子数を揃える必要がある。そこで下段テラスの反応をモデル化したスラブモデルの全エネルギーに、不足しているH原子のエネルギーを式(2)より4原子分だけ加えた。

まずN₂分子は、Si3 step 下部の下段テラスのSi原子のBRサイトに吸着する(構図(a))、このときN-N結合長は2重結合長の1.22 Åまで伸びている。次に、1.16 eVのエネルギー障壁を越え、N₂はSi3 stepの下段テラスからステップエッジの奥深くのSi原子に接近し始める。N原子の1つがステップエッジ上段と下段のSi原子と結合した構造(c)から、ステップエッジの原子と未結合のもう1つのN原子が、ステップエッジに近づいてステップエッジ下段のSi原子と結合する吸着形態(d)をとる。そして最後にN₂は、0.25 eVの小さなエネルギー障壁を乗り越えて、N-N結合が1.51Åまで伸長した鞍点(e)を経由して解離吸着構造(f)または(g)に到達する。

これらの2つの結果を比較すると、N₂の解離によるN原子の取り込み反応の最大のエネルギー障壁は、上段テラスからの場合の1.40 eV、下段テラスからの場合は1.16 eVとなり、下段テラスからSi3 stepにN原子が取り込まれやすいことがわかった。この結果は、上段のテラスからと、下段のテラスからのステップへの原子の取り込みにおいて非対称性があり、上段テラスよりも下段テラスから原子が取り込まれやすいシュウエーベル (Schwoebel) 効果[16,17]を示唆していると考えられる。まとめると、Si3 stepにおいて下段テラスからN₂の解離吸着によるN原子の取り込み反応が起こる可能性が高いことがわかった。

3.4 ステップエッジにそったN原子のマイグレーション

最後に、ステップエッジに沿ったN原子のマイグレーションについて議論する。実際のエピタキシャル薄膜では、N原子はドナーとして膜中を広く均一に分布することが期待されるが、取り込まれたN原子は隣接するサイトに位置しており、N₂はクラスターを成している。Fig. 7(a)と(b)が示すように、N原子がステップエッジに沿って移動し、2個のN原子に孤立するマイグレーションについて調査した。(a)の場合はN原子はSi3 step edgeに沿って移動し、(b)の場合はC原子が存在するSi3 step edgeに沿って移動する。(a)では2.42 eV、(b)では1.68eVのエネルギー障壁が得られた。さらに、(b)のマイグレーションでは、0.6 eVの利得でエネルギー的に有利であることがわかった。これより、Si3 step edgeにC原子が存在する場合は、N原子はステップエッジに沿ってマイグレーションしやすい

いことが推測される。

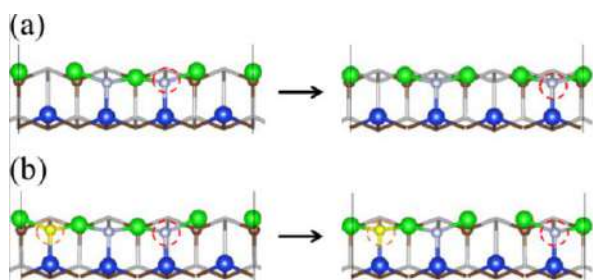


Fig.7: Migration processes of the incorporated N atom along the edge of the Si3 step. (a) Migration along the pristine Si3, and (b) migration along the carbon attached (marked by yellow balls) Si3. The 2 neighboring N atoms shown in the left panel become isolated in the right panel. The color code as same as in Fig. 3.

4. まとめ

SiC エピタキシャル成長中における、 N_2 分子による N 原子取り込みの微視的な原子反応および取り込みプロセスについて第一原理計算を用いて解明した。まず、各ステップエッジでの N_2 分子吸着構造とその吸着エネルギーから、主に Si3 step に吸着することを特定した。次に、表面テラスでの吸着・拡散反応を調べた結果、拡散障壁 0.48 eV で容易に成長表面を拡散してステップエッジ近傍に到達することがわかった。そして、最も吸着エネルギーの大きかった Si3 step において、 N_2 が解離して N 原子は Si3 step の C サイトに取り込まれる反応過程とそのエネルギー障壁を算出した。その結果、Si3 step の上段テラスより下段テラスから、エネルギー障壁 1eV 程度で N_2 が解離吸着して N 原子が取り込まれやすいことが判明した。また、Si3 step edge に C 原子が存在する場合は、解離吸着した N 原子はステップエッジに沿ってマイグレーションしやすいことが推測される。以上より、エピタキシャル成長中において N 原子が取り込まれる微視的なメカニズムを解明した。

謝辞

本研究では、東京大学物性研究所、自然科学研究機構計算科学研究センター、及び HPCI システム研究プロジェクト(IDs: hp200122, hp210170, hp220168)の計算資源を利用しました。

References

- [1] T. Kimoto and J. A. Cooper, Fundamentals of Silicon Carbide Technology (John Wiley & Sons, Singapore, 2014).
- [2] See, e.g., Advances in the Understanding of Crystal Growth Mechanisms, edited by T. Nishinaga, K. Nishioka, J. Harada, A. Sasaki, and H. Takei, (Elsevier, New York, 1997).
- [3] H. Matsunami and T. Kimoto, Mater. Sci. Eng. R 20, 125-166 (1997).
- [4] T. Kimoto and H. Matsunami, J. Appl. Phys. 75, 850-859 (1994).
- [5] K. Seino and A. Oshiyama, Appl. Phys. Exp. 13, 015506 (2020).
- [6] K. Seino and A. Oshiyama, Phys. Rev. B 101, 195307 (2020).
- [7] T. Kimura, K. Chokawa, K. Shiraishi, and A. Oshiyama, Phys. Rev. B 106, 035309 (2022)
- [8] P. Hohenberg and W. Kohn, Phys. Rev. 136, B864-B871 (1964).
- [9] W. Kohn and L.J. Sham, Phys. Rev. 140, A1133-A1138 (1965).
- [10] G. Kresse, J. Hafner, Ab initio molecular dynamics for liquid metals, Phys. Rev. B 47, 558 (1993).
- [11] J.P. Perdew, K. Burke, and M. Ernzerhof, Phys. Rev. Lett. 77, 3865-3868 (1996).
- [12] K. Chokawa, Y. Daigo, I. Mizushima, T. Yoda, and K. Shiraishi, Jpn. J. Appl. Phys. 60, 085503 (2021).
- [13] Y. Kangawa, T. Ito, A. Taguchi, K. Shiraishi, and T. Ohachi, Surf. Sci. 178, 493 (2001).
- [14] K. Sawada, J.-I. Iwata and A. Oshiyama, Appl. Phys. Lett. 104, 051605 (2014).
- [15] Henkelman, Uberuaga, and Jonsson J, Chem. Phys., Vol. 113, No. 22 (2000)
- [16] R.L. Schwoebel and E.J. Shipsey, J. Appl. Phys. 37, 3682 (1966).
- [17] R.L. Schwoebel: J. Appl. Phys., 40 (1969) 614.

4H-SiC 中における基底面転位 (BPD) の第一原理計算を用いた電子構造解析 ～バイポーラ劣化現象の物理的起源の解明～

Atomic & electronic structures of basal plane dislocation (BPD) in 4H-SiC
~Atomistic origin of bipolar degradation of SiC devices~

佐野 雅季¹, 小島 淳², 恩田 正一², 依田 孝³, 大場 隆之³, 押山 淳², 白石 賢二^{1,2}

¹名古屋大学大学院 工学研究科 〒466-8603 愛知県名古屋市千種区不老町

²名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

³東京工業大学 WOW Alliance 〒226-8503 神奈川県横浜市緑区長津田町 4259

Masaki Sano¹, Jun Kojima², Shoichi Onda², Takashi Yoda³, Takayuki Ohba³,
Jun Oshiyama² and Kenji Shiraishi^{1,2}

¹ Graduate School of Engineering, Nagoya University, Nagoya, Aichi 464-8603, Japan

² Institute of Materials and Systems for Sustainability, Nagoya University, Nagoya, Aichi, 464-8601, Japan.

³ WOW Alliance, Tokyo Institute of Technology, 4259 Nagatsuta, Midori-ku, Yokohama, 226-8503, Japan

*E-mail: sano.masaki.k7@s.mail.nagoya-u.ac.jp

Abstract

Basal plane dislocations (BPDs) consisting of a pair of partial dislocations (PDs) with Shockley-type stacking faults (SFs) between them, are suspected to cause the bipolar degradation (forward voltage degradation), thus leading to the degradation of SiC-based electron devices. However, the microscopic reason for the bipolar degradation has not been fully understood yet. In this study, we theoretically investigated the atomic and electronic structures of BPDs by using first-principles calculations based on the density-functional theory (DFT) and clarified the atomistic origin of bipolar degradation in SiC devices. As a result, we found that under the positive charge state Si-Si reconstruction bond (Si core), one of the partial dislocations, breaks and generates Si dangling bonds which may contribute to the expansion of stacking faults.

1. 背景・研究目的

SiC (Silicon Carbide)は、その優れた特性から Si (Silicon) に代わる半導体材料として注目を集めている物質の一つである。SiC はワイドバンドギャップ半導体であるとともに、Si と比較して熱伝導率や絶縁破壊電界強度、電子飽和速度において優れた特性を有している[1]。そのため SiC を用いてデバイスを作製することで、Si を用いたデバイスでは実現し得なかった高速動作・高温動作・高耐圧なデバイスが実現可能である。特に SiC は絶縁破壊電界強度に優れている点から高耐圧/大電流向けのデバイスへの利用が期待されており、一部製品化や実用化が進んでいる。しかし SiC デバイスを製造する過程で様々な技術的課題があり、高品質化や信頼性の向上が大きな課題として挙げられる。その中でも特に僅かな結晶成長条件の違いによって生じる結晶欠陥が SiC デバイスの特

性を著しく低下させている。そのため SiC 単結晶中における結晶欠陥の低減が求められている。

SiC に発生する主要な結晶欠陥の一つとして基底面転位 (Basal Plane Dislocation: BPD)が挙げられる。BPD はバーガースベクトルが $b = a/3[11\bar{2}0]$ の基底面内に存在する転位のことである。基板に発生した BPD の大半は Fig. 1(c)に示すように SiC のエピタキシャル成長中に基板/エピ膜の界面においてでデバイスへの影響が少ない貫通刃状転位 (Threading Edge Dislocation: TED)に変換される。しかし一部の BPD は基板からエピ膜へと伝播されるとともに、僅かなエネルギーで 2本の部分転位 (Partial Dislocation: PD)とその間に積層欠陥 (Stacking faults: SF)を伴う拡張転位に分解されてしまう。さらに BPD の分解により形成された積層欠陥は通電により拡張し、オン動作時の抵抗値が増大するバイポーラ劣化現象を引き起こすと報告されている[2]。Fig. 1(a)と(b)のように

取得された SiC の pn ダイオードに順方向電流を加えた前後の画像から、BPD による転位が三角形状に拡張することで、拡張された箇所が高抵抗になりキャリアの伝導を阻害している様子が見取れる[3]。以上の背景から SiC デバイスにおいて BPD の低減は重要な技術的課題であり、BPD に関係する研究は精力的に進められてきた。最近の研究では BPD の構造を評価する研究[4]やバイポーラ劣化現象を抑制する研究が報告されている[5]。しかしバイポーラ劣化現象の原因となる BPD の電子状態を詳細に解析した研究は未だ十分に行われてきておらず、その物理的起源は明らかになっていない。BPD の転位による拡張を防ぎ、バイポーラ劣化現象を抑制するためには、BPD の電子状態の解析結果から得られる知見がとても重要である。したがって本研究では、密度汎関数理論 (DFT) に基づく第一原理計算により拡張転位に分解された BPD の電子構造を解析することで、バイポーラ劣化現象の物理的起源を明らかにすることを目的に研究を行った。

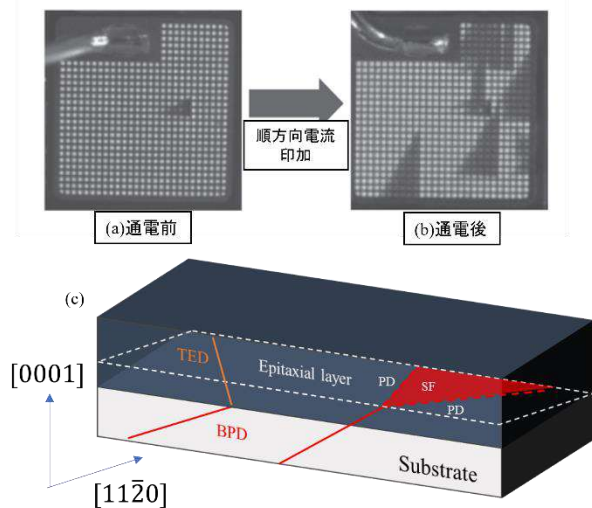


Fig. 1. Electroluminescent images of pn diodes in SiC (a) before and (b) after energization [3]. (c) Schematic diagram representing the expansion of Stacking faults (SF) generated from BPD which has propagated to the epitaxial layer. The dashed line represents the basal plane.

2. 計算モデル・計算手法

4H-SiC の BPD の電子状態を解明するために、BPD を含んだ 4H-SiC の原子モデルを作製した。まず初めに、スーパーセル内に Si 原子と C 原子合わせて 384 原子含まれる 4H-SiC 完全結晶 (Perfect モデルと称する) の四角柱モデルを初期原子モデルとして用意した。BPD のバーガスベクトルは一般的に $a/3[11\bar{2}0]$ で表現されるが、Fig. 1(c) に示すように BPD は僅かなエネルギーで 2 本の部分転位とその間に積層欠陥を伴う拡張転位に分解される。拡張転位に分解された BPD の構造を再現するために、BPD の分解を表現したバーガスベクトルの一種である $a/3[10\bar{1}0]$ と $a/3[01\bar{1}0]$ に沿ってすべりを初期原子モデルに加え、各原子に加わる力の大きさが $5 \times 10^{-3} [\text{eV}/\text{\AA}]$ を下回るように構造最適化計算を実行した。本研究で得られた BPD を含んだ 4H-SiC モデルを Fig. 2 と Fig. 3 に示す。

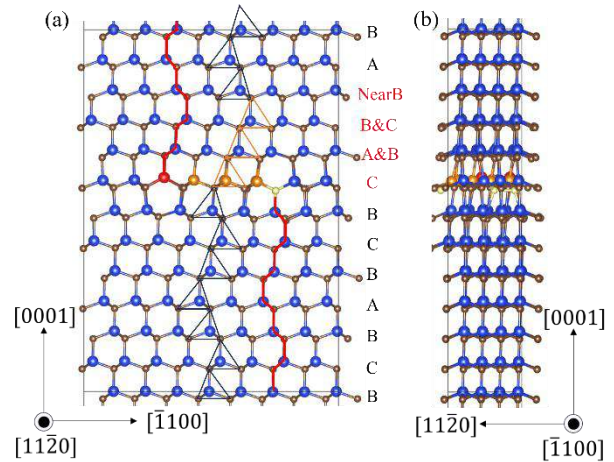


Fig. 2. (a) Side view from $[11\bar{2}0]$ and (b) Side view from $[\bar{1}100]$ of the 4H-SiC model which includes BPD. Blue and brown balls represent Si and C atoms, respectively.

本研究では、構造最適計算により得られた構造に対してその安定な荷電状態を評価するために、計算モデルの荷電状態 ($q=-2, 0, +2$) を変化させたうえで構造最適化計算も行い、その結果に基づいて安定な荷電状態を評価した。本計算ではモデルに対して 3 次元の周期的境界条件を課したうえで計算を実行している。またモデルに対する構造最

適化計算と電子状態の計算は、密度汎関数理論 (DFT) に基づく第一原理計算コードである Vienna Ab initio Simulation Package (VASP)[6]を使用している。そして構造最適化計算には GGA-PBE 交換相関汎関数[7]、電子状態の計算には HSE 交換相関汎関数[8]を使用している。HSE 計算における混合パラメータ、短距離相互作用パラメータは、SiC のバンドギャップ値である 3.26[eV]を再現する値として、それぞれ 0.30, 0.2[Å⁻¹]を採用した。

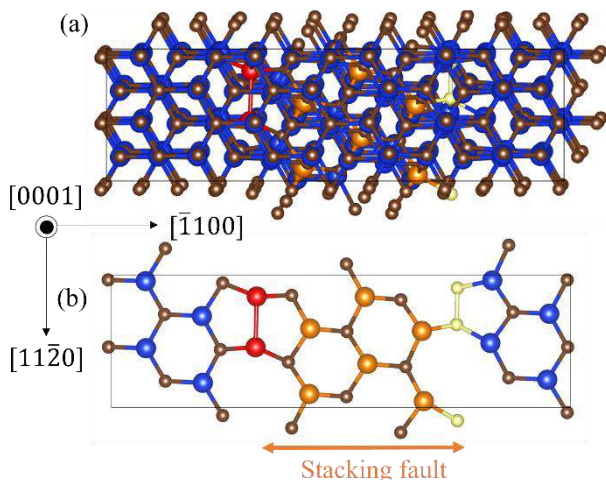


Fig. 3 (a) and (b) Top views of the 4H-SiC model which includes BPD. ((b) shows the layer with generated stacking fault). Blue and brown balls represent Si and C atoms, respectively.

本研究で得られた計算モデル (BPD モデルと称する) の特徴的な構造に関して説明する。構造最適化計算後、BPD モデルには三つの特徴的な構造が現れた。一つ目の特徴的な構造は Fig. 2(a)の赤線で示めすように、[0001]と[000 $\bar{1}$]の二方向に挿入された余剰半面 (Extra half plane)である。これらの余剰半面の始端や終端に着目すると、これらの余剰半面が積層欠陥 (Stacking fault)の両端を発端として挿入されていることが分かる。二つ目の特徴的な構造は、積層欠陥が導入された層を境に変化した積層構造である (Fig. 2(a)において変化した積層構造は、橙色の三角形に対応している)。通常の 4H-SiC では単位胞内において積層方向に 4つの Si-C 層が含まれるが、BPD が形成されたこ

とによりその積層構造が崩れ、3C と類似した構造が形成されていることが分かる。これらの結果は、先行研究[4]により報告された評価結果と類似している。三つ目の特徴的な構造は Fig. 3 (b)に示すように、積層欠陥形成層に形成された二種類の新たな共有結合である。一方は Si-Si 結合 (Fig. 3(b)において赤色の原子同士の結合)であり、もう一方は C-C 結合 (Fig. 3(b)において黄色の原子同士の結合)であることが分かる。これらの共有結合は転位線 ([1120])方向に沿って形成されており、それぞれ Si core、C core と呼ばれている。以上三つの特徴的な構造が、本研究のモデルでは得られた。本研究では得られた BPD モデルを用いて BPD の電子構造を解析している。

3. 電子構造解析 (中性状態)

まず始めに今回作製した BPD モデルのバンド構造を解析した。解析したバンド構造の結果を Fig. 4 に示す。こちらの結果はスーパーセルのバンド構造を解析した結果であるため、ブリルアンゾーン内のバンド数が増加していることに注意する。

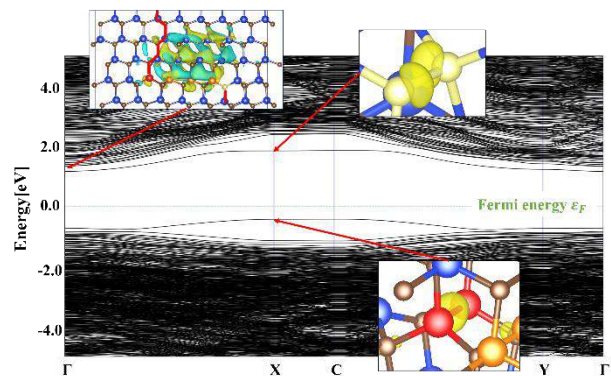


Fig. 4. Band structure along the basal plane. The shaded area represents the background of SiC bulk bands. The figures represent the wavefunction at Γ point and electronic density at X point which correspond to the defect levels, respectively.

バンド構造を解析した結果、 Γ 点や X 点において価電子帯・伝導帯の両帯付近のギャップ中に欠陥準位が誘起されていることが確認された。これらの欠陥準位に対応する波動関数・電子密度を可視化したところ、伝導帯近傍の欠陥準位は積層欠

陥の形成により積層構造が変化した箇所に局在する floating state であることが判明した。そして価電子帯近傍の欠陥準位は Si-Si 結合 (Si core) に由来するものと判明した。これらの準位や特徴的な波動関数・電子密度は Perfect モデルでは見られず、BPD の欠陥構造により誘起された準位だと考察される。特に Si core に由来する価電子帯近傍の欠陥準位は、フェルミエネルギーよりエネルギー的に低い位置にある占有軌道であることから、ホールをトラップする準位として機能すると考察している。

続いて Perfect モデルと BPD モデルにおける電子構造の違いを把握するために、二つのモデルにおいて BPD の欠陥構造の状態密度を射影した局所状態密度 (LDOS) を比較した。解析した局所状態密度の結果を Fig. 5 に示す。二つのモデルの状態密度を高い精度で比較するために、両者のエネルギー差を転位の影響が小さい原子の内殻準位 (C の 2s 軌道) を用いて定義した[8]。状態密度を解析した結果、BPD の Si core はギャップ中の価電子帯近傍に大きな状態密度を有しており、C core は伝導帯中に大きな状態密度を有していることが確認された。そして積層欠陥はギャップ中の伝導帯近傍に状態密度を有していることが確認された。

この結果より積層欠陥と変化した積層構造に由来する欠陥準位が伝導帯近傍に形成されている

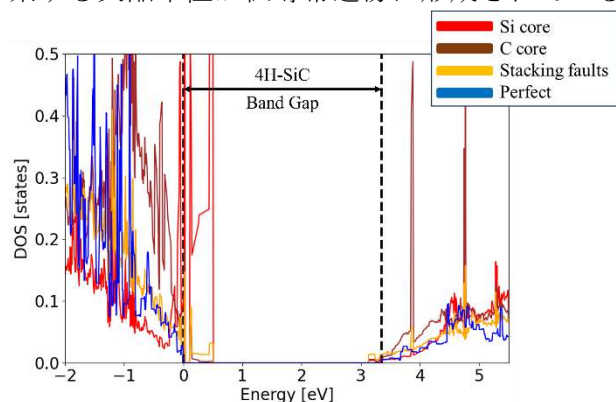


Fig. 5. The local density of states focusing on characteristic structures of BPD model, such as Si core and differed stacking sequence. The density of states is depicted with the valence band maximum of the perfect 4H-SiC as the energy reference.

ことが示された。こちらの欠陥準位は、Perfect モデルの伝導帯下端よりエネルギー的に低い位置にあるとともに、非占有の準位であることから電子をトラップする準位として機能すると考察した。特にバイポーラ劣化現象は、キャリアがトラップされることで BPD 近傍が高抵抗層になることが原因である。そのため電子をトラップする準位として機能する可能性のある積層欠陥由来の欠陥準位をバイポーラ劣化現象の物理的な起源だと我々は考察している。

4. 電子構造解析 (荷電状態安定性)

前節の結果と考察により、4H-SiC に BPD が形成されると Si core に由来するホールトラップ準位と積層欠陥に由来する電子トラップ準位が形成される可能性が示唆された。また先行研究[5]により、BPD の積層欠陥の拡張が BPD に到達するホール密度を減少させることにより抑制されると報告されている。これらの結果より、BPD に由来する積層欠陥の拡張はホールと深い関係にあることが推測される。したがってバイポーラ劣化現象と関連のある積層欠陥の拡張の物理的起源を解明するために、様々な荷電状態の BPD モデルを作製し、その構造変化や荷電状態の安定性について考察を行った。

先ず初めに、各荷電状態における構造の比較を行った。本研究では BPD モデルの電子数を増減させて構造最適化計算を実行することで、各荷電状態 ($q = \pm 2$) における構造を作製した。構造最適化計算の結果、BPD モデルの電子数を増加させた状態 ($q = -2$) では構造に大きな変化は見られなかった。反して BPD の電子数を減らした状態 ($q = +2$) では、Fig. 5 に示すように Si core の Si-Si 結合が切断され、Si core において Si ダングリングボンドの形成が確認された。

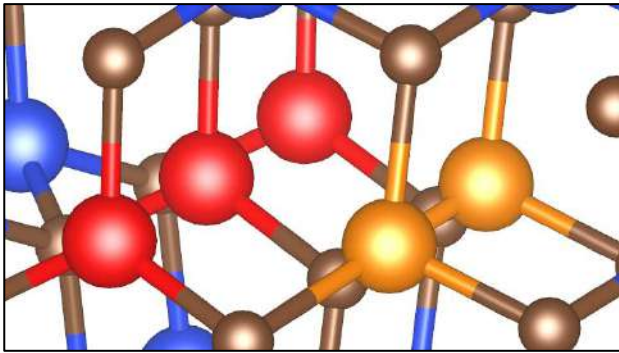


Fig. 6. 4H-SiC model which includes BPD in the positively charged state focusing on the Si core atoms represented in red. By breaking the Si-Si bond, the Si dangling bond is formed.

最後に荷電状態を変化させた際の BPD モデルの電子構造を解析した。荷電状態を変化させた前後のX点におけるエネルギー準位の解析結果を Fig. 7 に示している。前節のバンド構造の解析結果 (Fig. 4) より、主に Γ 点とX点において BPD に由来する欠陥準位が形成されていることが確認された。そのため本研究では、主に Γ 点とX点における荷電状態を変化させた際の BPD モデルの電子構造を解析した。

Fig. 7 では、Si core に由来する欠陥準位の形成が確認されたX点における荷電状態を変化させた前後のエネルギー準位の解析結果を示している。電荷中性状態 (Fig. 7(a)) は、Fig. 4 同様に Si core

に由来する電子占有された欠陥準位が価電子帯近傍のギャップ中に形成されていることが確認される。そして電荷正状態では (Fig. 7(b))、Si core を形成していた Si-Si 結合が切断され、Si ダングリングボンドが形成されたことにより、Si ダングリングボンドに由来する深い欠陥準位がギャップ中に形成されることが確認された。そして対応する欠陥準位は電子を占有していないため、今度は電子をトラップする準位として機能すると考察される。

これらの結果を用いて積層欠陥拡張の起源を考察する。4H-SiC に BPD が形成されると、Fig. 2 で示すように同一層内に Si-Si 結合 (Si core) が形成される。そしてこの Si core に由来する欠陥準位が価電子帯近傍に現れており、ホールをトラップする準位として機能すると推測される。加えて Si core の Si-Si 結合は C core の C-C 結合と比較して弱く、Fig. 6 に示すように正電荷が蓄積されることで容易に切断される。これらの結果と先行研究の報告結果[5]より、積層欠陥の拡張は BPD に到達したホールが Si core 由来の欠陥準位に捕獲され、Si core の Si-Si 結合が切断されることで拡張が促進される状況が考えられる。

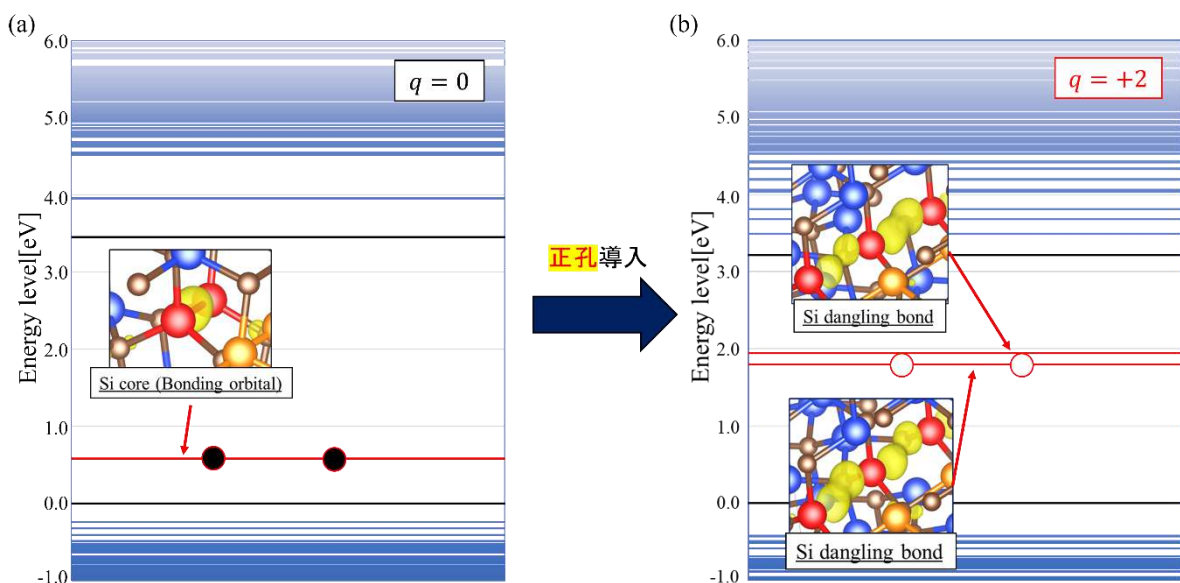


Fig. 7. Result of the Energy levels and electronic density at X point ((a) Neutral state, (b) Positively charged state). The black energy levels represent the edge of the conduction band and valence band. The figures represent the electronic density which corresponds to the defect levels drawn with a red line. The yellow circle represents the electron and the red circle represents the hole.

5. 結論・今後の展望

本研究では、密度汎関数理論に基づく第一原理計算を用いて、SiC に発生する主要な結晶欠陥の一つである BPD (基底面転位) の電子構造を解析し、バイポーラ劣化現象の物理的起源を考察した。初めに BPD の電子構造を解析するために、第一原理計算を用いて BPD を含んだ 4H-SiC モデルを製作した。得られた構造の電子構造を解析した結果、BPD 特有の欠陥構造により誘起された欠陥準位が価電子帯・伝導帯の両帯近傍のギャップ中に形成されていることが確認された。

続いて BPD モデルの荷電状態を変化させた場合の構造変化を解析した。その結果、電荷正状態に置いて Si core を構成する Si-Si 結合が切断され、Si ダングリングボンドが形成されることが確認された。そしてその構造変化により、Si core に由来する価電子帯近傍に形成された欠陥準位が、Si ダングリングボンドに由来するギャップ中の深い欠陥準位に変化することが確認された。積層欠陥の拡張は部分転位 (Si core と C core) のどちらかを起点として拡張すると考えられるため、今回の結果から Si core を起点に積層欠陥が拡張することが示唆された。

謝辞

本研究は、文部科学省「富岳」成果創出加速プログラム「省エネルギー次世代半導体デバイス開発のための量子論マルチシミュレーション」(ID: JPMXP1020200205) の助成を受けたものである。また本研究では、東京大学物性研究所、自然科学研究機構計算科学研究センターの計算資源を利用した。

参考文献

- [1] T. Kimoto and J. A. Cooper, Fundamentals of Silicon Carbide Technology (John Wiley and Sons, Singapore, 2014).
- [2] T. Kimoto, Jpn. J. Appl. Phys. 54, 0040103(2015).
- [3] M. Furukawa, Toshiba Review, vol. 75 No. 6
- [4] T. Sato, Phd. Thesis (2019).
- [5] T. Tawara et.al., Fuji Denki Review, vol.90 No.4 (2017).
- [6] G. Kresse and D. Joubert, Phys. Rev. B 59, 1758 (1999).
- [7] P. E. Blochl, Phys. Rev. B 50, 17953 (1994).
- [8] J. P. Perdew et. al., Phys. Rev. Lett. 77, 3865 (1996).
- [9] Z. Zhang et. al, Apply. Phys. Lett. 114, 161601 (2019).

SiO₂ ダミープロセスを用いた c 及び m 面の GaN/Al₂O₃/Pt キャパシタの PBS 特性の改善

Improvement of PBS properties for c- and m-planes GaN/Al₂O₃/Pt capacitors using the SiO₂ dummy process

生田目 俊秀¹ 澤田 朋実¹ 色川 芳宏¹ 宮本 真奈美¹ 三浦 博美¹
小出 康夫¹ 塚越 一仁¹

1 国立研究開発法人 物質・材料研究機構
〒305-0044 茨城県つくば市並木 1-1

Toshihide Nabatame¹, Tomomi Sawada¹, Yoshihiro Irokawa¹, Manami Miyamoto¹, Hiromi Miura¹,
Yasuo Koide¹, and Kazuhito Tsukagoshi¹

1 National Institute for Materials Science (NIMS), 1-1 Tsukuba, Ibaraki 305-0044, Japan.

Tel: + 81-29-860-4915 (e-mail : NABATAME.Toshihide@nims.go.jp)

Abstract

We tried to modify the GaN surface using a dummy SiO₂ layer and annealing process. The surface of both c- and m-GaN substrates was modified by the SiO₂ dummy process at 800°C. The modified c- and m-planes n-GaN/Al₂O₃/Pt capacitors exhibited superior characteristics such as a low D_{it} and high reliability under PBS. This is thought to be due to a very small amount of Ga diffusion from the unstable layer and additional Ga₂O₃ growth on the surface on GaN.

1. はじめに

トレンチ構造の縦型 GaN パワーデバイスでは、側壁は m 面 GaN となり、従来の c 面 GaN に加えて、その電気特性を把握する事は重要である。これまで、c 面の n-GaN/Al₂O₃ キャパシタでは、キャパシタ作製プロセスの最高温度である 300 °C の後熱処理 (Post-metallization-annealing : PMA) 前後で、C-V 特性の周波数依存性及びフラットバンド電圧(V_{fb})のヒステリシスが劇的に改善される事が報告されている[1, 2]。この要因として、GaN 表面の Ga 及び N 原子が再配列されるモデルが提案されている[2]。また、我々の先行研究で、GaN/SiO₂ 界面に、ε相或いは γ相の Ga₂O₃ 層がエピタキシャル的に成長している事を見出した[3]。更に、n-及び p-GaN 基板表面には、自然酸化膜が形成されている事が分かった[4]。これらの結果を踏まえて、我々は、GaN 最表面の不安定性は、Ga₂O₃ 層が関与していると考えた。

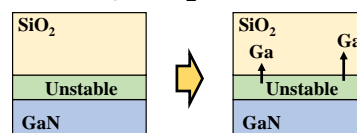
そこで、本研究では、SiO₂ 膜で GaN 表面を覆った後に 800°C 熱処理する事 (SiO₂ ダミープロセス) で、GaN 表面の改質を検討した。そして、GaN 最表面を改質した c 及び m 面の n-GaN/Al₂O₃/Pt キャパシタの Positive-bias-stress

(PBS)特性を調べて、SiO₂ ダミープロセスの有効性について議論した結果を報告する。

2. 実験条件

本研究の目的である SiO₂ ダミープロセスのフロー模式図を図 1 に示す。図 1(a) 先ず、Unstable な表面層を含む c 及び m 面の n-GaN エピ基板は、SPM/BHF 溶液で洗浄した後に、300°C の PE-ALD 法で 5nm 膜厚の SiO₂ ダミー膜を GaN エピ基板の上に成膜した。図 1(b) 続いて、

(a) Dummy SiO₂ (b) Annealing



(c) Dummy SiO₂ removal

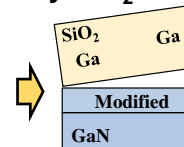


Figure 1. Schematics of SiO₂ dummy process.

800°Cで熱処理した。図1(c)最後に、SiO₂ダミー膜は除去して、Unstable層はModified層へ改善させた。300°CのALD法で膜厚10nmのAl₂O₃絶縁膜を成膜した後に、Al₂O₃膜上へPtゲート電極及びGaN裏面にTi/Ptオーミック電極を形成して、MOSキャパシタを作製した。最後に、PMA300°Cを実施した(D-c-AlO, D-m-AlO)。リファレンスとして、c及びm面のn-GaNエピ基板を直接、800°Cで熱処理した後に、同じプロセスでAl₂O₃キャパシタを作製した(c-AlO, m-AlO)。

3. 結果

全てのキャパシタのAl₂O₃絶縁膜はアモルファス構造であり、スイープ電圧が2.5MVcm⁻¹までC-Vヒステリシスは認められなかった。図2に、界面準位密度(D_{it})とコンダクションバンド端からの電界(E_c-E)の関係を示す。D_{it}はコンダクタンス法より求めた。c-AlOキャパシタが最も大きなD_{it}特性を示し、E_c-E = 0.4eVで、>10¹²cm⁻²eV⁻¹の値であった。一方、D-c-AlO及びD-m-AlOキャパシタのD_{it}は、E_c-E = 0.4eVで、2.5×10¹¹cm⁻²eV⁻¹の小さな値を示した。これは、SiO₂ダミープロセスによってn-GaN/Al₂O₃界面が改善できたためと考えられる。

次に、信頼性評価として、PBS測定を実施した。バイアス電圧を2.0, 2.5, 3.0, 3.5及び4.0Vとして、ストレス時間を0~300sと変えた。全てのキャパシタは、いずれのバイアス電圧(V-V_{fb})でもストレス時間が長くなるに従って正のV_{fb}シフトを示した。また、バイアス電圧が大きくなるに従って、正のV_{fb}シフトは増大した。ストレス時間300sにおけるV_{fb}シフト値とバイアス電圧の関係を示す。バイアス電圧によってV_{fb}シフトの傾向は大きく変わるが、2.5Vまでは全てのキャパシタのV_{fb}シフト値が約0.1Vと非常に小さかった。しかし、バイアス電圧が3.0V以上に大きくなると、c-AlO及びm-AlOキャパシタのV_{fb}シフトは急激に増大する傾向を示した。一方、D-c-AlO及びD-m-AlOキャパシタはV_{fb}シフトを各々約0.2V及び0.3Vと顕著に抑制でき、SiO₂ダミープロセスの効果が認められた。バイアス電圧が4.0VにおけるV_{fb}シフト値は次の順となった。

D-c-AlO < D-m-AlO << m-AlO < c-AlO

c-AlO及びm-AlOキャパシタでは、n-GaN基板の800°C熱処理によって、Ga-N結合の分解に伴う電気的な欠陥が生成したためと考えられる。一方、SiO₂ダミープロセスで作製したD-c-AlOキャパシタをXPS分析した結果、GaN最表面にGa₂O₃膜が新たに形成されている事が分かった。これより、800°CのSiO₂ダミープロセスでは、GaN表面の不安定なGa原子はSiO₂膜へ拡散して除去され、新たにGaN表面でGa₂O₃膜が形成された事がPBS特性の向上に繋がったと

考えられる。

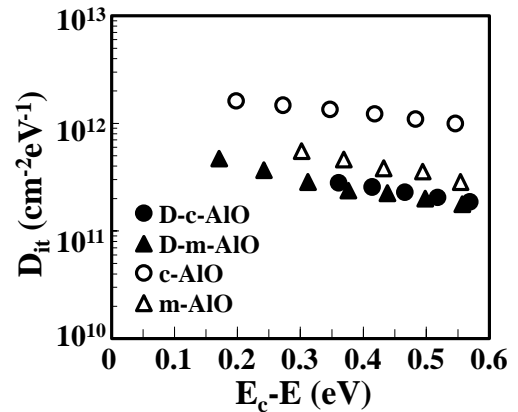


Figure 2. D_{it} energy distributions for all capacitors.

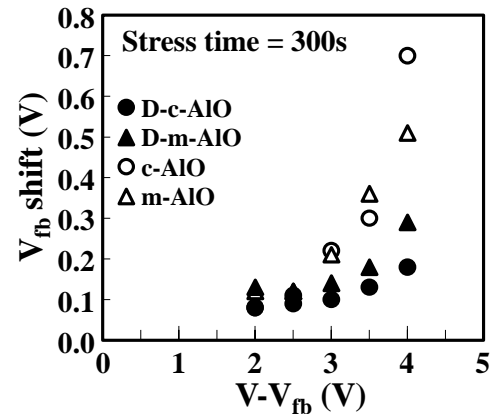


Figure 3. V_{fb} shift as a function of V-V_{fb} for all capacitors under PBS at 300s.

4. まとめ

SiO₂ダミープロセスによるGaN最表面の改質とその電気特性への効果について調べた。SiO₂ダミープロセスで作製したキャパシタは、c及びm面n-GaN共に、D_{it}特性及び信頼性のPBS特性が改善できる事が分かった。

本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777の助成及びJSPS 科研費 (JP20H02189) によってサポートされたものです。

References

- [1] K. Yuge et al., *Semicond. Sci. Technol.* **34**, 034001 (2019).
- [2] T. Hashizume et al., *Appl. Phys. Express* **11**, 124102 (2018).
- [3] K. Mitsuishi et al., *Jpn. J. Appl. Phys.* **56**, 110312 (2017).
- [4] Y. Irokawa et al., *Jpn. J. Appl. Phys.* **57**, 098003 (2018).

C 軸配向 AlScN を用いた固相成長ポリシリコンチャンネルの結晶制御

Control of Crystallinity of Solid-Phase Crystallized Poly-Si Thin Films using AlScN

野秋 元¹ 堤 智也¹ 桐原 芳治¹ 岡崎 樹¹ 石川 亮佑¹, 角嶋 邦之², 三谷 祐一郎¹

1 東京都市大学 〒158-8557 東京都 世田谷区 玉堤 1-28-1

2 東京工業大学 〒226-0026 神奈川県 横浜市 緑区長津田町 4259

Hajime Noaki¹, Tomoya Tsutsumi¹, Yoshiharu Kirihara¹, Tatsuki Okazaki¹, Ishikawa Ryouyuke¹
Kuniyuki Kakushima², Yuichiro Mitani¹

1 Tokyo City University, 158-8557 Setagaya- Tamatsuzumi, Tokyo 1-28-1, Japan

2 Tokyo Institute of University, 226-0026 Yokohama-Midori-Nagatsutacho, Kanagawa 4259, Japan

Abstract

In recent years, with the development of an advanced information society, the volume of information and data has exploded and the demand for high-speed, large-capacity storage to store such information and data has increased. In this study, we envision the application of AlScN-based ferroelectric transistors to 3D flash memory structures.

In the current 3D flash memory structure, a poly-Si thin film is used for the channel that serves as the bit line, and one of the issues is conductance degradation due to high layering caused by crystal grain boundaries and defects. To solve this problem, highly oriented polysilicon channels are expected to be fabricated by utilizing the stable wurtzite structure of AlScN and inheriting the C-axis orientation of AlScN during solid phase growth of the silicon thin film that serves as the channel. In this study, we attempted to form highly oriented silicon using AlScN.

1. はじめに

近年、高度情報化社会の発展に伴い情報・データの生成量は爆発的に増加しており[1]それらを保存する目的で高速大容量のストレージの需要が高まっている。そのなかで、次世代不揮発性メモリとして強誘電体を用いた強誘電体メモリが注目されている。そこで本研究では、Fig.1 のような AlScN からなる強誘電体トランジスタ (FeFET) を 3次元フラッシュメモリ構造に適用した構造を想定する。

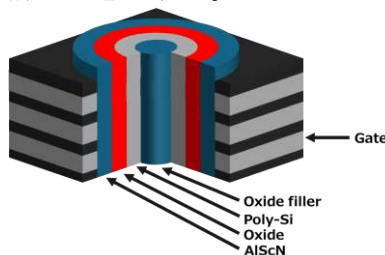


Fig1. AlScN 3D FeFET

AlScN は低温でも安定なウルツ鉱型構造であり分極方向の制御が容易であること、残留分極

の値が大きいこと、また膜厚 10nm 以下の薄膜でも強誘電性が確認されているなど新たな強誘電体材料としての可能性が示されている[2, 3]。

一方で現行の 3次元フラッシュメモリ構造ではビット線となるチャンネルにポリシリコン薄膜が用いられ、結晶粒界や欠陥により高積層化によるコンダクタンスの低下が課題の一つとなっている[4, 5]。この課題を解決する方法として単結晶化[6]や大粒径化[7]が研究されているが単結晶化は気相エピタキシャル成長や Metal-Induced Lateral crystallization (MILC) は工程が複雑になること、また大粒径化はメモリセルによって結晶粒界の数や位置が変わる為ばらつきが増大することなどの課題がある。そこで、高配向性ポリシリコン技術に着目した。高配向性ポリシリコンは薄膜トランジスタ (Thin-film Transistors: TFTs) の性能向上を目的として、エキシマレーザを用いた固相成長技術として検討されていた技術である[8, 9]。本研究では、AlScN の安定なウルツ鉱型構造であることを利用し、チャンネルとなるシリコン薄膜の固

相成長時に AlScN の C 軸配向性を引き継いでポリシリコンチャンネルの膜質を向上することができれば高積層化時のコンダクタンス低下を改善できると期待される。しかし、AlScN 上に直接ポリシリコンを製膜しただけでは結晶系の違いにより界面に欠陥が生まれ結晶性も引き継がれず、目的である膜質の向上も望めないと考えた。そこで着目したのが窒化アルミニウム (AlN) の表面を熱酸化することで結晶性を引き継いだ γ -Al₂O₃ を製膜することが可能であるという過去の報告[10]と γ -Al₂O₃ 上にシリコンを成膜することにより配向が制御されたシリコン薄膜が得られるという報告である。AlN は AlScN と非常に近い構造を持つため本研究では上記の二つの技術を AlScN に応用し、結晶格子をシームレスに積層しポリシリコンの膜質向上を試みた。

2. 実験条件

測定用試料は以下の手順で作製した。n⁺シリコン基板の上に TiN を RF スパッタにて Ar:N₂=4:6 の割合で膜厚 10nm 堆積した。その後 C 軸配向した AlScN を DC スパッタにて Ar:N₂=5:10 の割合、400°C で膜厚 50nm 堆積、その表面を酸素雰囲気中にて 800°C、700°C、600°C の温度条件で 60min の間熱酸化を行った。その上にプラズマ CVD にて非晶質シリコンを成膜後、600° 90min の条件で結晶化の為の熱処理を行うことで固相成長ポリシリコンを作製した。作製した試料構造を Fig.2 プロセスフローを Fig.3 に示す。



Fig.2 Si/AlScON structure used in this work.

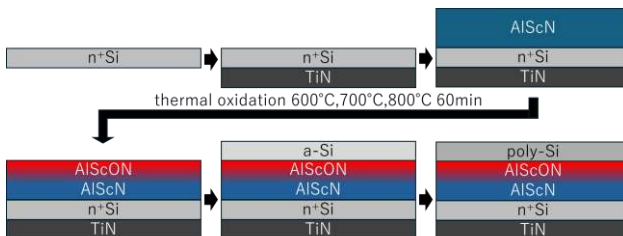


Fig.3 Si/AlScON structure process flow.

上記のプロセスで作製した試料について、ラマン分光法、X線回折 (XRD), X線光電子分光

法 (XPS) による結晶性や結合状態の計測を行うことで熱酸化による AlScN の結晶性の変化と AlScON がポリシリコンに与える影響を検討した。

3. 結果

Fig.4(a)に 800°C、700°C、600°C の熱酸化条件で作成した poly-Si/AlScON/AlScN からなるサンプル表面を Raman 分光法で測定した結果を示す。550cm⁻¹ 付近のピークが Si、50cm⁻¹ 付近のピークが AlScN を示している。600°C、700°C と比較して 800°C におけるポリシリコンのピークの強度が高くなっていることが確認できる。

Fig.4(b)に 800°C、700°C、600°C の温度条件における (1) Si ピーク (520cm⁻¹) の最大値, (2) AlScN ピーク (70cm⁻¹) の最大値, (3) Si ピークの最大値と AlScN ピークの比を示す。(1)(2)では左軸の強度, (3)では右軸の強度比を基準とする。Si ピークと AlScN ピークの比を見た時、800°C 酸化時のみ 2 倍以上に強度が増加していることが分かる。このポリシリコンの膜質の変化はポリシリコンの下地となる AlScN 膜の高温熱酸化によって形成された AlScON がシリコン薄膜の固相成長時に影響を与えたと考えられる。

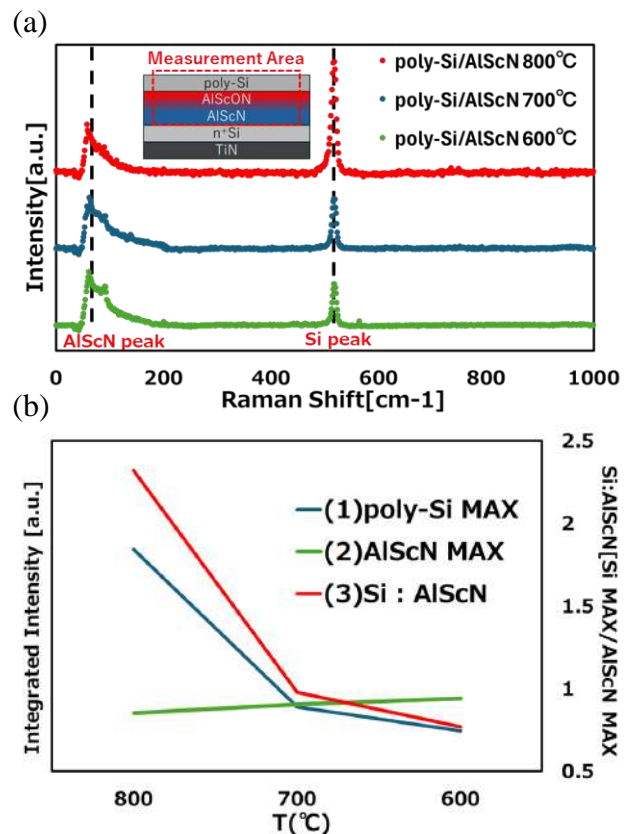


Fig.4 Effect of thermal oxidation on orientation of poly-Si

(a) Raman Shift (b) Si/AlScN ratio

Raman 分光法による測定によりポリシリコンの結晶性の変調を確認できた為、次に下地となる AlScON の結晶性を XRD にて測定を行った。

Fig.5(a)に 800°C、700°C、600°Cの熱酸化条件で作成した AlScON/AlScN からなるサンプル表面を XRD で θ -2 θ 測定した結果を示す。

Fig.5(b)では 30°から 40°, (c)では 50°から 60°, (d)では 60°から 70°の θ -2 θ 測定結果を示している。37°、56°、65°付近のピークが C 軸配向 AlScN を示している。熱酸化前で見えていたこれらのピークは、600°C熱酸化で強度が著しく低下し、その後再びそれぞれのピークが観測される傾向が見られた。これは、600°C熱酸化で形成される AlScN 表面の C 軸配向性が崩れることを意味している。しかし、700°C、800°C熱酸化では再び C 軸配向性が出現することから、高温酸化と低温酸化で表面近傍の結晶状態が変化していることを示している。

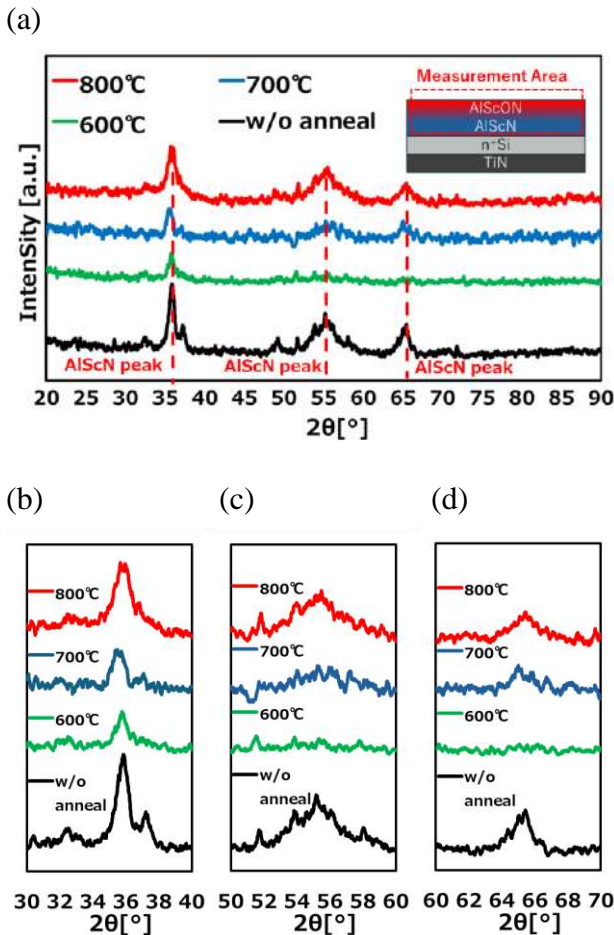


Fig.5 Effect of thermal oxidation on crystallinity of AlScON
(a)20-90 (b)30-40 (c)50-60 (d)60-70

次に、このような AlScN 層に対して、固相成

長したポリシリコン薄膜の結晶性を XRD にて測定した。

Fig.6 に、800°C、700°C、600°Cで熱酸化した AlScON 上に製膜したポリシリコン、未酸化の AlScN 上に製膜したポリシリコンを XRD で θ -2 θ 測定した結果を示す。27°のピークがランダム配向ポリシリコンに見られる Si(111)、69°のピークが Si(004)を示している。Fig.5 で示した結果では、600°C酸化で AlScN の C 軸配向性が乱れ、700°C以上で再発限していたが、その表面上で固相成長したポリシリコンは、600°C、700°Cともにランダム配向していることがわかる。また未酸化、700°Cで酸化しているサンプルでは確認できていない Si(004)ピークが 800°Cで熱酸化させたサンプルでのみ観測された。つまりこれは AlScN が高温で熱酸化されたときのみ発現する現象であることから、800°C酸化で AlScN 表面に γ -Al₂O₃に近い構造を持つ酸化膜が形成され、ポリシリコンの配向に影響を与えたためではないかと考えられる。しかし一方で完全な配向性は得られていないことから酸化の最適化によって γ -Al₂O₃に近い構造を持つ AlScON の形成は必要である。

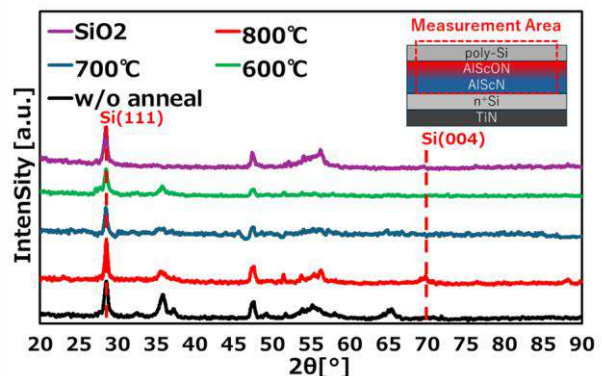


Fig.6 Effect of thermal oxidation on crystallinity of poly-Si

最後に熱酸化によって AlScN の変化や、それに伴う固相成長後のポリシリコンの結晶性の変化の原因を調べるために、XPS による AlScN 膜の結合状態の測定を行った。

Fig.7 に 800°C、700°C、600°Cで熱酸化した AlScON/AlScN からなるサンプル表面の O1s と N1s の角度分解解析結果を示す。Fig.7(a)は O1s に対する全体の比、(b)は N1s に対する全体の比(c)は O1s に対する N1s の比を示している。

Fig. 7(a)からいずれの酸化条件においても表面側から酸化が進行していること、酸化温度が高くなるにつれて表面及び膜中の酸化が進んでいることが分かる。また、Fig. 7(b) から酸化によって表面近傍の窒素量が減少し、さらに酸化温度が高くなるにつれて表面及び膜中の窒素量が少なくなっていくことが分かる。さらに

O1s と N1s の比を取ると、Fig. 7(c)に示すように 800°C、700°C条件の時は、温度と共に表面近傍、膜中ともに単調に強度比 (O1s/N1s) が上昇しているのに対して、未酸化と 600°Cの時はほとんど変化がない。このことから AlScN は 600°C 以下で熱酸化した場合、表面近傍のみの酸化するが自然酸化に近い酸化量程度であることを示す。しかし、Fig.5 で示したように 600°C熱酸化では AlScN の C 軸配向性を示す回折ピーク強度が減少したことから、AlScN の表面酸化時に Sc が優先的に酸化し [11] AlScN の配向性が崩れ、結果として Fig.6 に示すようにシリコン薄膜の固相成長後は結晶性の引き継ぎがなされずランダム配向になったのではないかと考えられる。一方、700°Cや 800°Cで熱酸化したサンプルでは、界面も膜中も酸化が進行し強度比 (O1s/N1s) が上昇、さらに Fig. 5 に示すように AlScN で見られた C 軸配向性が復活しているにもかかわらず、Fig. 6 で示したように 800°C酸化では Si(004)の回折ピークが観測されるが 700°C酸化では固相成長ポリシリコンはランダム配向となっている。このことから、700°C熱酸化で AlScN (AlScON) は C 軸配向にもどるが固相成長ポリシリコンの結晶性に影響を与えるとされる γ -Al₂O₃ に近い構造をもつ構造にまで変化することができていないと予想する。これに対し、800°C熱酸化では、十分とは言えないが AlScON 表面に γ -Al₂O₃ に近い構造が形成され、これによって固相成長ポリシリコンに Si(004) 回折ピーク出現をもたらしたと予想する。つまり、酸化条件 (温度、時間、酸素濃度など) の最適化をすることで、AlScN 表面に γ -Al₂O₃ に近い構造を形成できれば、高配向性ポリシリコンが実現できると期待できる。

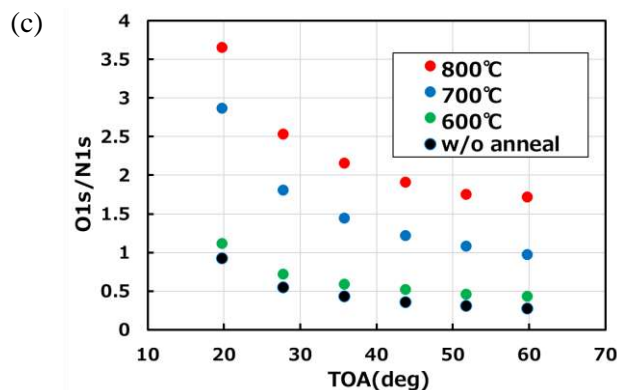
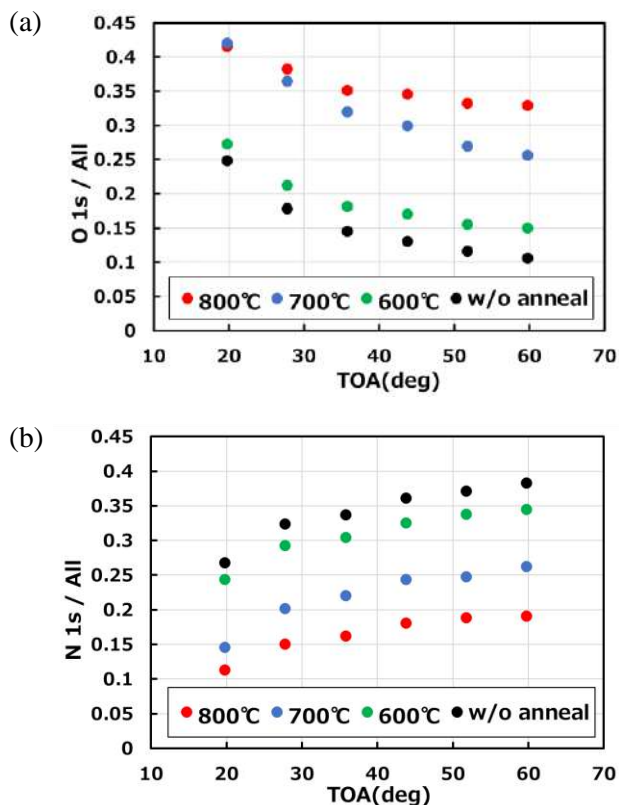


Fig.7 thermal oxidation of intensity ratio for oxide and nitride

(a) O1s/Al (b)N1s/Al (c)O1s/N1s

4. まとめ

本研究では、次世代不揮発性メモリの選択肢の一つとして強誘電体 AlScN の高積層三次元メモリへの適用を想定し FeFET と高コンダクタンスチャンネルの両立のため C 軸配向 AlScN を用いたポリシリコン薄膜の配向制御の可能性を調べた。その結果 AlScN 表面を 800°C で熱酸化することで形成された AlScON 上に成膜されたポリシリコン層の配向性と結晶性の変調を確認した。800°C で熱酸化した場合のみ配向性が変調したのは、ポリシリコンの膜質向上に寄与する γ -Al₂O₃ に近い構造をもつ AlScON が形成されたためと考えられる。固相成長ポリシリコンチャンネルの結晶性のさらなる向上のためには、酸化条件 (温度、時間、酸素濃度など) の最適化が必要と考える。例えば、今回 800°C 熱酸化でのみ配向性変調の傾向が見られたが、過去研究において AlN 表面の熱酸化で γ -Al₂O₃ を形成するには一定以上の温度を必要するという報告があるため AlScN でも同様に高温での酸化は必要であると推測している。一方で、今回配向性の変調が一部のみに留まりポリシリコン全体の高配向化に至らなかったのは、AlScN を酸化した場合、 γ -Al₂O₃ に近い構造をもつ AlScON が一部しか製膜されなかった為だと考えているが、その理由として考えられるのが Sc の影響である。過去研究では AlScN をプラズマ酸化した際、Sc が優先的に酸化され Al は潜伏時間を経て酸化されていく傾向にあることが明らかになっており、熱酸化の場合も同様に Sc が優先的に酸化されることで γ -Al₂O₃ に近い酸化膜の形成を抑制しているのではないかと考えている。そのような意味でも今後の研究

では熱酸化の際に Sc の影響を低減し γ -Al₂O₃ に近い構造をもつ酸化膜の割合を増加させる最適な熱酸化条件を模索する必要があると考えている。

謝辞

本研究は、東京工業大学角嶋研究室の加藤有光様始め、研究室の学生の皆さまに大変お世話になりました。ここに深く感謝の意を表します。

また、XRD による測定にあたり東京都市大学ナノ科学技術学生研究センターにも大変お世話になりました。ここに深く感謝の意を表します。

References

[1] David Reinsel et al, An IDC White US44413318 pp.6,(2018)

[2] H.Yoshimura et al, JSAP 67th, p-2747-2747(2020)

[3] M.Haemori et al, Applied Physics Express, vol2, 061401 (2009)

[4] M. Toledano-Luque et al., Tech. Dig. IEEE Int. Electron Device Meeting, 203. (2012)

[5] S-. S. Lee et al, APL Materials 2, 076106. (2014)

[6] H. Miyagawa et al, IEDM Tech. Dig, pp. 650-653, (2019)

[7] Sangsoo Lee et al, APL Materials 2, 076106 (2014)

[8] M. Jyumonji et al, Jpn. J. Appl. Phys. 43, 739 (2004).

[9] S. Shimoto et al, Jpn. J. Appl. Phys. 47, 7793 (2008)

[10] H.C.Kang et al, Applied Physics , A 77, 627-632 (2003)

[11] T.Okazaki et al., Workshop on Electron Device Interface Technology, pp. 31-36, (2023)

HfZr 酸化物への Ni 電極形成が結晶構造および化学結合状態に与える影響

Impact of Ni Electrode Formation on HfZr Oxide on Crystalline Phases and Chemical Bonding State

○佐野 友之輔¹, 田岡 紀之², 大田 晃生³, 牧原 克典¹, 宮崎 誠一¹

1 名古屋大学 〒464-8601 愛知県名古屋市千種区不老町

2 愛知工業大学 〒470-0392 愛知県豊田市八草町 1247

3 福岡大学 〒814-0180 福岡県福岡市城南区七隈 8-19-1

Yunosuke Sano¹, Noriyuki Taoka², Akio Ohta³, Katsunori Makihara¹, and Seiichi Miyazaki¹

1 Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-0812, Japan

2 Aichi Institute of Technology, Yachigusa 1247, Yakusa-cho, Toyota, Aichi, 470-0392 Japan

3 Fukuoka University, 8-19-1 Nanakuma, Jonan-ku, Fukuoka, 814-0180, Japan

Tel: + 81-052-789-2727, (e-mail: sano.yunosuke.d6@s.mil.nagoya-u.ac.jp)

Abstract

A HfZr-oxide layer was formed on a Si substrate by dry oxidation of a Zr/Hf/Zr/Hf/Si(111) stack structure changing oxidation temperature (T_{ox}) in the range from 600 to 900°C. After that, a Ni electrode was formed on the HfZr-oxide layer. Then, we systematically investigated impacts of the Ni electrode on crystalline phase and chemical bonding features of the HfZr-oxide layers. It was found that peak intensity ratios ($r_{O/T}$) of grazing-angle x-ray diffraction pattern related to monoclinic and orthorhombic/tetragonal phases monotonically decrease with increasing T_{ox} . On the other hand, post metallization annealing (PMA) after the Ni electrode formation drastically changes the T_{ox} dependence of $r_{O/T}$. We found that, at $T_{ox} = 750^\circ\text{C}$, the $r_{O/T}$ value is much higher than those for $T_{ox} = 600$ and 900°C after PMA. Also, the Ni electrode formation and subsequent PMA induce oxygen-deficient signal in spectrum of x-ray photoelectron spectroscopy. It should be noted that PMA is only effective for increasing the intensity of the oxygen-deficient signal for $T_{ox} = 750^\circ\text{C}$.

1. はじめに

今後、集積回路において、動作時および待機時の消費電力をさらに低減することが要求される。これらの消費電力の低減および新機能の付加という観点から、数 nm 厚の強誘電体膜を用いたデバイスに注目が集まっている[1-10]。近年、Orthorhombic(O)相を有する HfO_2 が数 nm の膜厚でも強誘電性を有することが実験的に明らかにされた[11-14]。したがって、強誘電体 HfO_2 層は、将来の低消費電力・新機能デバイスに適した材料である。しかし、O相は不安定な結晶相であり、Tetragonal(T)相から Monoclinic(M)相への相変態過程で現れる[15-

19]。O相を形成し、安定化させるためには、酸素空孔量とその電荷状態を精密に制御することが非常に重要である[20-25]。

HfO_2 上に仕事関数の大きな金属を蒸着すると、 HfO_2 中の酸素空孔(V_o)に由来するエネルギー準位から金属へ電荷が移動することが報告されている[26]。その結果、 V_o 準位の帯電状態が変化する。また、帯電した V_o は O相と T相の結晶相を安定化させる可能性がある[27]。これらの結果は、金属の堆積によって引き起こされる電荷移動によって、 HfO_2 の結晶構造を制御できる可能性を示唆している。また、Ni は仕事関数が大きく、LSI 作製プロセスへの適

性が高いため、 V_o 準位の帯電状態制御に適している。HfZr-oxide (HZO) の結晶構造に対する Ni 堆積の効果についてはすでに報告されているが[28]、詳細な効果についてはまだ系統的に調べられていない。そこで本研究では、Ni 蒸着の効果をもより深く理解するために、熱処理温度と結晶構造および化学結合状態との関係について議論する。

2. 実験条件

n 型 Si(111)基板をアルカリ水溶液と希 HF 水溶液を用いた化学溶液洗浄した後、電子ビーム(EB)蒸着法により Zr/Hf/Zr/Hf/Si(111)構造を形成した。ここで、Hf と Zr の厚さはそれぞれ $\sim 1\text{nm}$ である。その後、酸素雰囲気下、 $600 \sim 900^\circ\text{C}$ の温度範囲 (T_{ox}) で 10 分間熱酸化し、HfZr-oxide(HZO)を形成した。その後、この HZO 上に、EB 蒸着法により 2nm の Ni 層または 40nm の Ni 電極を形成した。Ni 電極を形成した試料に対して、Post Metallization Anneal (PMA)を、窒素雰囲気下で 1 分間、 $400, 500^\circ\text{C}$ の順に行った。HZO の結晶構造と化学結合状態は、それぞれ微小角 X 線回折 (GIXRD) と X 線光電子分光 (XPS) によって評価した。XPS 測定では、光子エネルギー 1486.6eV の単色化 Al-K α 特性 X 線を X 線源として用いた。

3. 結果

T_{ox} と PMA の結晶構造への影響を調べるため、HZO の結晶構造を GIXRD で評価した。Fig. 1(a)と Fig. (b)は、それぞれ 750°C と 600°C で熱酸化後および PMA 後の HZO の GIXRD パターンを示している。Fig. 1(a)および Fig. 1(b)の熱酸化後の試料 (緑線) において、 T_{ox} に関係なく、 $2\theta = 30.5^\circ$ 付近に O/T 相起因の回折ピークが確認される。また、Fig. 1(a)では、 $2\theta = 28.4^\circ$ 付近のピーク強度が、Fig. 1(b)のピーク強度よりも高くなっている。これは、 750°C で熱酸化した試料に M 相が存在するためである。 $T_{ox} = 900^\circ\text{C}$ の場合 (ここでは示さない)、 $2\theta = 28.4^\circ$ の強度は、 600°C および 750°C の場合よりも高かった。これは、熱酸化後の試料では M 相と O/T 相が共存し、高い T_{ox} で M 相への相変態が起こったことを意味する。PMA した試料の GIXRD パターンは、Fig. 1(a)および Fig. 1(b)中に青線で示している。Fig. 1(a)の $T_{ox} = 750^\circ\text{C}$ の場合、PMA 後に M 相に関連する信号強度が

ほとんど消失していることがわかる。一方、Fig. 1(b)では、PMA 後に M 相起因の信号強度が増加し、Fig. 1(a)とは逆の傾向である。

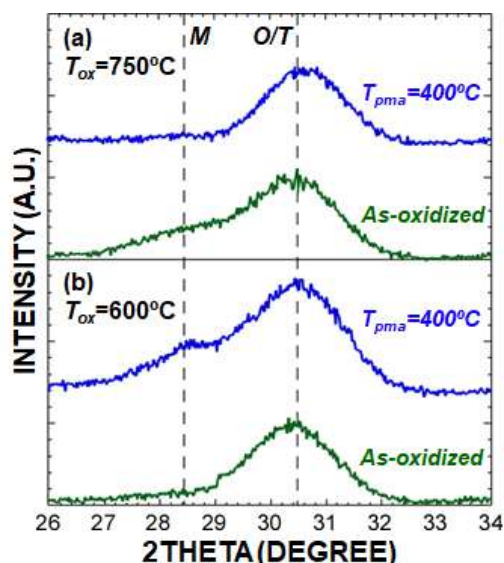


Fig.1: GIXRD patterns of the Hf/Zr-oxide layer oxidized at (a) 750°C and (b) 600°C . Here, the GIXRD patterns for the as-oxidized samples and the samples with PMA at 400°C are shown in Figs. 1(a) and 1(b).

この傾向を明確にするため、M 相と O/T 相の GIXRD 回折パターンのピーク強度の比を T_{ox} の関数として Fig.2 に示した。ここで、GIXRD パターンは、ガウス関数を用いてピーク分離し、比の算出には、次の式を用いた。 $r_{OT} = I_{OT} / (I_M + I_{OT})$ 。ここで、 I_{OT} と I_M は、それぞれピーク分離した O/T 相と M 相のピークの面積強度である。熱酸化後において、 r_{OT} は T_{ox} の増加とともに減少している。これは、 T_{ox} が増加すると不安定な O/T 相が安定な M 相に変化することで説明できる。一方、 400°C と 500°C の PMA によって、 r_{OT} 値の温度依存性に変化が見られる。PMA 後の $T_{ox} = 600^\circ\text{C}$ および 900°C における r_{OT} は、 $T_{ox} = 750^\circ\text{C}$ における r_{OT} よりも顕著に低い。また、PMA 後の $T_{ox} = 600, 900^\circ\text{C}$ での r_{OT} は、熱酸化後の試料よりも低下したのに対し、 $T_{ox} = 750^\circ\text{C}$ では、PMA によって r_{OT} が増加した。

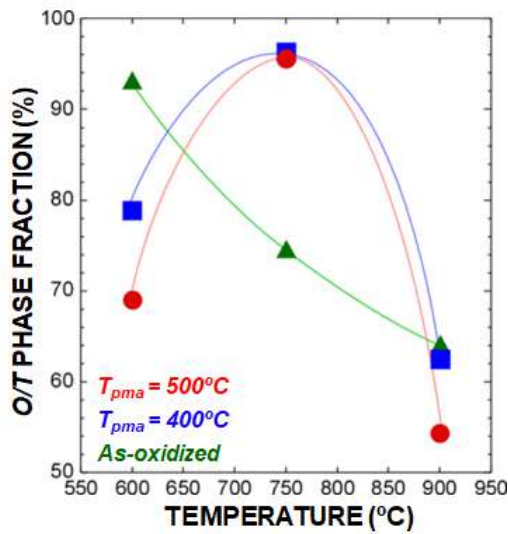


Fig.2: Plots of the $r_{O/T}$ values as a function of T_{ox} for the as-oxidized samples and the samples with PMA at 400 and 500°C.

この原因を調べるため、XPS で化学結合状態を評価した。Fig. 3(a)は、 $T_{ox} = 600, 700, 900^\circ\text{C}$ で熱酸化した試料における Hf4f スペクトルである。ここで、結合エネルギーは Hf-O の結合エネルギーを用いて補正し、強度は Hf4f スペクトルの面積強度を用いて規格化した。黒矢印で示した結合エネルギー位置に Hf-O 結合由来する明瞭な 2 つのピークが観測され [29]。このことは、蒸着した金属 Hf がほとんど

ど酸化されていることを示唆している。15.5 ~ 17eV の結合エネルギー範囲に注目すると、Hf 酸化物中の酸素欠損に起因した信号強度は、 T_{ox} に依存している。その違いを明確にするために、Fig. 3(a)に示した Hf4f の XPS スペクトルを拡大し、Fig. 3(b)に示す。 $T_{ox} = 750^\circ\text{C}$ では、 $T_{ox} = 600, 900^\circ\text{C}$ の場合よりも、16~17eV の結合エネルギーでの信号強度が大きくなっている。Zr3d スペクトルでも同様の結果が観測された。これらの結果は、 $T_{ox} = 600^\circ\text{C}$ および 900°C の場合と比較して、 $T_{ox} = 750^\circ\text{C}$ では HfZr 酸化物中の酸素欠損量が多いことを示している。

冒頭で述べたように、Ni は V_o の荷電状態を変化させ [26]、その結果 O/T 相を安定させる [27]。Ni 電極形成の影響を化学結合状態の観点から調べるために、Ni 堆積前後の XPS スペクトルを比較した。Fig. 4(a)と Fig. 4(b)は、それぞれ 600°C と 750°C で熱酸化した HZO の Hf4f スペクトルを、厚さ 2 nm の Ni 堆積前後で比較している。 $T_{ox} = 600^\circ\text{C}$ では、Hf-O 結合に起因する 2 つのピークが明瞭に観察され、Ni 堆積の有無による大きなピーク形状の違いは見られない。一方、Fig. 4(b)では、 $T_{ox} = 750^\circ\text{C}$ において、Ni を堆積した場合の方が、Ni を堆積していない場合よりも、16eV 付近の結合エネルギーにおける信号強度が大きくなっている。また、Fig. 4(a)のスペクトルと比較すると、Ni 堆積による、15 ~ 17eV におけるスペクトルの形状変化が確認できる。これらの結果は、堆積した Ni が還元反応を引き起こし、酸素欠損量を増加させ、かつ、 $T_{ox} = 750^\circ\text{C}$ の試料では還元反応が促進されることを示している。

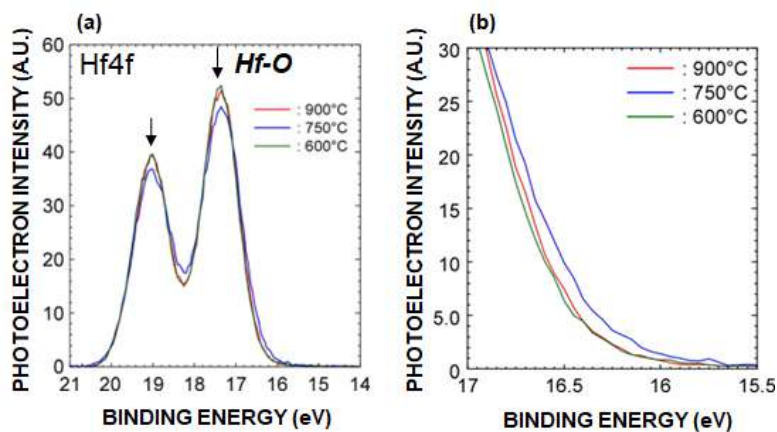


Fig.3: (a) Hf 4f XPS spectra obtained from the as-oxidized samples at $T_{ox} = 600, 700$ and 900°C . Here, the binding energies were calibrated using peak binding energy of the signals originated from Hf-O bondings. (b) Magnified Hf4f XPS spectra shown in Fig. 3(a) in the binding energy of 15.5 to 17 eV.

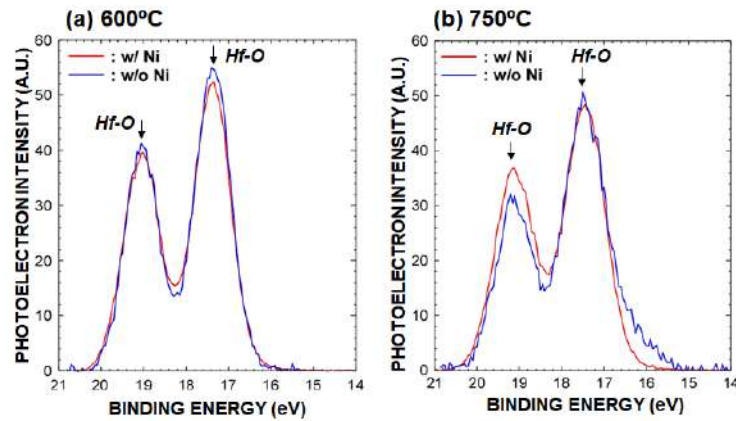


Fig.4: Hf 4f XPS spectra of the HZO layers oxidized at (a) 600 and (b)750°C with and without the 2-nm-thick Ni formation.

Ni 堆積の影響を詳細に調べるため、Hf4f および Zr3d スペクトルのピーク分離を行い、酸素欠損、 T_{ox} および Ni 堆積の関係を調べた。ここで、ピーク分離は、ガウス関数をフィッティングして行った。スペクトル中の酸素欠損由来の信号と他の Hf-O 結合の信号の面積強度の割合を T_{ox} の関数として Fig. 5 に示す。 $T_{ox} = 750^\circ\text{C}$ で Ni を堆積していない場合の割合は、Hf と Zr でそれぞれ 6.4% と 3.8% であるが、Ni の堆積によって Hf と Zr の割合はそれぞれ 24.5% と 9.6% まで増加した。一方、 $T_{ox} = 600, 900^\circ\text{C}$ における Hf の Ni 堆積していない場合の割合は、それぞれ 2.2% と 1.7% である。さらに、 $T_{ox} = 600, 900^\circ\text{C}$ における Ni を堆積していない場合の Zr の割合は、それぞれ 0.5% と 1.0% であった。 $T_{ox} = 600, 900^\circ\text{C}$ では、Ni の堆積は割合の増加には有効でなく、Hf の割合が Zr の割合よりも大きいことがわかった。Hf と Zr の割合の違いは、試料の積層構造によって説明できる。Zr 層はスタック構造の最上層として形成される。最上層は、他の層と比較して、酸化中の酸素や空気にさらされる。そのため、最上層は他の層に比べて残留酸素原子を含む。その結果、酸素欠損部位が残留酸素原子によって埋められる可能性がある。

$T_{ox} = 750^\circ\text{C}$ で Ni 堆積による還元割合が高いことは、Fig. 2 に示した $T_{ox} = 750^\circ\text{C}$ での高い r_{OT} 値を支持するデータである。このことは、酸素欠損が大きいため、 750°C 付近で O/T 相が安定化することを強く示している。Migita らは、10nm 厚の $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 層のアニール時間、アニール温度と結晶相の関係を既に報告している[30]。Ref. 30 によると、10 分間アニールした場合、T 相から O 相への変態は $\sim 600^\circ\text{C}$ 、O 相から M 相への変態は $\sim 800^\circ\text{C}$ に境界がある。

これは、Fig. 2 に示した結果と以下のように一致する。 900°C の高い T_{ox} は、熱的に安定な M 相への相変態を促し、その結果、 r_{OT} 値が低くなる。 600°C の低い T_{ox} で高い r_{OT} 値は、T 相が支配的である可能性を示している。 750°C 付近では、O/T 相が優先的に形成される。これらの理由を明らかにするためには、さらなる研究が必要であるが、 750°C で形成された HZO は電極によって容易に還元されることが実験的に示された。このことは、HZO を安定化させる上で非常に重要な知見である。

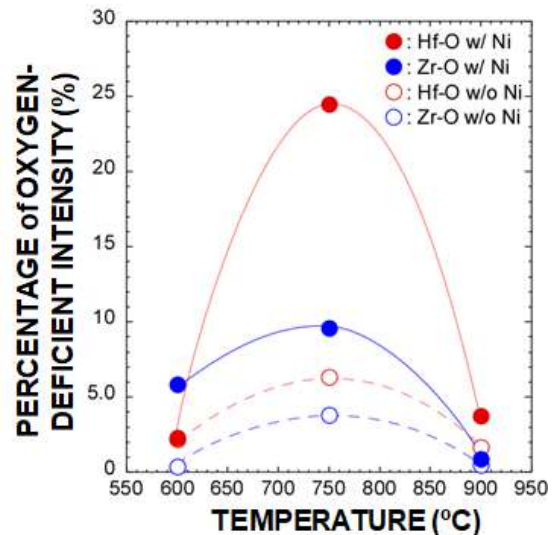


Fig.5: Percentages of the areal intensities of the oxygen deficient signal in the Hf 4f and Zr 3d XPS spectra as a function of T_{ox} .

4. まとめ

HZO 上への Ni 形成が結晶構造と化学結合状態に及ぼす影響を系統的に調べた。その結果、750°C で酸化した試料は、600°C や 900°C で酸化した試料に比べて高い r_{OT} 値を示すことがわかった。また、750°C で酸化した HZO では、Ni の堆積が酸素欠損の促進に有効であることがわかった。一方、600°C および 900°C で酸化した HZO では、Ni の堆積は酸素欠損の促進には有効ではなかった。これらの結果は、強誘電体 Hf-酸化物層を用いた将来のデバイスのロバストプロセスを確立するために非常に有用である。

本研究は、ナノテクノロジープラットフォーム(F22-NU-0012)によってサポートされた。

References

- [1] M. Dawber *et al.*, Rev. Mod. Phys. Vol. 77, No. 4, 2005
- [2] N. Setter *et al.*, J. Appl. Phys. 100, 051606, 2006
- [3] M. Kobayashi, OYO BUTSURI 89, 314, 2020
- [4] M. Kobayashi *et al.*, AIP Advances, 6, 025113, 2016
- [5] K. C. Kwon *et al.*, ACS Nano 14, 7628–7638, 2020
- [6] T. Mimura *et al.*, Jpn. J. Appl. Phys. 58, SB3B09, 2019
- [7] Y. Luo *et al.*, Journal of Materiomics 8, 311–318, 2022
- [8] P. Polakowski *et al.*, Appl. Phys. Lett. 106, 232905, 2015
- [9] A. Fernandez *et al.*, Adv. Mater. 34, 2108841, 2022
- [10] A. R. Damodaran *et al.*, J. Phys.: Condens. Matter 28, 263001, 2016
- [11] M. H. Parket *et al.*, Adv. Mater. 27, 1811–1831, 2015
- [12] A. Toriumi, OYO BUTSURI 88, 9, 2019
- [13] H. Funakubo *et al.*, OYO BUTSURI 87, 921, 2018
- [14] A. Chernikova *et al.*, ACS Appl. Mater. Interf. 8, 7232, 2016
- [15] T. S. Böske *et al.*, Appl. Phys. Lett. 99, 102903, 2011
- [16] S. Fan *et al.*, npj Quantum Mater. 7, 32, 2022
- [17] J. Müller *et al.*, Nano Lett. 12, 4318–4323, 2012
- [18] Y. Tashiro *et al.*, ACS Appl. Electron. Mater. 3, 3123–3130, 2021
- [19] T. Shimizu *et al.*, Appl. Phys. Lett. 107, 032910, 2015
- [20] T. Mittmann *et al.*, Adv. Mater. Interfaces 6, 1900042, 2019
- [21] M. Materano *et al.*, ACS Appl. Electron. Mater. 2, 3618–3626, 2020
- [22] M. Materano *et al.*, Inorg. Chem. Front., 8, 2650, 2021
- [23] A. Pal *et al.*, Appl. Phys. Lett. 110, 022903, 2017
- [24] M. D. Glinchuk *et al.*, Journal of Alloys and Compounds 830, 153628, 2020
- [25] J. Wei *et al.*, Adv. Funct. Mater., 31, 2104913, 2021
- [26] Y. Akasaka *et al.*, Jpn. J. Appl. Phys., Vol. 45, No. 49, 2006
- [27] Y. Shiraishi *et al.*, Extend abstract of EDIT25, pp. 9-14, 2020
- [28] Y. Sano *et al.*, Extend abstract of 2023 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES (2023IWDTF), pp.27-28, 2023
- [29] N. Umezawa *et al.*, Jpn. J. Appl. Phys Vol. 46, No. 6A, pp. 3507–3509, 2007
- [30] S. Migita *et al.*, Japanese Journal of Applied Physics 58, SBBA07, 2019

強誘電体 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$ の界面反応に起因する 分極疲労抑制メカニズムに関する考察

Considerations on possible mechanism of suppression of fatigue properties induced by interface reaction at ferroelectric- $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2/\text{TiN}$

女屋 崇^{1,2}, 生田目 俊秀², 長田 貴弘², 山下 良之², 塚越 一仁², 喜多 浩之¹

1 東京大学大学院 新領域創成科学研究科 〒277-8561 千葉県柏市柏の葉 5-1-5

2 物質・材料研究機構 〒305-0044 茨城県つくば市並木 1-1

Takashi Onaya^{1,2}, Toshihide Nabatame², Takahiro Nagata², Yoshiyuki Yamashita², Kazuhito Tsukagoshi²,
and Koji Kita⁴

1 Graduate School of Frontier Science, The University of Tokyo, 5-1-5 Kashiwanoha, Kashiwa-shi, Chiba 277-8561, Japan

2 National Institute for Materials Science, 1-1 Namiki, Tsukuba, Ibaraki 305-0044, Japan

Tel/Fax: +81-4-7136-3761 (e-mail: onaya@edu.k.u-tokyo.ac.jp)

Abstract

Ferroelectric- $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ (HZO)/TiN bottom-electrode (BE-TiN) interfaces of TiN/HZO/TiN capacitors were evaluated using synchrotron hard X-ray photoelectron spectroscopy after applying switching cycles. In the fatigue state, the peak intensity of the Ti-O component in Ti 1s spectra increased compared to that of the pristine state, indicating that surface oxidation of BE-TiN should occur during field cycling. Thus, we concluded that the degradation of switching polarization was attributed to the domain pinning caused by formation of additional oxygen vacancies in the HZO film due to the supply of oxygen atoms from the HZO film to the BE-TiN during field cycling. Based on these experimental data and the results from our previous study, endurance properties with high fatigue resistance can be achieved by controlling the movement of oxygen atoms at the HZO/TiN interface during field cycling.

1. はじめに

強誘電体 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ (HZO) 薄膜の実用化へ向けた問題点として、分極反転回数の増加に伴う残留分極(P_{sw})値の変動が挙げられる。特に、 P_{sw} 値が減少する分極疲労現象の改善は急務であるが、この特性劣化のメカニズムは未だ十分に解明されておらず、分極疲労を抑制する指針も不明確である。分極疲労が生じる要因の一つとして、HZO 膜中の酸素欠損(V_o)等の欠陥により分極ドメインがピン止めされる現象[1,2]が考えられているが、これら欠陥の生成起源を実験的に明らかにした例はない。そこで本研究では、強誘電体メモリの基本構造である金属/強誘電体/金属(MFM)で構成される TiN/HZO/TiN キャパシタの書き換え動作時における HZO/TiN 界面での反応に着目して、分極疲労の原因とその改善方法について考察する。

2. 実験条件

本研究で作製した TiN/HZO/TiN MFM キャパシタの概略図を Fig. 1(a)に示す。まず、直流(DC)スパッタリング法により Pt/Ti/SiO₂/p-Si 下地基板上へ膜厚 15 nm の TiN 下部電極(BE-TiN)を形成した。次に、BE-TiN 上へ $(\text{Hf/Zr})[\text{N}(\text{C}_2\text{H}_5)\text{CH}_3]_4$ (Hf/Zr = 1:1)カクテル原料及び H₂O を用いた成膜温度 300°C の原子層堆積(ALD)法により膜厚 10 nm の HZO 膜を成膜した。作製した HZO 膜の Hf:Zr 組成比は、X 線光電子分光法(XPS)による分析結果より 0.4:0.6 であった[3]。HZO 膜の成膜後、400°C で 1 分間、N₂ 雰囲気中で急速加熱(PDA)処理した。最後に、ステンシルマスクを用いた DC スパッタリング法により膜厚 100 nm の TiN 上部電極(TE-TiN)を形成することで、TiN/HZO/TiN MFM キャパシタを作製した。ここで、TE-TiN の電極面積は約 $3.1 \times 10^{-4} \text{ cm}^2$ であ

る。続いて、同一試料上の MFM キャパシタに各々初期、ウェイクアップ及び分極疲労状態に対応する 10^0 、 10^4 及び 10^8 回の分極反転サイクルを印加した。その後、Fig. 1(b)に示すとおり、SC1 溶液($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$)を用いた化学洗浄により TE-TiN を除去した後に、HZO/BE-TiN 界面の化学結合状態を放射光 X 線を用いた硬 X 線光電子分光法(HAXPES)で評価した。

3. 結果及び考察

TiN/HZO/TiN MFM キャパシタの X 線回折による結晶構造解析より、HZO 膜は結晶化しており、強誘電相である直方晶相を含む直方晶、正方晶及び立方晶相に起因する結晶ピークを確認した(data not shown)。また、Fig. 2 の挿入図に示す MFM キャパシタの分極-電界(P - E)特性より、これら強誘電相の形成により強誘電性由来の明瞭なヒステリシスループを示した。

Fig. 2 に、TiN/HZO/TiN MFM キャパシタのエンデュランス特性を示す。ここで、スイッチングに伴う P_{sw} 値は印加電界 ± 3 MV/cm の Positive-up Negative-down (PUND)法を用いて評価した。MFM キャパシタは、分極反転回数が 10^4 回程度までウェイクアップ特性を示し、 10^4 回後の P_{sw} 値は 10^0 回後の初期値に対して約 34%増加した。一方、分極反転回数を 10^4 回以上に増加させると P_{sw} 値が減少する傾向を示し、 10^8 回後の P_{sw} 値は 10^4 回後の最大の P_{sw} 値と比べて約 40%減少した。以上より、今回作製した MFM キャパシタは明瞭なウェイクアップ及び分極疲労特性を示すことが分かった。

次に、これら分極反転サイクルを印加した MFM キャパシタの TE-TiN を除去し、HAXPES により HZO/BE-TiN 界面の化学結合状態を評価した。Fig. 3 に、 10^0 、 10^4 及び 10^8 回の分極反転サイクルを印加した試料の Ti 1s スペクトルを示す。ここで、これら分極反転回数は Fig. 3 で述べたとおり各々初期、ウェイクアップ及び分極疲労状態に対応する。また、全てのスペクトルは Ti-N 結合由来のピーク強度で規格化した。全てのスペクトルで 4966 eV 付近の Ti-N 結合に由来するピークよりも高結合エネルギー側 (~ 4969 eV)に Ti-O 結合に起因するピークが確認された。これは、 10^0 回後の初期の状態でも、HZO/BE-TiN 界面に TiO_xN_y 層が形成されていることを示唆している。我々の先行研究より、熱処理中の ALD-HZO 膜と BE-TiN の間の界面反応は 400°C の PDA 条件では無視できるほど小

さいことから、この TiO_xN_y 層は、大気中の酸素との反応により ALD-HZO 膜の成膜前に形成されていた可能性や、ALD-HZO 膜の成膜過程の酸化ステップにより形成されたと考えられる [4]。 10^4 回後のウェイクアップ後の Ti 1s スペク

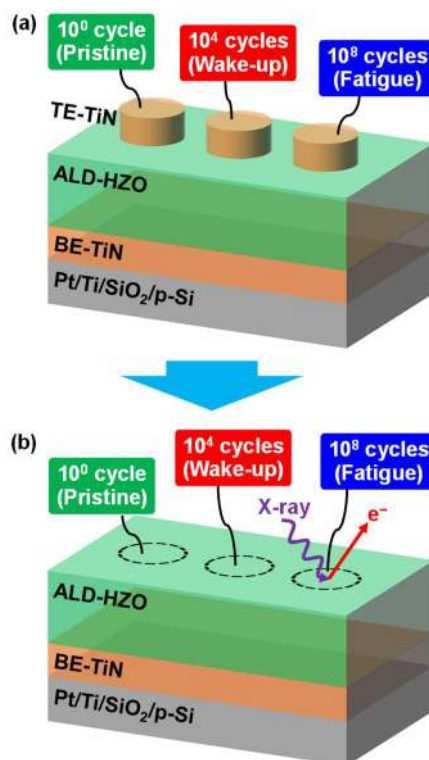


Fig. 1 Schematics of TiN/HZO/TiN MFM capacitors (a) before and (b) after etching of TE-TiN. The HZO/BE-TiN interfaces were evaluated using synchrotron X-ray HAXPES analysis after etching of TE-TiN.

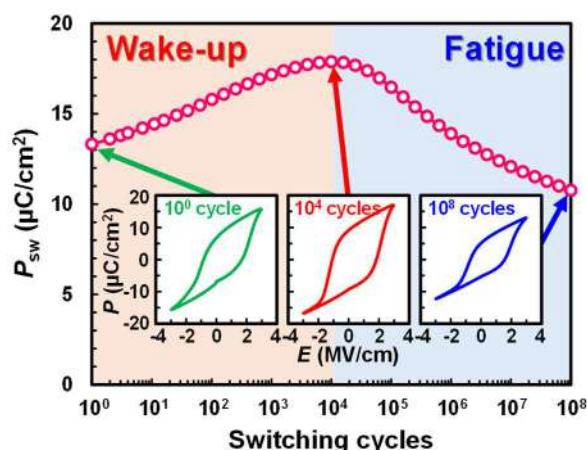


Fig. 2 Endurance properties of TiN/HZO/TiN MFM capacitors. P - E hysteresis curves during field cycling were also shown in the inset.

トルは初期状態の場合と同じ形状であった。従って、ウェイクアップ過程では HZO 膜と BE-TiN の間で界面反応はほとんど起こっておらず、初期に形成された TiO_xN_y 層は変化しないことが分かった。 10^8 回の分極疲労状態では初期及びウェイクアップ後の場合と比べて Ti 1s スペクトルの Ti-O 結合に起因するピーク強度が増大した。また、Ti-N と Ti-O 結合ピークの間にあるピークを TiO_xN_y 結合に由来するピークと仮定して Ti 1s スペクトルを解析すると、初期からウェイクアップ過程まではピーク面積比に大きな変化がないのに対して、分極疲労状態では、初期及びウェイクアップ後の場合と比べて TiO_xN_y 及び Ti-O 結合に起因するピーク面積が増加した。従って、分極疲労過程では HZO 膜と BE-TiN の間で生じた界面反応により HZO 膜に接している BE-TiN の表面が酸化されたことで、初期状態に形成されていた TiO_xN_y 界面層が酸素リッチ化又は増膜したことが分かった。

以上の結果から、分極反転サイクル増加に伴う P_{sw} の変動と HZO/TiN 界面で生じる界面反応の関係について、Fig. 4 に示す模式図を用いて考察する。まず、ウェイクアップ過程では、HZO 膜と TiN の間で界面反応はほとんど起きていなかった。従って、ウェイクアップ過程における P_{sw} の増加は、主に HZO バルク内で生じる変化に伴うものであり、電界印加により正方晶相等の強誘電相ではない結晶相から強誘電相である直方晶相へ相転移することや膜中の V_o 等の欠陥の分散によりピン止めされていた分極ドメインが解放されることに起因すると考えられる[1,2,5]。一方、分極疲労過程では、分極反転サイクルの増加に伴って HZO/TiN 界面で HZO 膜に接している TiN の表面で酸化反応が進行し、 TiO_xN_y 界面層が酸素リッチ化又は増膜した。この TiN 表面の酸化反応には HZO 膜から供給された酸素が寄与していると考えられる。従って、分極反転サイクル印加時に HZO 膜から TiN 側へ酸素が供給されたことで HZO 膜に新たに V_o が形成され、これら V_o により分極ドメインがピン止めされたことで P_{sw} が減少したと解釈できる。以上より、HZO 膜の分極疲労を引き起こす原因の一つとして HZO/TiN 界面での酸素の動きが関与していると考えられることから、これら酸素の動きを制御することが分極疲労を抑制するために重要であると考えた。

我々はこれまで TiN/HZO/TiN MFM キャパシ

タの ALD-HZO 膜の酸化剤として強酸化力の O_2 プラズマを用いることで、一般的な酸化剤である H_2O を用いた場合と比べて分極疲労を抑制できることを報告した[3,4,6]。ここで、 O_2 プラズマを用いた場合では H_2O を用いた場合と比べて HZO/BE-TiN 界面の TiO_xN_y 層が酸素をより多く含んでいることが分かっている。また、前回の電子デバイス界面テクノロジー研究会にて、TiN/HZO/TiN MFM キャパシタの BE-TiN 最表面を意図的に酸化することで分極疲労が改善することを報告した[7]。ここで、BE-TiN 最

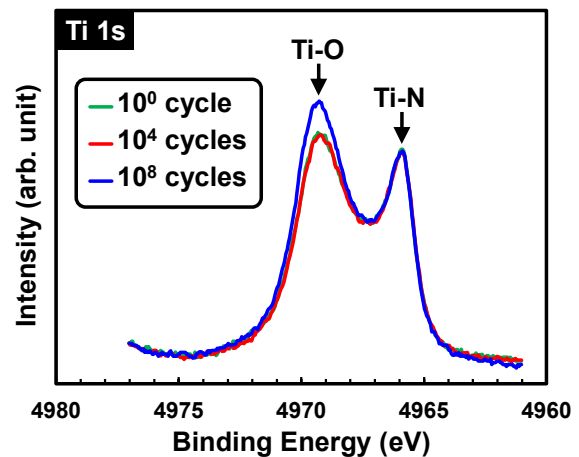
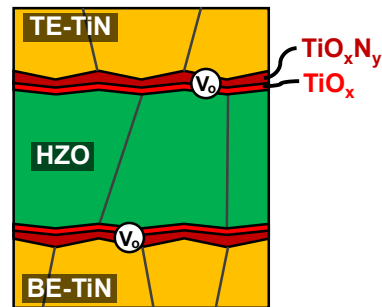


Fig. 4 Ti 1s spectra of HZO/BE-TiN samples with different applied switching cycles.

(a) Pristine & Wake-up states



(b) Fatigue state

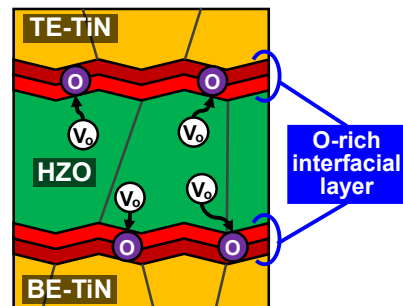


Fig. 4 Schematics of (a) pristine and wake-up states and (b) fatigue state of TiN/HZO/TiN MFM capacitors.

表面の酸化により HZO/BE-TiN 界面に酸素リッチな TiO_xN_y 層が形成されていることを確認している。これら分極疲労を抑制できた両者の MFM キャパシタは、HZO/BE-TiN 界面の TiO_xN_y 層が酸素リッチ化しているという点で共通している。以上より、本研究の結果に基づいて分極疲労が抑制できた要因を考えると、HZO/BE-TiN 界面に酸素リッチな TiO_xN_y 層が形成されたことで、分極反転サイクル印加時の HZO/BE-TiN 界面での界面反応が抑制され、結果として HZO 膜内で P_{sw} の減少を引き起こす V_o の生成が抑制されたと考えられる。また、後者の表面酸化 BE-TiN を用いた MFM キャパシタでは、BE-TiN 最表面の酸化の有無に関わらず、ウェイクアップによる P_{sw} の増加率は同等の値を示した。これは、ウェイクアップには界面の状態が大きく影響していないことを示唆しており、Fig. 4 に示した本研究の考察内容と整合する。従って、Fig. 5 に示すとおり、分極疲労を抑制する一つの手法として、HZO 膜と接する電極の表面を酸化して、酸素リッチな界面層を形成しておくことが重要であることが分かった。また、我々は HZO 膜の強誘電相である直方晶相の形成促進を目的として、TiN/HZO/TiN MFM キャパシタの HZO/TiN 界面へナノ ZrO_2 核生成層を挿入することが分極疲労の抑制に効果があることを報告した[8-11]。これは Fig. 5 に示すとおり、HZO/TiN 界面にナノ ZrO_2 核生成層のような酸化膜を意図的に挿入したことが、HZO/TiN 界面での酸素の動きを抑制する役割を担っていると考えられるため、本研究の考察を支持する結果であると結論した。このように、HZO 膜と電極の界面反応を考慮して界面設計することが分極疲労を抑制した優れた強誘電体キャパシタの実現に繋がると考えられる。一方、我々のこれまでの研究では界面設計だけでは分極疲労を完全には抑制できていない。従って、界面反応に起因した V_o の生成による分極ドメインのピン止め現象は分極疲労メカニズムの一つであり、電極との界面または HZO バルク内で生じる他の分極疲労メカニズムが存在し得ることに注意が必要である。

4. まとめ

TiN/HZO/TiN MFM キャパシタの分極反転サイクルの増加に伴う HZO/BE-TiN 界面の化学結合状態を放射光 X 線を用いた HAXPES により評価した。ウェイクアップ過程では HZO/TiN 界

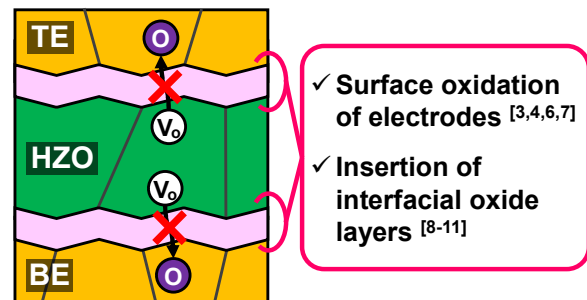


Fig. 5 Schematic of interface engineering for HZO based-MFM capacitors with high fatigue resistance.

面で界面反応が生じていないのに対して、分極疲労過程では、HZO/TiN 界面で HZO 膜に接する TiN の表面で酸化反応が進行し、 TiO_xN_y 界面層が酸素リッチ化又は増膜していることが分かった。従って、分極反転サイクル印加時に HZO 膜から TiN 側へ酸素が供給されたことで HZO 膜に新たに V_o が形成されたことが分極疲労現象の原因の一つであると考えた。これら結果と我々の先行研究結果に基づいて分極疲労を抑制する手法を考察すると、HZO 膜内で分極ドメインをピン止めする V_o の生成を抑制するために、HZO 膜と電極の間の酸素の動きを制御した界面設計が重要であると結論した。

本研究の一部は JSPS 科研費(JP21J01667)及び文部科学省卓越研究員事業(JPMXS0320220213)によって支援されている。HAXPES 測定は SPring-8 BL09XU (2022B1865)にて実施された。

References

- [1] M. Pešić et al., *Adv. Funct. Mater.* **26**, 4601 (2016).
- [2] D. R. Islamov et al., *Acta Mater.* **166**, 47 (2019).
- [3] T. Onaya et al., *APL Mater.* **9**, 031111 (2021).
- [4] T. Onaya et al., *Solid State Electron.* **210**, 108801 (2023).
- [5] S. Nittayakasetwat et al., *Solid State Electron.* **204**, 108639 (2023).
- [6] T. Onaya et al., *Microelectron. Eng.* **215**, 111013 (2019).
- [7] 女屋他, 第 28 回電子デバイス界面テクノロジー研究会, 1-2 (2023).
- [8] T. Onaya et al., *Appl. Phys. Express* **10**, 081501 (2017).
- [9] T. Onaya et al., *APL Mater.* **7**, 061107 (2019).
- [10] T. Onaya et al., *Appl. Phys. Lett.* **117**, 232902 (2020).
- [11] T. Onaya et al., *APL Mater.* **10**, 051110 (2022).

XPS スペクトルの Noise2Noise デノイジングによる多層積層薄膜界面の高精度時空間深さ方向可視化

High-precision spatiotemporal depth direction visualization of multilayer stacked thin film interfaces using Noise2Noise denoising in XPS spectra

豊田 智史¹、吉村 真史²、住田 弘祐³、三根生 晋³、吉越 章隆⁴、鈴木 哲⁵、横山 和司⁵、
箕輪 卓哉⁶、小椋 厚志⁶、町田 雅武¹

¹シエンタオミクロン(株) 〒140-0013 東京都品川区南大井 6-16-4

²スプリングエイトサービス(株) 〒679-5165 兵庫県たつの市神宮町光都 1 丁目 20-5

³マツダ(株) 〒730-8670 広島県安芸郡府中町新地 3-1

⁴日本原子力研究開発機構 〒679-5148 兵庫県佐用郡佐用町光都 1-1-1

⁵兵庫県立大学 〒679-5165 兵庫県たつの市神宮町光都 1 丁目 490-2

⁶明治大学 〒214-8571 神奈川県川崎市多摩区東三田 1 丁目 1-1

Satoshi Toyoda¹, Masashi Yoshimura², Hirosuke Sumida³, Susumu Mineoi³, Akitaka Yoshigoe⁴,
Satoru Suzuki⁵, Kazushi Yokoyama⁵, Takuya Minowa⁶, Atsushi Ogura⁶, and Masatake Machida¹

¹Scienta Omicron, Inc., 4-16-6, MinamiOi, Shinagawa-ku, Tokyo 140-0013, Japan

²Spring-8 Service Co., Ltd., 1-20-5, Kouto, Shingu, Tatsuno, Hyogo 679-5165, Japan

³Technical Research Center, Mazda Motor Corporation, 3-1, Shinichi, Fuchu-cho, Aki-gun,
Hiroshima 730-8670, Japan

⁴Japan Atomic Energy Agency, 1-1-1, Sayo-cho, Sayo-gun, Hyogo 679-5148, Japan

⁵Synchrotron Radiation Nanotechnology Center, University of Hyogo, 1-490-2, Shingu, Tatsuno,
Hyogo 679-5165, Japan

⁶Meiji University, 1-1-1, Higashi-Mita, Tama-ku, Kawasaki, Kanagawa 214-8571, Japan

Tel: + 81-3-6404-9133, Fax: + 81-3-6404-9134 (e-mail: Satoshi.Toyoda@scientaomicron.com)

Abstract

We achieved high-precision spatiotemporal depth visualization of multilayer stacked thin-film interfaces by developing denoising methods for XPS spectral data. In this study, a denoising technique utilizing a recurrent neural network effectively eliminated noise from XPS spectra, particularly in the presence of strong Poisson noise. We confirmed the feasibility of the measurement analysis with HAXPES-Lab, extending its applicability to lab measurements for thin film analysis. This denoising technique enhances the accuracy of spatiotemporal depth visualization for multilayered thin-film interfaces.

1. はじめに

IMEC が半導体微細化ロードマップを更新し、現行 3 nm プロセスの FinFET から、2 nm ~ 7 Å プロセスの GAA、5 Å ~ 2 Å プロセスの CFET に至るスケールアップが示された[1]。計測や分析の研究開発においては、トランジスタ自体の 3D 積層化、チップやウエハの貼り合わせ技術、要素からシステム全体の最適化を可能にするテクノロジー、などが鍵を握っていると考えら

れる。IBM によると 2 nm 世代以降の GAA では、3D パラメータセットを完全に特徴づけるために複雑な計測が必要とされると示唆しており、インライン検査での非破壊かつ高速、さらには、多次元のフィードバックを提供する技術によって、オフライン検査への依存を減らすことが、プロセス学習サイクルの頻度に直接の影響を与えると考えられている[2]。

我々は、そのような昨今の半導体プロセス開

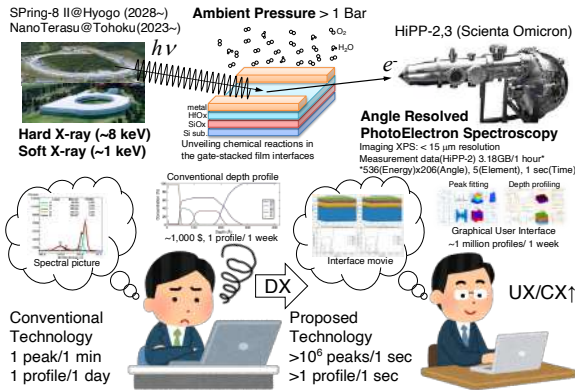


Fig.1. Concept for 4D-XPS analytical system.

発事情を鑑みて、多層積層薄膜界面そのものの時空間可視化を実現するべく、X線光電子分光(X-ray Photoelectron Spectroscopy)計測に立脚した解析手法の開発を進めてきた[3]。XPSは半導体製造の前工程から後工程に至る3D積層界面を非破壊で可視化する汎用技術として利用できるため、本技術の進展が期待される。

そこで、新たに4D-XPS法というコンセプトを打ち立て、ゲートスタック界面のプロセス開発を支援するための時空間可視化ツールの実現に向けたソフトウェアを開発した(図1)。XPS分析のデジタルトランスフォーメーションをねらいとし、既存のテクノロジーでは、ピークフィッティング解析スピード1本/1分、深さプロファイル解析スピード1分布/1日と遅いため、スペクトルや深さ分布の静止画の提示程度に留まっているところを、CPUやGPGPUなどの並列コンピューティング技術を駆使することで、ピークフィッティング解析スピード 10^6 本/1秒以上、深さプロファイル解析スピード1分布/1秒以上、と劇的に向上させ、多層積層薄膜界面のプロセス依存性などによる変化を動画として情報を取り出すことを可能にした。これにより、XPS計測ハードウェア性能次第では、多層薄膜界面変化の非破壊顕微鏡が実現可能になる。

本稿では、時間に依存するデータを多数取得する際、計測が短時間化することによりポアソンノイズが増大して、解析が不安定化する問題を解決するためのデノイジング技術として、画

像復元分野で知られているNoise2Noise深層学習技術[4]を採用し、シミュレーション及びHAXPES-Labの実験により、多層積層薄膜界面を可視化する際のデノイジング有無の効果調べた。

2. Noise2Noise 深層学習技術

Noise2Noise深層学習は、2018年にNVIDIAの研究者らが開発した、画像のノイズ除去のための機械学習の手法である。特徴は、学習時に正解データ(つまり、ノイズ無しの画像)を利用しない点で、それにも関わらず、正解データを使う学習手法と比べて遜色ない高い性能が得られたことが報告されている。ノイズ有りのデータで学習が済ませられれば、用途によってはデータ収集のコストを抑えられる可能性があり、特に、元々ノイズの無いデータの取得が難しい計測では有効性が高いと、紹介されている[4]。

この方法をXPSスペクトルのデノイジングに適用するため、事前にノイズ有りの多数データのペアをリカレントニューラルネットワークの入口と出口に設定して学習し、推論モデルを構築した後、既存のピークフィッティング解析技術のデータ部分に、推論を適用させた。

3. デノイジング技術の検証

シーケンスデータ(本稿ではスペクトルを時空間系列に並べた多数データ)を深層学習で取り扱うためのリカレントニューラルネットワークのアルゴリズムについては、まずは、最も単純な一次元畳み込みニューラルネットワーク(1D-CNN)を採用した。空間と時間の各点の数は、二次元検出器で実際に計測するケースを想定しており、角度10点、時間数50点(シミュレーション時には自由に変えられる)と設定し、合計500本のスペクトル列を1バッチとして、バッチ数を増やすことで、精度や確度が向上することを確かめた。学習及び推論に使用するスペクトルシーケンスは、1つのLorentz関数にGauss関数を畳み込んだVoigt関数にShirley型バックグラウンドを加算したものを採用し、ポアソン乱数によりポアソンノイズをスペクトルシーケン

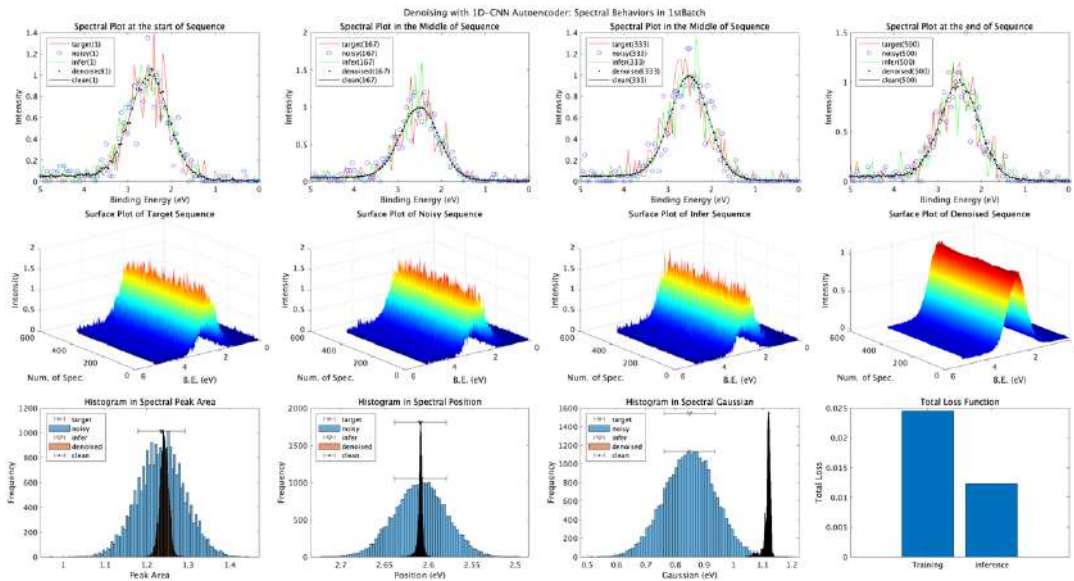


Fig.2. Verification of Noise2Noise denoising in XPS spectra. The representation shows the removal of noise after inference (center-right in the figure).

ステータに与えた。ノイズの与え方としては、スペクトルシーケンスデータのバッチ毎にノイズの度合いが同水準となるようにした。図2には、500本のスペクトルシーケンスデータと1000のバッチ数の検証結果について、ニューラルネットワークの出口(target)及び入口(noisy)、学習後の推論用入力データ(infer)及び推論出力結果(denoised)、正解データ(clean)を比較したものを示している。図中上段と中段は1000の内の1つ目のバッチのものを表しており、シーケンス列1-500に対して、効果的にdenoisedはcleanに近いものが得られている様子が見取れ、図中中段右は推論出力結果のスペクトルシーケンスで、あたかもフィッティング曲線のような滑

らかさが実現できている。図中下段は、全てのバッチの各々のスペクトルシーケンスにおいて、台形公式から計算したスペクトル面積、重心位置から計算したスペクトル位置、近似的にガウス積分の公式から計算したガウス幅を計算した結果をヒストグラムにて表示した。学習用に使用したnoisyデータよりも、推論結果であるdenoisedデータの方がばらつきは少なく、確度の高い結果となることがわかった。図中下段右は合計の損失関数を学習と推論で比較したもので、学習よりも推論の方が合計の損失関数が小さくなっており、これは一般的な学習とは異なる傾向を示しており、Noise2Noise学習の特徴が表れているといえる。

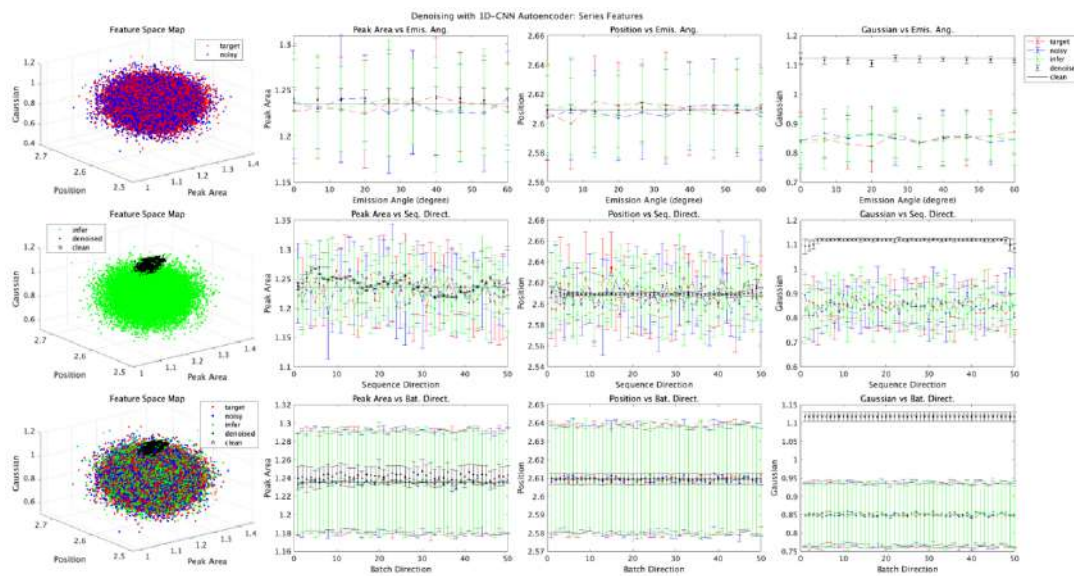


Fig.3. Verification of the parameter space verifying denoising of spatiotemporal XPS spectra. The black plots represent the inference results, indicating a reduction in variability.

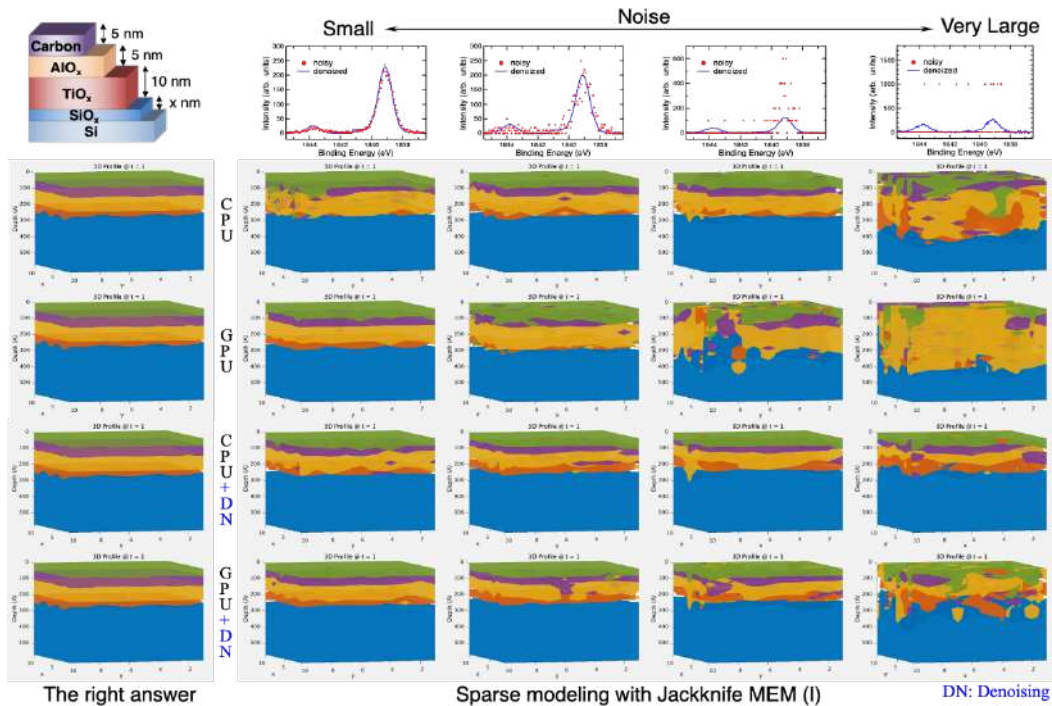


Fig 4. The comparison and evaluation of XPS denoising effectiveness were conducted through peak fitting processes on CPU/GPU, with an investigation into its impact on the level of Poisson noise.

より効率的な深層学習アルゴリズムを開発するために、前述した3種のパラメータを可視化して検証を進めた。図3は、学習データ及び推論データや正解値が3D空間上及び、シーケンス次元(時間や空間)やバッチ次元に対してどのように変動するかを表しており、アルゴリズムやデータを変更するたびに、これらの結果が得られるようにしている。図中黒のプロットが推論結果を表しており、これらが学習の入出力データや推論の入力データよりもばらつきが小さく、正解値に近いことが一目瞭然となった。

これらの結果は、500シーケンスx1000バッチ=50万スペクトルで得られたものであるが、バッチ数を20万にスケールアップして、1億スペクトルで学習や推論を行うと、精度や確度が著しく向上することも分かった(図3では黒の点はある程度ばらついているのを見て取れるが、1億スペクトルで学習するとほぼ完全に正解値が得られるようになる)。また、1D-CNN以外のアルゴリズムとして、自然言語処理の分野で幅広く知られているGRU、LSTM、bi-LSTM、Transformerなども使用することが可能である。今回のように時間や空間に対して相関が無い学習データなら1D-CNNでうまく推論もできるが、今後より複雑な界面を復元するためには、

これらのアルゴリズムを検討する余地があると考えられる。

4. 多層積層薄膜界面の高精度時空間深さ方向可視化

XPS スペクトルデノイズ処理の有無による効果を明らかにするために、多層積層薄膜界面の高精度時空間深さ方向可視化をデモンストレーションした。

図4左側に示すように、空間的には、界面SiO_x層厚が空間位置に応じて三角関数的に変化し、最表面にはCarbon層が配置されている試料構造で、時間的には、指数関数でSiO_x層の厚みが増減し、一次関数でCarbon層の厚みが増減する、と問題を設定した。面内方向は10点x10点、時間方向は200点(計2万分布)とした。深さ方向はガウス関数を用いて多層積層膜を再現し、計算した角度分解XPSデータにポアソンノイズを与え、スパースモデリング、ジャックナイフサンプリングMEMによる逆解析を行った。ジャックナイフサンプリングMEMでは、スパースモデリングで解析した結果を事前情報として取り入れる際、自身を抜いた空間地点の第1近接まで平均化した。

XPS スペクトルデータに与えるポアソンノ

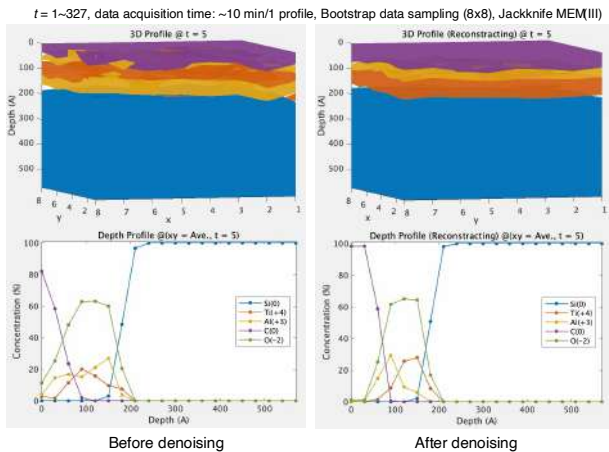


Fig.5. Validation of denoising techniques using experimental data obtained from HAXPES-Lab.

イズの度合いを、図4上部の中央から右側に示すように、系統的に変えて、それぞれシミュレーションスペクトルを準備し、デノイジング (DN: Denoising) 処理を前処理として行った後に、CPU 及び GPGPU でピーク強度を抽出して、深さ方向分布を計算した。CPU と GPGPU の結果を単純比較すると、CPU の方が精度は高いが処理速度は遅く、GPGPU の方が精度は劣るが処理速度は速いという結果が得られており、これは前回研究会 EDIT28 の報告と一致している [3]。図4右側の中央部から下部にかけて見て取れるように、CPU と GPGPU のいずれの処理法においても、デノイジング処理を行うと、深さ方向解析シミュレーションの成功率が高くなることが分かった。さらに、極端に強いポアソンノイズ(図4右端)では、デノイジング処理を行わない限りは、ほぼほぼ深さ方向解析が失敗していたのに対し、デノイジング処理を行うと、幾つかのシミュレーションでは成功することを明らかにした。これらの結果により、特に強いポアソンノイズをスペクトルに与えた場合においても、デノイジングは有効であることが示された。

最後に、HAXPES-Lab にて取得した実験データを用いてデノイジング技術の検証を行った結果を示す。試料はシリコン基板上にスパッタ法で作製された Carbon (5 nm)/AlO_x (5 nm)/TiO_x (10 nm)/SiO_x (? nm)積層膜(NTT-AT 社製)を用い

て、±30度の広角取り込みモードにて角度分解 XPS 測定データを1分布(計5元素)10分程度の積算時間で、327分布セットを取得した。それぞれ327の時系列データに対し、ブートストラップサンプリングを施し、8x8=64の空間マップを構成(データ量を増やすため、ブートストラップサンプリングしたデータは積算せず、ノイズの水準は変えていない)した後、第3近接まで取り込んだジャックナイフサンプリング MEM 解析にて、デノイジング効果の有無を比較した。図5左がデノイジング無し、右がデノイジング有りを示しており、327の時系列データの5番目を代表して表示している(解析結果は t=1~327の動画として得られている)。図から分かるように、デノイジングを行わないとノイズによる変動によって、かなり多くの解析が失敗している(TiO_x層の下側にAlO_x層が多く分布してしまっている)のに対して、デノイジングを行うと、多くの解析結果が成功している様子を見取ることができる。

このように、デノイジングを XPS データに効果的に施すことで、計測時間の短縮化によるノイズ増大の問題に対する解決策の糸口を提供できると考えられる。今回検証に用いた HAXPES-Lab データの計測時間は数分程度であり、放射光で通常測定しているような短い時間でデータを取得している。今回開発したデノイジング処理を施すことによって、Lab 測定で得られた解析結果が放射光測定での解析結果と比較しても遜色の無いものとして得られた。デノイジング技術は汎用性が高いため、放射光測定データに対して処理を施すことができる。そうした場合には、分スケールよりも速い、秒スケール、サブ秒スケール(学習データサイズ次第では、マイクロ秒スケールで取得したデータでも実現可能になるかもしれない)、などの速い時間で取得した計測データで検証する価値があるのかもしれない。今後、より実験に即したノイズの度合いをシミュレーション及び実機にて再現可能かどうか、適宜検討していく必要があると考えられる。

5. まとめ

XPSスペクトルのNoise2Noiseデノイジング技術を開発し、多層積層薄膜界面の高精度時空間深さ方向可視化をデモンストレーションした。データの前処理としてデノイジングを施すことにより、XPS測定の高時間化による深さ方向解析結果の不安定性増大に対する解決策の糸口を得た。

References

- [1] Future Summits 2022, IMEC.
- [2] M.A. Breton *et al.*, *J. Micro/Nanopattern. Mater. Metro.* **21**, 021206 (2022).
- [3] 豊田智史他、電子デバイス界面テクノロジー研究会(第28回研究会、2023年)。
- [4] J. Lehtinen *et al.*, arXiv: 1803.04189. (2018).

角度分解 2 光子光電子分光法を用いたホールサブバンドの高分解能測定 High resolution analysis of hole subband probed by AR2PPE

坂田 智裕¹, 武田 さくら², 山本 勇³, 東 純平³,
小野 太智², 堀江 里菜², 奥村 勇斗², 市川 涼太², 山田 敬一¹, 宮田 洋明¹

- 1 株式会社東レリサーチセンター 〒520-8567 滋賀県大津市園山 3-2-11
- 2 奈良先端科学技術大学院大学 先端科学技術研究科 〒630-0192 奈良県生駒市高山町 8916-5
- 3 佐賀大学 シンクロトロン光応用研究センター 〒841-0005 佐賀県鳥栖市弥生が丘 8-7

Tomohiro Sakata¹, Sakura N Takeda², Isamu Yamamoto³, Junpei Azuma³,

Taichi Ono², Rima Horie², Hayato Okumura², Ryota Ichikawa², Keiichi Yamada¹, Hiroaki Miyata¹

1 Toray Research Center, Inc., 3-2-11 Sonoyama, Otsu, Shiga 520-8567, Japan

2 Division of Materials Science, Nara Institute of Science and Technology,

8916-5 Takayama, Ikoma, Nara 630-0192, Japan

3 Synchrotron Light Application Center, Saga University, 8-7 Yayoigaoka, Tosu, Saga 841-0005, Japan

Tel: + 81-77-510-9109 (e-mail: tomohiro.sakata.r9@trc.toray)

Abstract

High resolution analysis of the electronic structure within inversion layer was performed by laser-ARPES (angle-resolved photoelectron spectroscopy) and AR2PPE (angle-resolved two-photon photoelectron spectroscopy). The polarization dependent of the subband dispersion is revealed using the laser-ARPES. L1 and L2 bands are mainly observed s-polarization. On the other hand, H1~H4 bands are observable in both s- and p- polarization. In AR2PPE, the shape of band bending is varied by SPV (surface photo-voltage) effect induced by the irradiation of pump photon.

1. はじめに

半導体表面近傍に形成される反転層では、バルクの電子状態とは異なり、量子化されたサブバンドが形成されることが知られている。このサブバンド分散は MOSFET 動作における移動度などデバイス性能を決める重要な指標であり、本研究会でも角度分解光電子分光法(ARPES)を用いたホールサブバンドに関する報告が盛んになされてきた[1][2]。この反転層中の電子状態であるサブバンドの詳細な軌道情報やキャリアダイナミクスは、デバイス特性のキーパラメーターであるキャリアの有効質量の異方性やライフタイムなどの理解に必要である反面、時間分解機能を持ち、偏光可変の入射光を用いた角度分解光電子分光測定が必要となる。

角度分解 2 光子光電子分光法(AR2PPE)は、ポンプ光を用いて占有状態から非占有状態への電子励起を誘起し、ポンプ光との遅延時間を調整したプローブ光による角度分解光電子分光測定を実施することで、SPV(表面光起電力)による反転層の形状変化[3]やキャリアの励起ダ

イナミクス解析[4]が可能である他、入射光の偏光が可変であるため、バンド分散における軌道に関する情報が取得できる強力な電子物性解析手段である。

本研究では、反転層中の電子状態およびキャリアダイナミクスの理解を目的とし、Si(111)表面への Pb 吸着によって誘起される Si 表面近傍の反転層中の電子状態について、レーザー ARPES および AR2PPE を実施した。

2. 実験条件

測定は九州シンクロトロン光研究センター(SAGA-LS)の佐賀大学ビームライン BL13 にて実施した。

試料は n 型 Si (111) 単結晶基板を用いた。真空導入後 200°C で 12 時間保持し、試料および試料ホルダーのデガスを実施した。表面清浄化処理として、1250°C フラッシュアニーリングを行い、LEED(low-energy electron diffraction)を用いて Si(111)7×7 表面超構造を確認した。Si(111)

$\sqrt{3} \times \sqrt{3}$ -Pb 表面超構造は、Si(111)清浄表面への Pb(1 ML)加熱蒸着により作製した。反転層中に形成されるホールサブバンドの偏光依存解析では、入射光を Ti:Sapphire レーザー ($4\omega=6.0$ eV)として用い、s 偏光および p 偏光での ARPES 測定を実施した。また光励起キャリアダイナミクス解析のための時間分解2光子光電子分光測定では、光源として Ti:Sapphire レーザーを用い、p 偏光の基本波($\hbar\omega=1.5$ eV)をポンプ光、s 偏光および p 偏光の四倍高調波($\hbar\omega=6.0$ eV)をプローブ光として用い、光電子スペクトルの遅延時間依存性を調べた。

3. 結果

図1に s 偏光および p 偏光のレーザーARPES 結果を示す。両偏光で反転層形成により量子化されたサブバンド構造が認められ、s 偏光では、フェルミレベル近傍において、曲率が大きい分散形状(H1~H2)および曲率の小さい分散形状(L1~L2)が検出された。一方、p 偏光では曲率の大きい分散形状(H1~H4)が主として検出された。

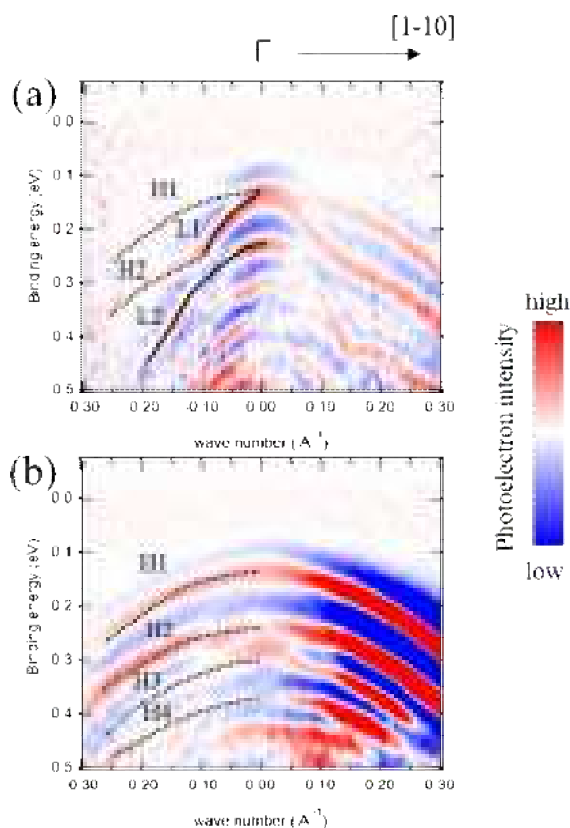


Fig.1 Laser ARPES intensity map obtained by s-polarization (a) and p-polarization (b). Solid and dashed line are depicted the band dispersion for guide to the eyes.

異なる偏光を用いた ARPES において、バンド分散の強度の違いは、検出面に対するバンドの構成軌道の対称性を反映している。主に s 偏光において観測されている L1~L2 は、検出面に対して偶対称性を持つ軌道が主であると推定され、s および p の両偏光において認められた H1~H4 は検出面に対して偶および奇対称性を持つ軌道で構成されていると考えられる。これらバンドの構成軌道の対称性は、量子化したサブバンド間の混成(hybridization)の大きさに影響を及ぼすと考えられる[5]。本発表ではサブバンド間の hybridization においても詳しく議論する。

次に p 偏光の基本波($\hbar\omega=1.5$ eV)をポンプ光、s 偏光の四倍高調波($\hbar\omega=6.0$ eV)をプローブ光として用いた AR2PPE によって得られたカットオフスペクトルおよび遅延時間依存性を示す。Pump 光照射により、カットオフの立ち上がり位置が、0.07 eV 程低運動エネルギー側へシフトすることが分かった(図 2(a))。これは、SPV(表面光起電力)による反転層の形状変化によるものと考えられる。またカットオフ位置の遅延時間依存性から、遅延時間 1000 ps までカットオフ位置はおおよそ一定であった(図 2(b))。これは、この時間領域において、反転層のバンド湾曲形状はおおよそ同等であることを意味しており、キャリアの緩和時間が 1000 ps 以上の長寿命であることを示唆する結果である。本発表では、サブバンド構造の時間依存性についても詳細に議論する。

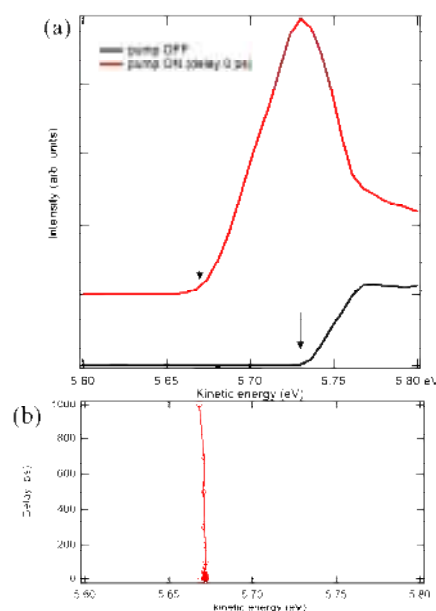


Fig.2 (a)Cut-off spectra obtained from AR2PPE. (b)Cut-off positions as a function of delay time.

4. まとめ

本研究では、レーザーARPESを用いて、Si反転層中におけるサブバンドの偏光依存性を詳細に調べた。その結果、観測されたサブバンドを構成する軌道の対称性に関する知見を得ることができた。さらに、AR2PPEを用いて反転層形状の時間依存性を明らかにした。

References

- [1] S. N. Takeda et al., Phys. Rev. B **82**, 035318 (2010).
- [2] S. N. Takeda et al., Phys. Rev. B **93**, 125418 (2016).
- [3] S. Tanaka et al., J. Phys. Soc. Jpn. **72**, 659 (2003).
- [4] J. Kanasaki et al., Phys. Rev. B **97**, 035201 (2018).
- [4] T. Sakata et al., Semicond. Sci. Technol. **31**, 085012 (2016).

SiN 膜に含まれる水素の化学結合状態と分布に与える 水素プラズマ処理の影響の AR-HAXPES 評価

AR-HAXPES evaluation of the effect of hydrogen plasma treatment on the chemical bonding state and distribution of hydrogen in SiN Films

桐原 芳治¹, 小俣 晴人¹, 保井 晃², 中川 清和³, 三谷 祐一郎¹, 野平 博司¹

1 東京都市大学 〒158-8557 東京都世田谷区玉堤 1-28-1

2 高輝度光科学研究センター 〒679-5198 兵庫県佐用郡佐用町光都 1-1-1

3 株式会社アビット・テクノロジーズ 〒102-0084 東京都千代田区二番町 5 番地 2 麴町駅プラザ 901

Yoshiharu Kirihara¹, Haruto Omata¹, Akira Yasui², Kiyokazu Nakagawa³,
Yuichiro Mitani¹, Hiroshi Nohira¹

1 Tokyo City University, Setagaya-ku, Tokyo, 158-8557, Japan

2 Japan Synchrotron Radiation Research Institute (JASRI), Sayo-gun, Hyogo, Japan

3 Abit Technology (Co. Ltd.), koji machi plaza 901, Chiyoda-ku, Tokyo, 102-0084, Japan

Tel: + 03-5707-0104 (2788), Fax: + 03-5707-2172

(e-mail: g2391202@tcu.ac.jp, ee.y.kirihara@gmail.com)

Abstract

It has been reported that the presence of hydrogen-incorporated defects in silicon nitride (SiN) films causes degradation of device characteristics. Therefore, controlling hydrogen-incorporated defects in SiN films is extremely important for high reliability of electronic devices. In this study, a hydrogen desorption process by hydrogen plasma treatment was attempted to reduce hydrogen-incorporated defects in SiN films. AR-HAXPES measurements suggest that hydrogen is desorbed from hydrogen-incorporated defects by hydrogen plasma treatment, and that the amount of hydrogen desorption depends on the treatment time.

1. はじめに

シリコン窒化膜 (Si₃N₄, 以後 SiN と表記) 中の水素は、電子デバイスの信頼性と深い関係があることが知られている。特に 3 次元フラッシュメモリの電荷トラップ層であるシリコン窒化膜中の Si-N-H 結合は窒素空孔のシリコンと結合することで浅いトラップ準位を生成し、隣接セルへの電荷移動によるデータ保持特性劣化を加速すると考えられている [1-3]。そのため、フラッシュメモリの高信頼化に向けて、SiN 膜中の Si あるいは N と水素との結合を制御することは極めて重要であり、様々な制御手法が提案されている。水素を脱離させるために最も単純な手法は高温アニール等の熱的プロセスであるが、周辺素子への影響が懸念される。そ

こで我々は、SiN 膜にマイクロ波励起水素プラズマ処理を試みたところ、膜中の水素濃度はほとんど変化しないにも関わらず、SiN 膜のリーク電流や浅いトラップ準位密度が明らかに減少することを見出した [4]。本研究では、その起因を明らかにするために、SiN 膜中に含まれている水素の化学結合状態と分布の変化を調べた。

2. 実験条件

実験には、5 nm-SiO₂/n-Si 基板上にプラズマ CVD 法で成膜した約 20 nm の SiN 膜を用いた。なお、本研究では水素脱離の影響を見ることを目的としており、SiN 膜は意図的に約 1.8×10^{22}

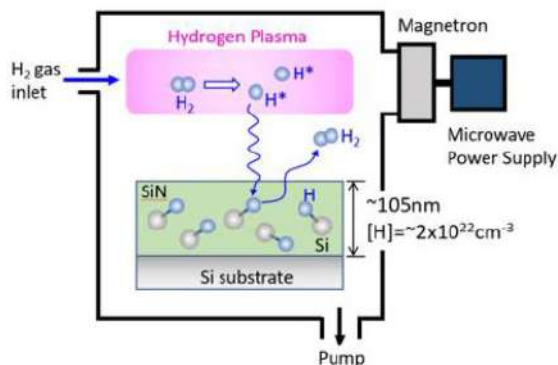


Fig. 2 Hydrogen plasma treatment process

cm^{-3} の水素を含有している試料を用いた。Fig. 1に実験に用いた自己整合マイクロ波プラズマ装置を示す。サンプル挿入後に真空引きを行い、その後水素ガス (100% H_2) の導入でプラズマを発生させる。本研究では、100% H_2 ガスの流量を 10 sccm、出力を 500 W に固定し、照射時間をパラメータとして実験を行った。この試料を、SPring-8 BL09XU [5,6]を用いて AR-HAXPES 測定した。入射光のエネルギー $h\nu$ は $h\nu=7930.3$ eV、Take Off Angle (TOA)は $16.8\sim 64.8$ deg.である。測定光電子は、N 1s, Si 1s である。また、SiN 膜の最表面の化学結合状態を調べるために、ラボ XPS ($h\nu=1486.6$ eV) を用いて TOA=35 deg. の測定を行った。測定光電子は Si 2p, C 1s, O 1s, N 1s である。なお、C 1s 光電子スペクトルの C-C 結合ピーク位置を 285.0 eV として[7]、チャージアップの補正を行った。電気測定は、抵抗加熱蒸着法を用いて試料の両面に Al 電極を蒸着し、MIS キャパシタ構造で行った。SiN 膜中の

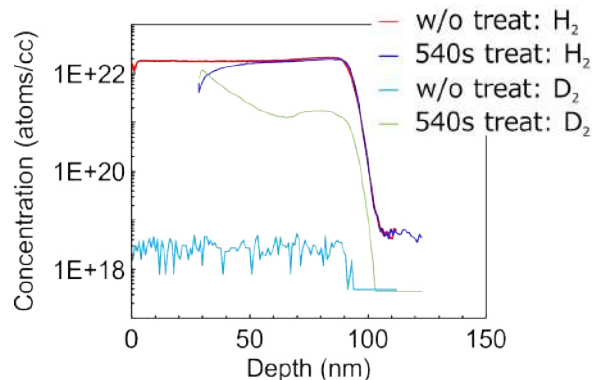
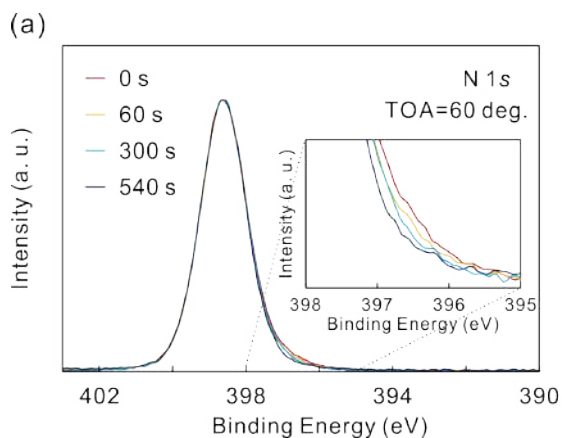


Fig. 1 Hydrogen and deuterium profiles in SiN film before / after D_2 -plasma treatment measured by SIMS.

水素濃度は、二次イオン質量分析 (Secondary Ion Mass Spectrometry: SIMS)を用いて測定した。なお、電気測定および SIMS に用いた試料は、100 nm-SiN/p-Si 構造にプラズマ出力を 1000 W で重水素を照射している。

3. 結果および検討

水素ラジカル照射による脱水素の効果を確かめるために、未処理の試料と重水素(D_2)プラズマ処理を 1000 W, 540 秒間施した試料の SIMS 測定結果を Fig. 2 に示す。プラズマ処理により SiN 膜が 30 nm 程度エッチングされるが、 D_2 が SiN 膜の奥まで存在することがわかる。一般的に、質量の大きい分子をプラズマ処理で膜に叩

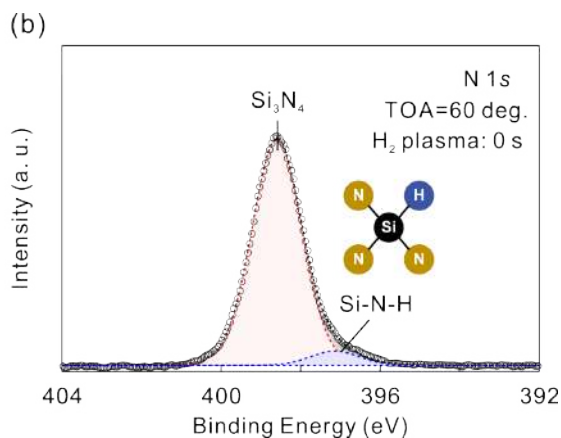


Fig. 3 N 1s photoemission spectra measured by HAXPES (a) Change of chemical bonding state by hydrogen plasma treatment, (b) Peak assignment result.

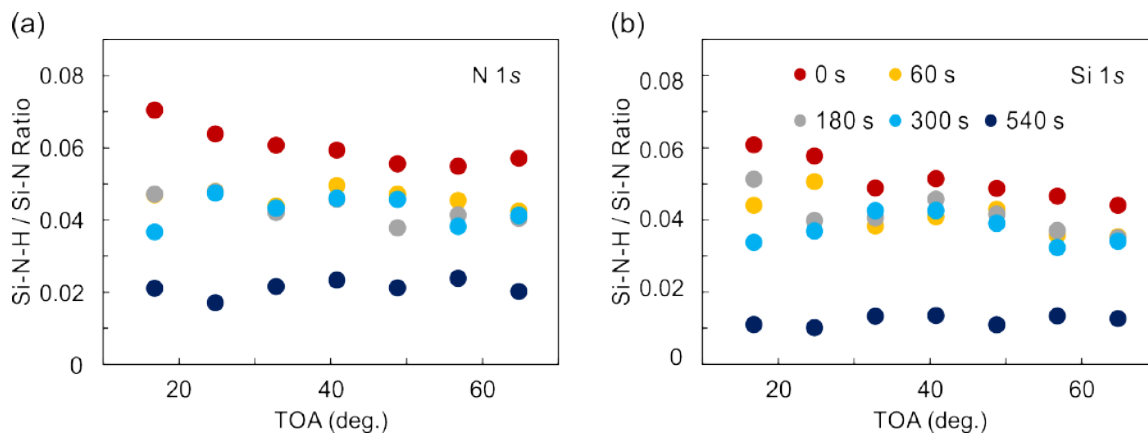


Fig. 4 Calculation of the ratio of hydrogen bonds in SiN films (a) N 1s, (b) Si 1s.

き込むためには、より大きな出力が必要である。よって、 D_2 プラズマ処理で膜中に水素が確認されれば、軽い H_2 を用いたプラズマ処理でも効果があると考えられる。処理後、表面付近の H_2 濃度は、未処理と比較し減少しているが、 D_2 は増加している。よって、水素原子の数は大きく変化していないことがわかる。

Fig. 3(a) に、 H_2 プラズマ処理前後の SiN 膜からの N 1s 光電子スペクトルを示す。未処理の SiN 膜からの信号は低結合エネルギー (BE) 側に裾を引いており、これは Si-N-H 結合によるものと考えられる [8]。詳細な Si-N-H 結合の割合を算出するために、Fig. 3(b) のように、Si-N, Si-N-H のピーク間隔を 1.46 eV に固定し、2 ピークでフィッティングを行った。Fig. 4(a) に N 1s 光電子スペクトルから求めた Si-N-H と Si-N 結合量の比 Si-N-H/Si-N の光電子放出角度依存性を示す。未処理 SiN 膜は、TOA 34.8~64.8 deg. までは角度依存が非常に小さく、約 6% の Si-N-H

結合が一様に分布していると考えられる。一方で、表面敏感となる TOA 16.8~24.8 deg. では約 7% に増加することがわかった。60 秒~300 秒のプラズマ処理を行った試料では Si-N-H 結合割合は約 5% に減少した。540 秒のプラズマ処理を行った試料では、Si-N-H 結合は約 2% に減少することを確認した。これらは角度依存性が非常に小さいことから、膜中の水素結合が一様に減少していると考えられる。Si 1s 光電子スペクトルから求めた Si-N-H/Si-N 比率は Fig. 4(b) のようになり、N 1s 光電子スペクトルから求めた値と概ね一致した。Si-N-H/Si-N をプラズマ処理時間の関数として表すと Fig. 5 のようになり、プラズマ処理時間が長くなるほど Si-N-H 結合割合が減少していることがわかる。

次に、プラズマ処理が SiN 膜に与えるダメージについて議論する。Fig. 6 の Si-O 結合の角度依存性から、プラズマ処理後の表面は酸化が進

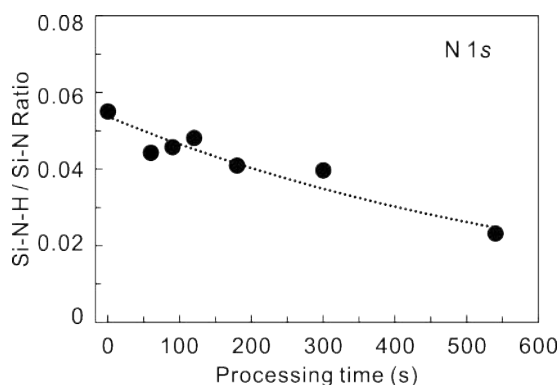


Fig. 5 Relationship between hydrogen plasma treatment time and the ratio of hydrogen bonding in SiN films.

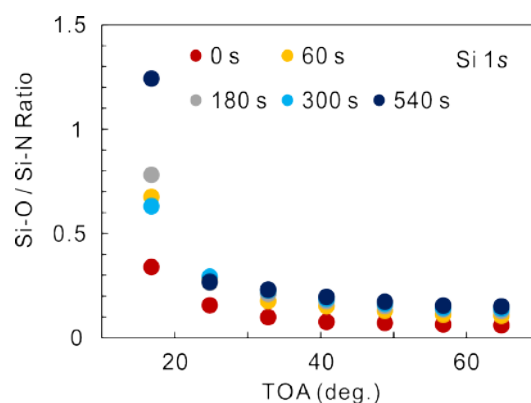


Fig. 6 Calculation of the ratio of oxygen bonds in SiN films.

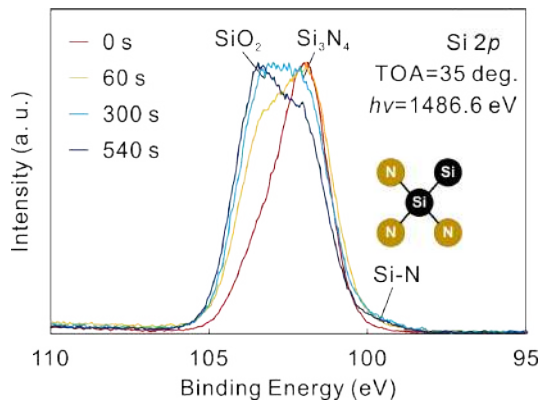


Fig. 7 Evaluation of oxide components on SiN film by XPS measurement.

んでいることがわかる。これは、水素プラズマ処理がSiN膜表面近傍にダングリングボンドを形成し、大気中の酸素原子と結合したことが原因と考えられる。また、表面から3 nm程度の化学結合状態を調べるために、ラボXPSを用いてSiN膜の測定を行った。Fig. 7にSi 2p光電子スペクトルを示す。SiO₂とSiNのBE差は、HAXPESを用いて測定したSi 1sのとき1.45 eVであり、ラボXPSを用いて測定したSi 2pのとき1.55 eVであることがわかった。この0.1 eVのBE差は原子軌道による影響と考えられ、妥当な値と考えている。さらに、水素プラズマ処理後はSiN由来のピークよりも低BE側で追加のピークが観測され、BE差は1.94 eVであることがわかった。HAXPESで測定したSi 1s光電子スペクトルは、SiNとSi-N-H結合のBE差は

1.45 eVであり、化学結合状態が異なることを示唆している。つまり、この追加ピークはSiNから1つのNがHよりも電気陰性度の小さい原子、つまりSiに置き換わっていると考えられる。一方で、Fig. 8(a)に示すように、N 1s光電子スペクトルの形状は変化していない。これはラボXPSの分析感度による影響が考えられる。1ピークでフィッティングしたときのFWHM変化をFig. 8 (b)に示す。プラズマ処理時間が比較的短い60~120秒では半値全幅(Full Width at Half Maximum FWHM)が明らかに大きいことがわかる。これは、Si 2pと同様に、Si-N結合が増加したことが原因と考えられる。180~540秒の領域でFWHMが小さくなる理由は、Si-N-H結合が減少しているためと考えられる。

Fig. 9にSiN膜厚をHAXPES測定でSi-sub.とSiNの強度比から算出した結果を示す。また、水素プラズマ処理の影響で最表面は酸化膜が増加するため、SiN膜上の酸化膜厚をSiO₂とSiNの強度比から求めた。この結果から、プラズマ処理によって最大でSiN膜が2.5 nm程度エッチングされることがわかった。なお、未処理のSiN膜は19.7 nmと算出できた。

最後に、電気特性からSiN膜の水素脱離の効果を評価する。Fig. 10に室温300KにおけるJ-V特性を示す。ここでは、水素ラジカル照射時間を0~540秒としたMIS(AI/SiN/p-Si(100))キャパシタの結果を示している。J-V特性から、水素ラジカル照射時間の増大に伴い、低電圧でのリーク電流が減少し、かつJ-V特性の立ち上がりが急峻になっている傾向が見て取れる。本研

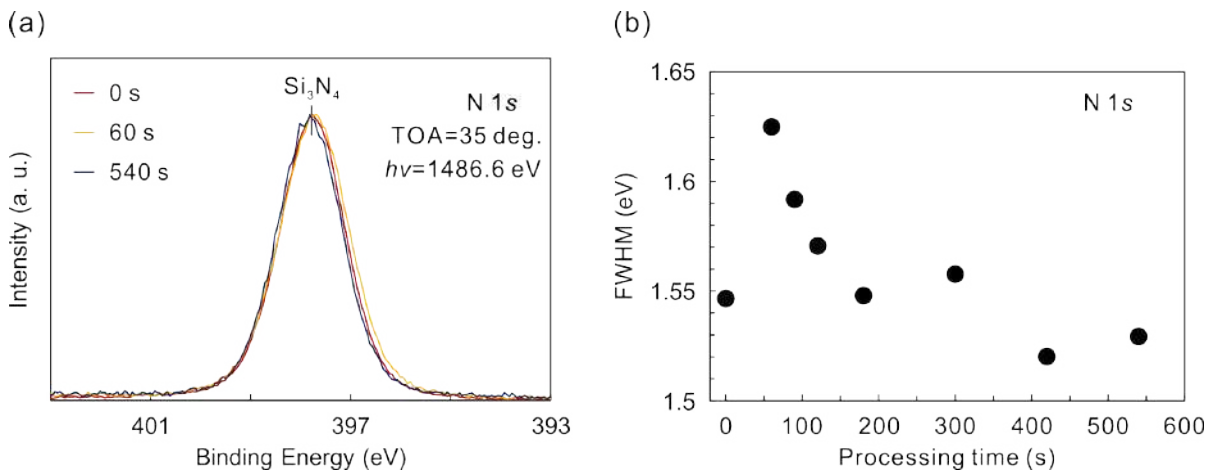


Fig. 8 (a) Evaluation of N 1s photoelectron spectra from SiN films by XPS measurement, (b) FWHM change of photoelectron spectrum by hydrogen plasma treatment.

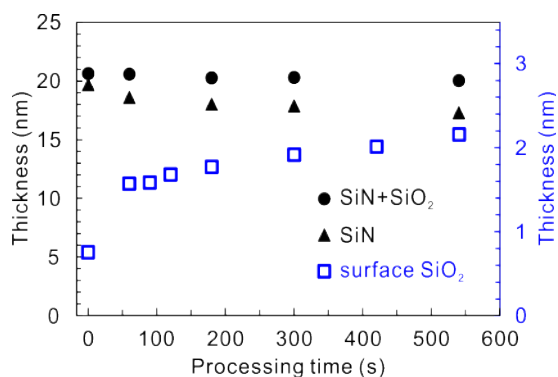


Fig. 9 Calculation of SiN film thickness.

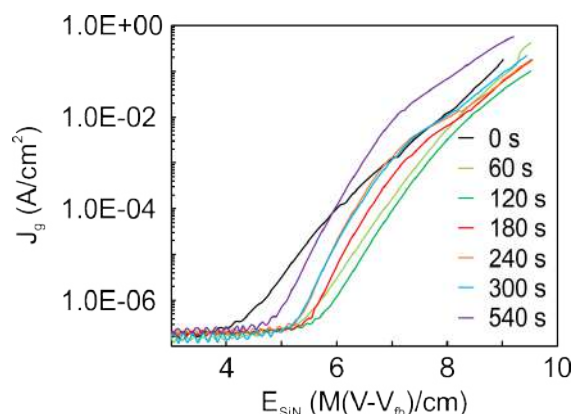


Fig. 10 J - E characteristics

究で用いた MIS キャパシタは厚膜 SiN 単層であるため、Fig. 10 の電流成分は正孔であると考えられる。この結果をもとに、伝導に寄与するトラップ準位エネルギーを Poole-Frenkel (P-F) 解析により算出を行った。その結果を Fig. 11 に示す。Fig. 11 より、未処理の試料はトラップ準位が約 1.45 eV (SiN 膜の価電子帯端からのエネルギー差) と浅い値になるのに対し、水素ラジカル照射を行った試料は明確なトラップ準位の変調が観測され、約 2.20 eV と深くなる結果となった。SIMS と HAXPES の結果と合わせて考えると、SiN 膜中の水素結合は切断されるが、膜中に存在していることがわかり、電導を律速するトラップ準位が深くなったことを示唆している。

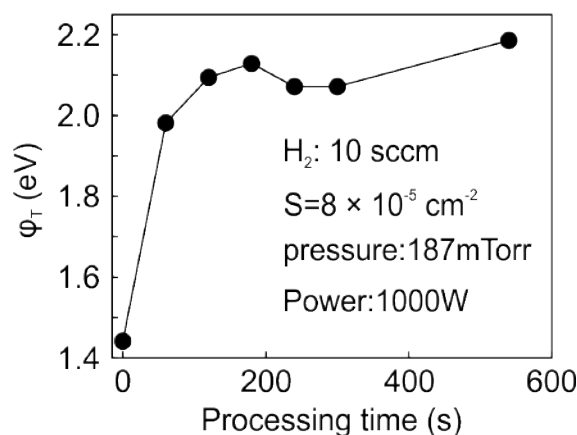


Fig. 11 Relation between hydrogen radical exposure duration and trap energy levels (ϕ_T) estimated from P-F analysis.

4. まとめ

SiN を用いている電子デバイスの特性劣化の起源の一つとされる SiN 膜中の水素との結合を減少するためのプロセス技術として、水素プラズマ処理を提案した。本研究の成果として、(1) 水素プラズマ処理は、Si-N-H 結合割合を減少させるが、最表面にダングリングボンドを形成し、プロセス時間に応じて酸化膜厚が増加、(2) J-V 特性から、水素ラジカル照射による伝導に寄与するトラップの深化が確認された。以上の結果は、水素プラズマ処理が SiN 膜中の水素結合を切断することが可能であり、浅いトラップ準位の減少に効果がある事を示唆している。

本研究の一部は、東京都市大学ナノ科学技術

学際研究センターの支援を受けたものです。放射光実験は、大型放射光施設 SPring-8 の BL09XU を用いて、高輝度光科学研究センターの承認 (JASRI, Proposal No. 2023B1685, 2023B1910, 2023B1932) によって実行されました。本研究は JSPS 科研費 JP22K04743 の助成を受けたものです。

References

- [1] K. Sonoda et al., J. Appl. Phys. **117**, 104501 (2015).
- [2] H. Seki et al., Jpn. J. Appl. Phys. **57**, 06KB04 (2018).
- [3] F. Wang et al., IEEE Access **9**, 47391 (2021).

- [4] H. Omata et al., in *EDIT28* (2022) p. 95.
- [5] E. Ikenaga et al., *J. Electron Spectrosc. Relat. Phenom.* **190**, 180 (2013).
- [6] A. Yasui et al., *J. Synchrotron Radiat.* **30**, 1013 (2023).
- [7] J. F. Moulder et al., *Handbook of X-ray photoelectron spectroscopy* (1992).
- [8] T. J. Yen et al., *Sci. Rep.* **10**, 2807 (2020).

水素プラズマ処理による ALD-SiO₂ 膜中トラップエネルギー準位の深化

Deepening of Trap Energy Levels in ALD SiO₂ Films by Hydrogen Plasma Treatment

藤田 雄輝¹ 中川 清和² 三谷祐一郎¹

¹ 東京都市大学 〒158-8557 東京都世田谷区玉堤 1-28-1

² 株式会社アビット・テクノロジーズ 〒102-0084 東京都千代田区二番町 5 番地 2 麹町駅プラザ 901

Yuki Fujita¹, Kiyokazu Nakagawa², Yuichiro Mitani¹

1 Tokyo City University, Setagaya-ku, Tokyo, 158-8557, Japan

2 Abit Technology (Co. Ltd.), koji machi plaza 901, Chiyoda-ku, Tokyo, 102-0084, Japan

Tel: + 03-5707-0104 (2788), Fax: + 03-5707-2172 (e-mail: g2281277@tcu.ac.jp)

Abstract

It has been pointed out that hydrogen in the ALD-SiO₂ film is a precursor to defects generated when electrical stress is applied to the film. These hydrogen-originated defects have been reported to cause carrier traps and leakage currents during transistor and memory cell operation such as negative bias temperature instability (NBTI) and stress induced leakage currents (SILC). Therefore, in this study, we attempted to desorb hydrogen in ALD-SiO₂ films by hydrogen plasma treatment. Furthermore, the electron trapping under constant-current stressing is suppressed by the hydrogen plasma treatment. This may indicate that the hydrogen plasma treatment desorbs the hydrogen in the ALD-SiO₂ film and can reduce the hydrogen-originated defects.

1. はじめに

先端 CMOS/Logic の High-k ゲートスタックの界面層 (interfacial layer: IL) や 3D フラッシュメモリのトンネル膜に使用される ALD (Atomic Layer Deposition) で成膜したシリコン酸化膜 (SiO₂) は膜中に含まれた水素が電気的なストレスを印加した際の生成欠陥プリカーサとなることが指摘されている。この水素起因の膜中欠陥は、酸素欠損に水素が入り込んだ水素ブリッジ構造 (Hydrogen Bridge)、架橋酸素に水素が結合した構造 (Hydroxyl E' center) とされバンドギャップ中に欠陥準位を形成する [1-3]。さらにこれらの水素起因欠陥は負バイアス温度不安定性 (NBTI: Negative Bias Temperature Instability) やストレス誘起リーク電流 (SILC: Stress induced leakage currents) 等の起源とされ、トランジスタやメモリセル動作時のキャリアトラップやリーク電流を引き起こすと考えられている [1,2]。これらの水素結合から水素を脱離する方法として、水素プラズマで生成する原子状水素を試料に供給する表面処理技術が提案されており、High-k ゲート絶縁膜の界面 SiO₂ 層に適用する

と NBTI 劣化が約 1/100 に改善するという報告 [1,4] がなされている。一方で絶縁破壊の水素リリースモデル (Hydrogen Release model: HR model) を実験的に検証する研究では、SiO₂ 膜を原子状水素に曝すとストレス誘起リーク電流が増加するという報告 [2] もある。このように SiO₂ 膜の信頼性に及ぼす原子状水素の影響は相反する効果が報告されている。この原因を考えると、改善効果を報告する論文の SiO₂ 膜は 0.6~1.8nm の ALD-SiO₂ を用いており、一方悪化を報告する論文では膜厚 3.7~5.5nm の Dry-SiO₂ を用いている。つまり、膜厚の違いで効果が変わるのか、酸化膜形成プロセス・種類で効果が変わるのかの可能性が考えられ、シリコン酸化膜の信頼性に及ぼす原子状水素曝露効果の支配的要因は明らかになっていない。

そこで本研究では、厚さ 7nm の ALD-SiO₂ 膜に対してマイクロ波励起水素プラズマ処理を施し、電気的な特性から原子状水素処理の影響を調べた。つまり、前述の「膜厚の違いで効果が変わるのか」を実験的に調べる。なお本研究で用いたマイクロ波励起水素プラズマ処理 (詳

細は実験方法で述べる)を用いると水素を多く含む SOG 膜(Spin-on-Glass)中の Si-H 結合量が水素プラズマ処理時間の増加に伴い低減していく様子やシリコン窒化膜(SiN)中の水素を低減できることを実証している[5,6]。

2. 実験条件

実験には、Fig.1(a)のように n-Si 基板上に ALD 法で成膜した約 7nm の SiO₂ を用いた。原子状水素によるシリコン酸化膜表面処理には Fig.2 に示す自己整合マイクロ波プラズマ装置を用いた。サンプル導入後に真空引きを行い、その後水素ガス(100%H₂)を導入しプラズマを発生させる。本研究では、100%H₂ ガス流量を 10sccm、マイクロ波出力を 500W に固定し、処理時間をパラメータとして実験を行った。以後、本装置を用いた原子状水素供給プロセスを便宜上“水素プラズマ処理”と記す。電気特性を計測するサンプルは、抵抗加熱真空蒸着法を用いて試料の両面に Al 電極を蒸着し Fig.1(b)に示す MOS キャパシタ構造で計測した。

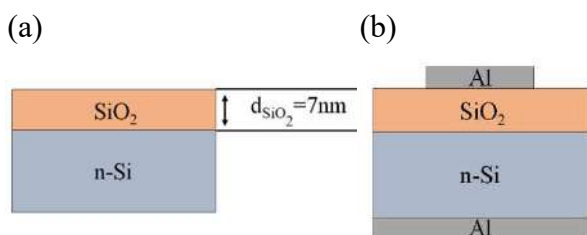


Fig.1(a)(b) Sample structure for analysis

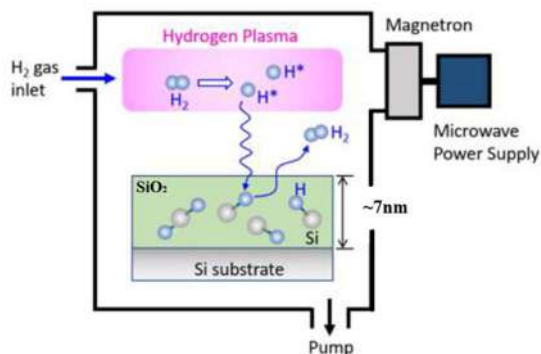


Fig.2 Hydrogen plasma treatment process

3. 実験結果および考察

Si 表面や SiN 膜表面に過剰な原子状水素を照射すると表面のエッチングが起こることが知られている [7, 8]。そこで本研究でも用いた ALD-SiO₂ 膜に対する水素プラズマ処理による表面のエッチング効果の有無を確かめるために、未処理の試料と水素プラズマ処理を 1、2、3 分間施した試料の分光エリプソメトリー (Spectroscopic ellipsometry) 法による膜厚の測定結果を Fig.3 に示す。これにより、多少のバラ

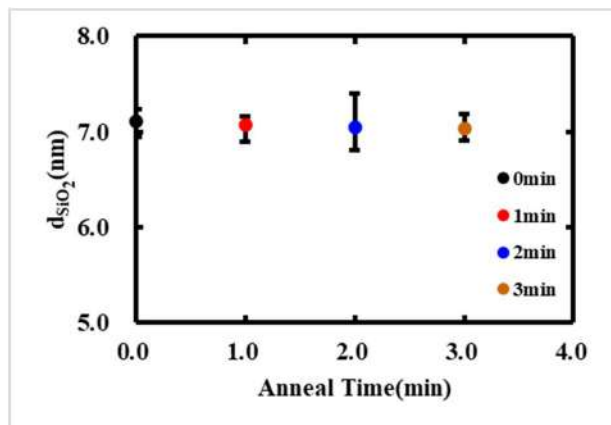


Fig.3 SiO₂ film thickness before and after hydrogen plasma treatment measured by ellipsometer.

つきはあるものの、本研究で用いた水素プラズマ処理条件では原子状水素によるエッチングは発生していないことを確認した。

続いて、電気特性から水素プラズマ処理前後の SiO₂ 膜評価を行った。Fig.4 に室温(300K)における C-V 測定法から算出したフラットバンド電圧(V_{fb})を示す。ここでは水素プラズマ処理時間を 0、1、2、3 分とした Fig. 1(b)記載の構造の MOS キャパシタを用いている。これによると処理前で 0.2V であった V_{fb} 値が水素プラズマ処理時間の増加にともない正方向にシフトしていく様子が観測された。文献 4 によれば ALD-SiO₂ には Hydrogen Bridge や Hydroxyl E' center の水素起因欠陥が含まれ、これらが浅い欠陥を形成する。これらに原子状水素を供給すると水素が除去され、特に Hydrogen Bridge 構造はより深いエネルギー準位を有する E' center に変化すると報告されている。この E' center は中性トラップであり、Fig.4 の結果はこの欠陥に電子がトラップされることで V_{fb} 値が正方向にシフト

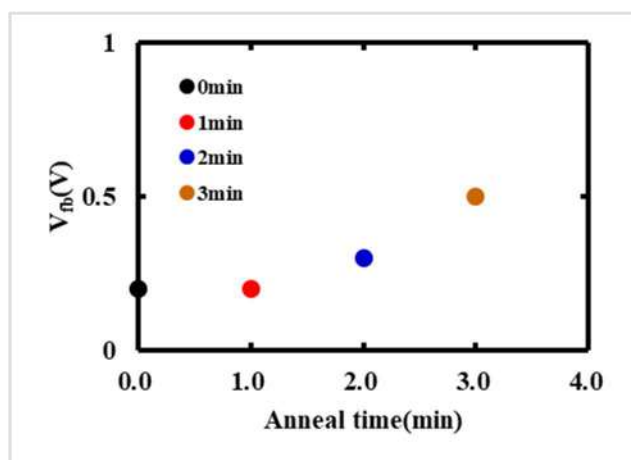


Fig.4 Relation between hydrogen plasma treatment duration and flat band voltage.

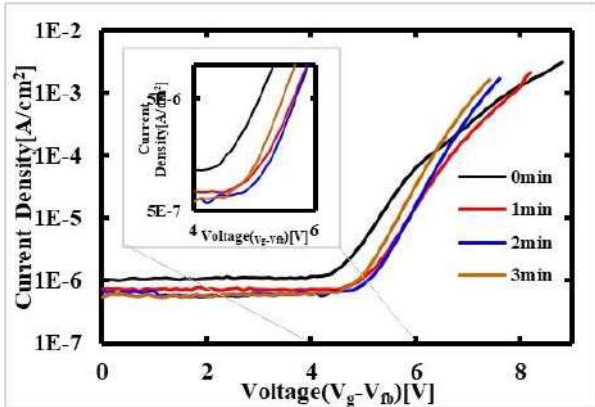


Fig.5 J-V Characteristics between hydrogen plasma treatment duration

したと予想している。

Fig.5 は室温(300K)における J-V 特性を示す。ここでは Fig.4 の C-V 測定で用いたのと同じ、水素プラズマ処理時間を 0、1、2、3 分とした Fig. 1(b)記載の構造の MOS キャパシタを用いている。この J-V 特性から、水素プラズマ処理時間の増加に伴い、低電圧でのリーク電流が減少し、かつ J-V 特性の立ち上がりが急峻になる傾向が見て取れる。さらに、ここでは示さないが、J-V 特性に明瞭な温度依存性が見られなかったため、電流成分は F-N(Fowler Nordheim)トンネル電流であると考えられ、F-N プロットした結果を Fig.6 に示す。これによると未処理は傾きが緩やかで、水素プラズマ処理時間の増加に伴い急峻になっていくことがわかる。それぞれのデータの傾きからバリアハイト (ϕ_B) を算出した結果を Fig.7 にまとめる。未処理のサンプルでは算出されるバリアハイトは約 1.5eV と一般的な熱酸化膜の約 3eV に比べると極めて低く、これが低い絶縁性の原因と考えられる。これに対して水素プラズマ処理を施すと、処理時間の増加とともに徐々にバリアハイトが増加し、処

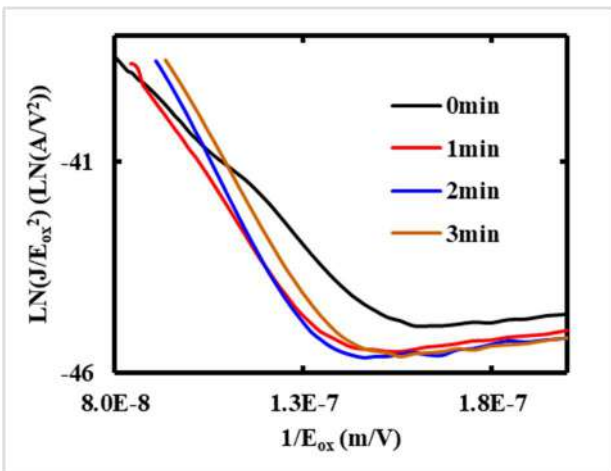


Fig.6 FN Plot from J-V characteristics between hydrogen plasma treatment.

理時間 3 分で約 2.4V まで回復する傾向が見られた。今回用いた ALD 膜は成膜後アニール (Post-deposition anneal: PDA) を施していないため絶縁性の低い SiO₂ 膜であるが、原子状水素曝露によって室温プロセスにもかかわらず膜質が大きく変化し、熱酸化膜レベルまでは至らないものの改善効果が期待できる結果が示された。

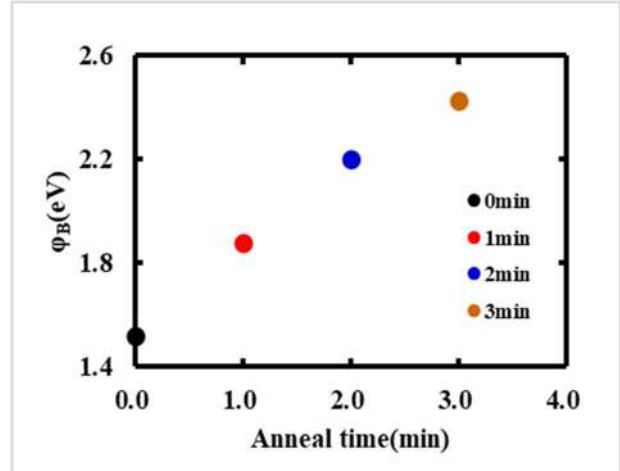


Fig.7 Relation between hydrogen plasma treatment duration and barrier height from FN plot(fig.6).

次に、絶縁破壊特性 (Time Zero Dielectric Breakdown: TZDB) を測定した結果を Fig.8 に示す。これによると、V_{BD} は水素プラズマ処理時間に依存せず、ほぼ一定である事がわかる。

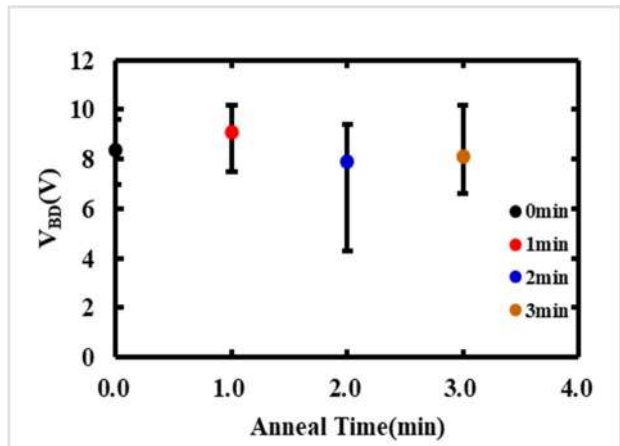


Fig.8 Relation between hydrogen plasma treatment duration and break down voltage. (TZDB)

さらに、ストレス印加時の欠陥生成に及ぼす水素プラズマ処理の効果を調べるために、定電流ストレス印加試験を行った。本研究における定電流ストレスは、Fig. 8 の絶縁破壊電圧を考慮し、印加する電流値が絶縁破壊電圧を超えないように $J_g=1\text{mA/cm}^2$ と決定した。

Fig.9 に水素プラズマ未処理の試料で上記の

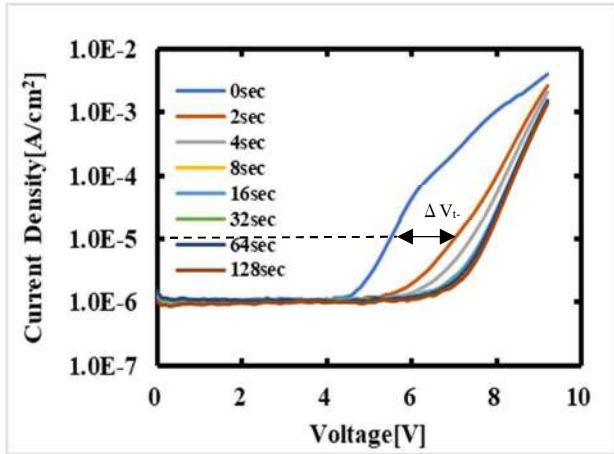


Fig.9 J-V Characteristics with constant current stress ($J_g=1 \text{ mA/cm}^2$).

定電流ストレスを0、2、4、8、16、32、64、128秒印加した際のJ-V特性を示す。この結果から、ストレス印加時間の増加に伴い正方向へのシフトが見られる。そこでストレス印加前の $J_g=1 \times 10^{-5} (\text{A/cm}^2)$ の電流が流れる電圧 V_0 を基準として定電流ストレス後の電圧シフト量 ΔV_{t0} を算出し、ストレス時間依存性を整理した。水素プラズマ処理時間0、1、2、3分の素子に対して ΔV_{t0} のストレス時間依存性をFig.10に示す。これによるといずれの水素プラズマ処理時間においても定電流ストレス時間の増加に伴っ

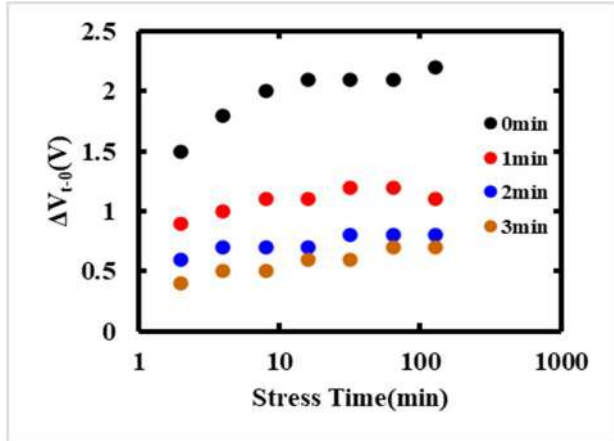


Fig.10 Relation between hydrogen plasma treatment duration and ΔV_{t0} from J-V characteristics with constant current stress.

て ΔV_{t0} が正方向に増加する傾向が見られ、またその増加量もストレス時間に対する傾きも

References

[1] J. Franco et al., IEDM, 31.2, (2020).
 [2] D. J. DiMaria et al., J. Appl. Phys. 78, 3883 (1995).
 [3] Z. Liu et al., ECS Transactions, 35 (4), p. 55 (2011).

は水素プラズマ処理時間の増加に伴い抑制される傾向が見られた。このことは、ALD-SiO₂膜に対する水素プラズマ処理はストレス印加による膜中欠陥（電子トラップ）生成も抑制し膜質を改善する効果があることが実験的に明らかになった。

4. まとめ

シリコン酸化膜に対する低温での水素プラズマ処理の影響について初期電気特性とストレス印加時の電気特性の両面から調べた。その結果、①フラットバンド電圧は水素プラズマ処理時間の増加に伴って正方向にシフトすること、②伝導に寄与するバリアハイトは、水素プラズマ処理時間の増加に伴って増大すること、③絶縁破壊耐圧は水素プラズマ処理時間に依存しないこと、④定電流ストレス印加時の電子トラップ生成量の増加は水素プラズマ処理で低減すること、が明らかとなった。

以上の結果から、原子状水素を用いた処理でALD-SiO₂膜の信頼性は改善することが実験的に明らかになり、その機構は膜中の水素の脱離とそれに伴うSi-Oネットワーク構造の改善ではないかと現時点では考えている。さらに、冒頭で述べた「原子状水素供給の効果は膜厚の違いで変わるのか」に関しては、今回用いたALD-SiO₂膜は7nmであり、かつ水素プラズマ処理により初期特性の改善、ストレス印加による欠陥生成の抑制効果が得られたことから、シリコン酸化膜への原子状水素供給の効果の違いは、少なくとも膜厚では説明できないということが実験的に明らかになった。もう一つの疑問である「原子状水素供給の効果は酸化膜形成プロセス・種類で変わるのか」については、例えば7nmのドライ酸化膜に対して同じ処理を行い、その信頼性を調査することで結論を導き出せると考えられ、この点は今後の課題として取り組んで行く。

[4] J. Franco et al., Symposium on VLSI Technology, p.1 (2021).
 [5] K. Omata et al., in EDIT26(2021), p. 127.
 [6] H. Omata et al., in EDIT28(2023), p. 95.
 [7] K. Sonoda et al., J. Appl. Phys. 117, 104501 (2015).

[8] H. Seki et al., Jpn. J. Appl. Phys. 57, 06KB04 (2018).

電子線照射による SiO₂/Si 界面欠陥生成

Electron beam induced defect formation at SiO₂/Si interface

清水 峻央、早田 康成、蓮沼 隆

筑波大学 〒305-8577 茨城県つくば市天王台 1-1-1

Ryo Shimizu, Yasunari Sohda, Ryu Hasunuma

University of Tsukuba, 1-1-1 Tennoudai, Tsukuba, Ibaraki 305-8577, Japan

Tel: + 81-29-853-5439, Fax: + 81-29-853-5205 (e-mail: s2320280@u.tsukuba.ac.jp)

Abstract

The distribution of SiO₂/Si interface defects generated by electron beam irradiation was investigated by flattening the Si(111) surface with LOW (Low Oxygen dissolved Water). By LOW treatment of the Si(111) surface and AFM observation, the defect generation region was observed to a depth of about 2 nm from the Si surface. This result indicates that defects may be easily generated near the SiO₂/Si interface due to stress accumulated during thermal oxidation.

1. はじめに

現代社会において半導体を利用した電子機器は必要不可欠な存在となっている。性能向上のため、現在用いられているチップは構造の微細化と三次元化が進んでいる。チップの微細化のため、製造ラインにおけるパターンの測長には走査電子顕微鏡 (SEM) が用いられている。この測長の際にデバイスに照射される電子は高いエネルギーを保有する。それゆえ電子線照射に起因するデバイス中の絶縁膜や基板への損傷が考えられる。

電子線照射によりデバイスに注入された電子は散乱を繰り返しながら二次電子を発生させる。これらの電子は運動を停止するまで 3 次元的に分布を広げながら散乱を繰り返す。したがって、電子線照射位置直下のデバイスのみならず、照射点から離れた箇所での 3 次元的なダメージ

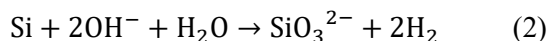
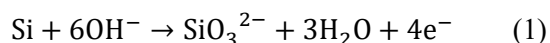
分布を詳細に調べることが重要である。デバイスダメージに関して、特にゲート絶縁膜/Si 基板界面での欠陥生成は界面準位や界面ラフネス増加の要因となり、半導体デバイスの電気的特性に大きな影響を与える。そこで我々は電子線照射による SiO₂/Si 界面の損傷を可視化する方法を考案し、生成した欠陥の分布を調査した。

2. Si 中欠陥分布の評価法

SiO₂/Si 界面欠陥の測定法としては、電子スピン共鳴 (ESR: Electron Paramagnetic Resonance) 法が有力であるが、しかしその原理上、Si 中欠陥の 3 次元的な分布を測定することは難しい。また STM や SEM などの顕微鏡で欠陥を直接観察することも考えられるが、原子レベルのサイズの欠陥を観察するためには、Si 表面の非常に狭い範囲を測定する必要

がある。そのため、電子線照射により生成した欠陥の面内方向への二次元的な分布を AFM や SEM によって直接観察することは困難である。そこで本研究では欠陥分布の観察に、欠陥フリーの Si(111)表面が低溶存酸素水 (LOW: Low Oxygen dissolved Water) によるエッチングで原子的に平坦なステップ-テラス構造が得られることを利用した。すなわち電子線照射によって欠陥が生成した場合、欠陥を起点としてエッチングによるエッチピットとして欠陥分布を可視化できると考えた。

純水は室温においても OH-が微量に解離しており、Si 表面は以下の反応式に従ってエッチングされる。



ウェット洗浄後の Si 表面はほぼ完全に水素終端しており[1]、理想的な(111)では、その表面は Vertical monohydride のみで構成される。しかし、実際の Si 表面はわずかに(111)から傾斜しており、その場合は Horizontal monohydride や Vertical dihydride、Trihydride も混在することになる。Fig.1 にそれぞれの終端構造の模式図、Table 1. に室温における OH-によるエッチング速度比を示す。

Horizontal dihydride や Trihydride はすぐにエッチングされ、最終的には速度比が小さく安定な終端構造が残る。すなわち、Vertical monohydride で構成されるテラスと、Vertical monohydride と Horizontal monohydride で構成されるステップからなるステップ・テラス構造が形成される。ただし、純水中に溶存酸素を含む場合は、原子的に平坦なテラス面を得ることはできない。それは純水中の溶存酸素はある確率で酸素ラジカルとなり、Si 表面を終端していた水素を脱離させる[4]。その結果活性になった Si に酸素等が吸着し、結果的にエッチングや酸化の起点となり、テラス面のラフネスを増大させるためである[5]~[8]。

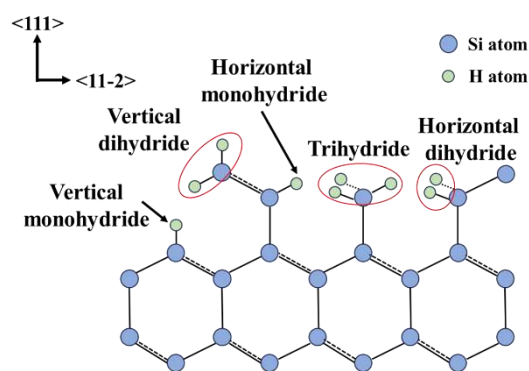
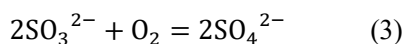


Fig.1 Schematic drawing of various H-termination structures on Si (111) surface..

Table 1. The relative etching rate constants for Si(111)-H, as derived from kinetic Monte-Carlo simulation [2], [3].

Site	Trihydride	Horizontal dihydride	Vertical dihydride	Horizontal monohydride	Vertical monohydride
Relative etch rate	∞	∞	100,000	5,000	1(reference)

したがって、純水で Si をエッチングし、原子的に平坦なテラス面を得るためには、低溶存酸素水 (LOW: Low Oxygen dissolved Water) を用いる必要があるが、標準状態の純水中には約 8 ppm の溶存酸素が存在する。そこで我々は純水に亜硫酸アンモニウム水和物を少量添加することで溶存酸素を除去し、LOW を得た。純水中で解離した亜硫酸イオンは溶液中の溶存酸素と反応し硫酸イオンとなり(式(3))、脱溶存酸素反応を起こす。



その結果、亜硫酸アンモニウム添加後の純水は溶存酸素濃度が 1 ppb 以下の LOW となる。この LOW で Si(111)基板をエッチングすることで(以降 LOW 処理)、原子的に平坦な Si(111)面を得ることができる。

LOW 処理の際、Si(111)表面に欠陥があるとそれを起点として面内方向にエッチングが進み、Vertical monohydride の次に安定な終端構造である Vertical dihydride がステップ面となるようなエッチピットが形成される(Fig.2)。したがって、電子線照射によって Si 基板中に欠陥が生成された場合、その欠陥は LOW 処理によりエッチピットとして可視化される。そこで我々は、そのエッチピット分布から電子

線照射によって生成した Si 中欠陥分布を観察することが出来ると考えた。

3. 実験方法

実験では n-Si(111)を使用した。標準的な RCA 洗浄後に、O2100%雰囲気では厚さ約 150 nm の熱酸化膜を形成した。その後 SEM を用いて加速電圧 10kV で電子線照射を行った。照射範囲は $3.1 \times 2.3 (\mu\text{m}^2)$ 、電子ビームの電流値は 1.21 (nA)、照射時間は 30 (s) である。

照射後には熱酸化膜を剥離し、Si 表面に対して LOW を用いた平坦化処理を 2 時間行い、その後電子線照射箇所を AFM で観察した。また観察後には、同じ試料で追加で 2 時間の LOW 処理を行い、その後同一箇所を AFM で観察した。

4. 実験結果

Fig.3 の(a)には電子線照射箇所の Si 表面像、(b)にはその断面像を示す。AFM 観察により、LOW 処理後に電子線照射領域が深さ 2 nm 程度のくぼみとなることがわかった。これは、電子線照射領域の Si のエッチングスピード上昇したことを意味し、電子線照射によって SiO₂/Si 界面近傍に多数の欠陥が生成したことを示唆している。電子線照射により生成した欠陥は

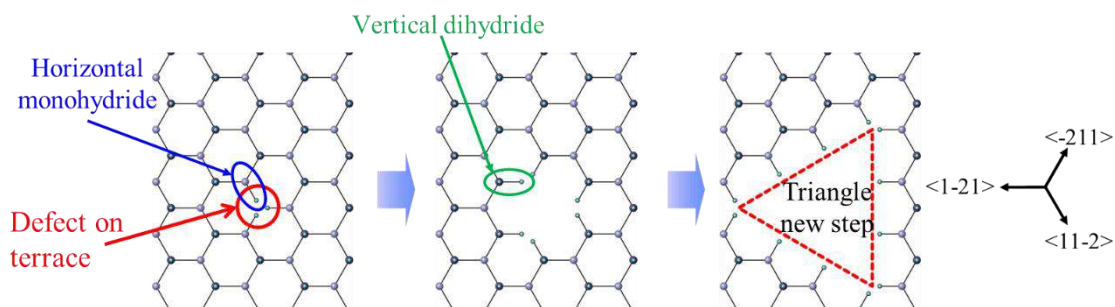


Fig.2 Etch pit formation starting from defect on the terrace

LOW 処理によりエッチピットとなり、照射範囲において多量のエッチピットが 3 次元的に連結したために、巨大な一つのくぼみとなったと考えられる。LOW 処理の初期段階においては、照射範囲に対応するような長方形に近くぼみが形成されたと考えられるが、その後の LOW 処理では面内方向への異方性エッチングにより、11-2 方向を向いた Horizontal monohydride をステップ面とする三角形形状のエッチピットへと成長していったと考えられる。

Fig.4 の(a)には追加で 2 時間（照射後に合計 4 時間）の LOW 処理をした後の Si 表面像、Fig.4(b)にはその断面像を示す。

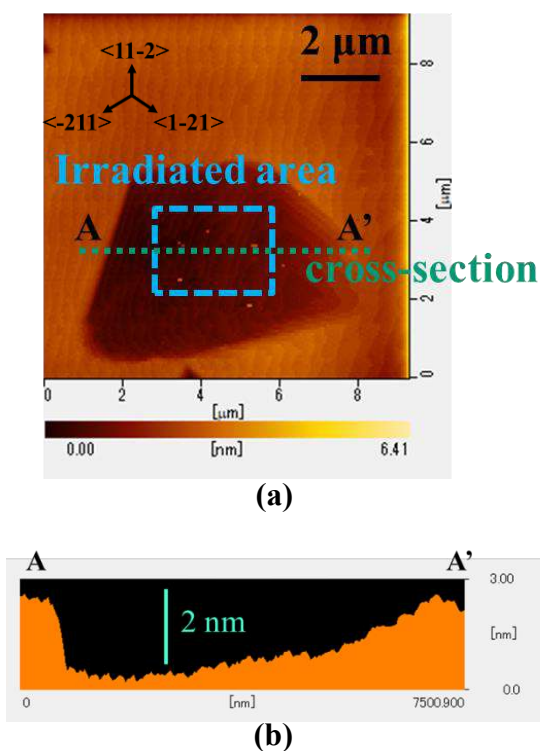


Fig.3 (a) Surface shape image of the electron beam irradiation site after 2h LOW processing and (b) its cross-sectional image of A-A'

追加の LOW 処理により、Fig.3(a)で観察された台形状のくぼみがさらに三角形形状へと成長したことがわかる。一方で、くぼみの深さは追加の 2 時間の LOW 処理により変化しないことが明らかとなった。これは、今回の実験では界面近傍 2nm 程度の範囲でのみ欠陥が生成したことを示唆している。

これらの結果を受け、今回の実験条件における試料内の電子線の侵入深さを見積もるために、電子線散乱シミュレーション[9]を行った。シミュレーションでは、実験で用いた試料構造を模したモデルに対して、その表面の 1 点に 10 keV の電子を 500 個注入し、その際の二次電子発生

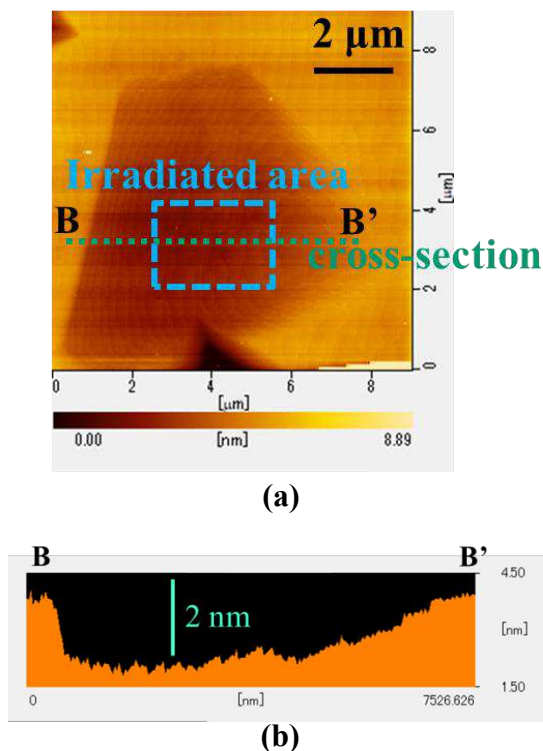
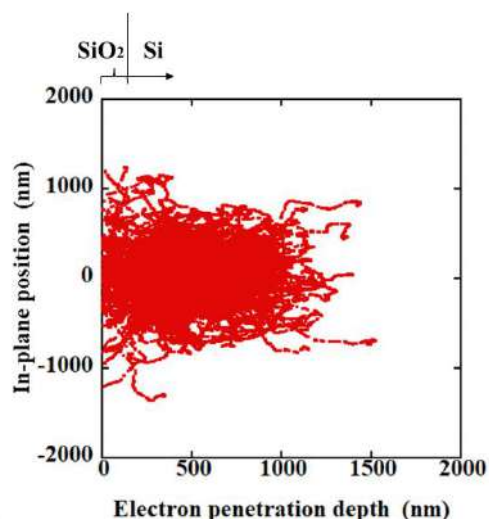
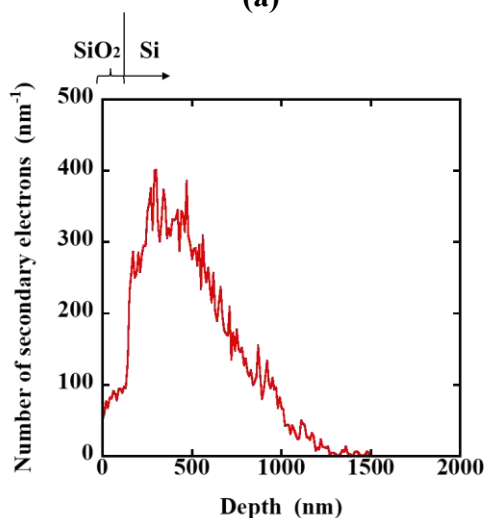


Fig.4 (a) Surface shape image of the electron beam irradiation site after 4h LOW processing and (b) its cross-sectional image of B-B'

分布を解析した。シミュレーションで得られた二次電子発生地点の分布を Fig.5(a)、二次電子発生数の深さ方向分布を Fig.5(b)に示す。なお、Fig.5(b)の縦軸は深さ方向 1nm あたりの二次電子発生数である。シミュレーションの結果より、今回の



(a)



(b)

Fig.5 Trajectory of electron scattering obtained by Monte Carlo simulation. (a) Distribution of secondary electron generation points. (b) Depth distribution of number of secondary electrons.

実験条件では電子線は SiO₂/Si 界面よりも 1000nm 以上深くまで侵入していることがわかる。一方で、実験で観察された欠陥領域は Si 表面から 2nm 程度だったことから、SiO₂/Si 界面近傍では Si 基板内部よりも電子線照射による損傷を受けやすかったと考えられる。原因としては、SiO₂/Si 界面近傍では熱酸化時に蓄積された応力による結晶構造の歪みによって欠陥が生成されやすかったことが考えられる。これは電子線照射の影響について特に MOS デバイスのゲート直下の領域に注意を払う必要があることを意味する。

5. まとめ

本研究では低溶存酸素水(Low)により Si(111)表面を平坦化することで、電子線照射により生成した SiO₂/Si 界面欠陥分布を観察した。その結果、Si 表面から約 2nm の深さまでの欠陥生成領域が観察された。電子線散乱シミュレーションとの比較により、SiO₂/Si 界面近傍では熱酸化時に蓄積された応力による結晶構造の歪みによって欠陥が生成されやすい可能性が示唆された。今後は、熱酸化膜の酸化条件や、電子線の照射条件を変えて実験を行うことで、熱酸化による応力蓄積が電子線照射による SiO₂/Si 界面欠陥生成に及ぼす影響について詳細に調査していく。

References

- [1] S. Watanabe: J. Chem. Phys. 108, 5965 (1998).
- [2] J. Flidr, Y.-C. Huang, T.A. Newton and M.A. Hines: J. Chem. Phys. 108, 5542 (1998).
- [3] J. Flidr, Y.-C. Huang and M.A. Hines: J. Chem. Phys. 111, 6970 (1999).

- [4] C.P. Wade and C.E.D. Chidsey: Appl. Phys. Lett. 71, 1679 (1997).
- [5] H. Luo and C.E.D. Chidsey: Appl. Phys. Lett. 72, 477 (1998).
- [6] H. Fukidome, M. Matsumura, T. Komeda, K. Namba and Y. Nishioka: Electrochim. Solid-State Lett. 2, 393 (1999).
- [7] D.A. MacLaren, N.J. Curson, P. Atkinson and W. Allison: Surf. Sci. 490, 285 (2001).
- [8] S.P. Garcia, H. Bao, M. Manimaran and M.A. Hines: J. Phys. Chem. B 106, 8258 (2002).
- [9] J. S. Villarrubia and Z. J. Ding: Proc. SPIE 7272 (2009).

MOS 構造における界面準位密度分布とコンダクタンスカーブ形状の関係

Relationship between Shapes of Interface Trap Density Distribution and Conductance Curve

田岡 紀之, 手島蒼生, 一野祐亮, 清家善之, 森竜雄

愛知工業大学 〒470-0392 愛知県豊田市八草町八千草 1247

Noriyuki Taoka, Aoi Teshima, Yusuke Ichino, Yoshiyuki Seike, and Tatsuo Mori

Aichi Institute of Technology, 1247 Yachigusa, Yakusa-cho, Toyota, Aichi 470-0392, Japan

Tel: + 81-565-48-8121, (e-mail: ntaoka@aitech.ac.jp)

Abstract

Conductance method is a powerful tool for evaluation of MOS interface properties. In an analysis of a measured conductance curve, a calculated conductance curve based on a proposed model by Nicollian is often fitted to the measured curve. However, the model includes some assumptions. For example, interface trap density (D_{it}) is constant in an energy bandgap even though an actual D_{it} distribution has an energy dependence. Therefore, in this study, impacts of the energy dependence on the conductance curves are systematically investigated. We found that peak heights and peak frequencies of the conductance curves strongly depends on the energy distribution of D_{it} and a position of a minimum point of the D_{it} distribution in the bandgap.

1. はじめに

原子層堆積法やプラズマ支援化学気相堆積法(PECVD)など絶縁膜堆積技術の高度化、および、様々な材料の半導体基板の高品質化などによって、それらの基板を用いた高品質 MOS 構造が数多く報告されている[1, 2, 3]。これらの MOS 界面の特性を調べるために、コンダクタンス法が良く用いられる。コンダクタンス法は、界面準位へのキャリア捕獲・放出に起因した交流電流を計測するため、精度が高いことが知られている。しかしながら、コンダクタンス法で用いるコンダクタンス-周波数特性(コンダクタンスカーブ)を記述する式には、仮定が伴う物理パラメータが入っている。例えば、キャリアの捕獲断面積、界面準位密度(D_{it})は、エネルギー依存性が無く、エネルギーバンドギャップ内で一定としている。しかしながら、実験的には、これらのパラメータはエネルギーに依存する。

良く知られている様に、ほとんどの場合、 D_{it} 分布は U 型の分布を示す。コンダクタンスカーブの計算においては、エネルギーバンドギャッ

プ全体に対して D_{it} が含まれる被積分項を積分する必要がある。そのため、正確に D_{it} をコンダクタンス法で求めるためには、物理パラメータに対して、エネルギー依存性を含める必要がある。そこで本研究では、いくつかの D_{it} 分布を仮定し、コンダクタンスカーブを計算によって求め、その影響を調べた。

2. 計算方法

本研究では、半導体材料は Si を想定し、Si は空乏状態にあるとした。また、Si 表面における Fermi 準位は真性 Fermi 準位から 0.3eV の位置にあるとした。ここで、本稿では Si 表面での Fermi 準位のことを表面 Fermi 準位と呼ぶ。キャリアの捕獲断面積、キャリアの熱速度および熱エネルギーをそれぞれ 10^{-16}cm^2 、 10^7cm/sec および 26meV とした。界面準位へのキャリア捕獲・放出に関するコンダクタンスは、以下の式で表される[4]。ここで $q, \omega, \tau_{it}, P(E)$ はそれぞれ、素電荷、角周波数、界面準位の充放電に関する時定数および表面ポテンシャルが E である確率を表している。本稿では $P(E)$ を正規分布で与え、

その標準偏差(σ_s)を表面ポテンシャル揺らぎとした。 σ_s の値は、熱エネルギーの26meVで規格化した値を記載している。また、表面 Fermi 準位が $E-E_i = 0.3\text{eV}$ において、 $P(E)$ の正規分布が最大となる様に分布を持たせた。この様な条件下で、様々な D_{it} 分布を与えて下記式を数値積分することによって、 G_p/ω の値求めた。

$$\frac{G_p}{\omega} = \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{it}}{\omega \tau_{it}} \ln[1 + (\omega \tau_{it})^2] P(E) dE$$

3. 結果

図 1 に計算で用いた D_{it} 分布を示す。エネルギーに依存する $D_{it}(E)$ は $D_{it}(E) = D_{it,c}10^{\alpha E^2}$ を用いて計算した。ここで、 $D_{it,c}$ はエネルギーに依存

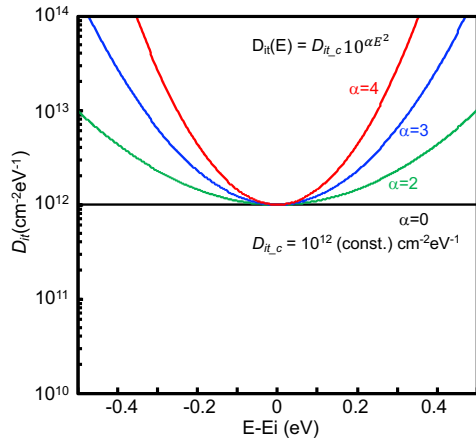


Fig. 1: Assumed D_{it} distributions for the calculation of conductance curves. Here, E_i means intrinsic Fermi level.

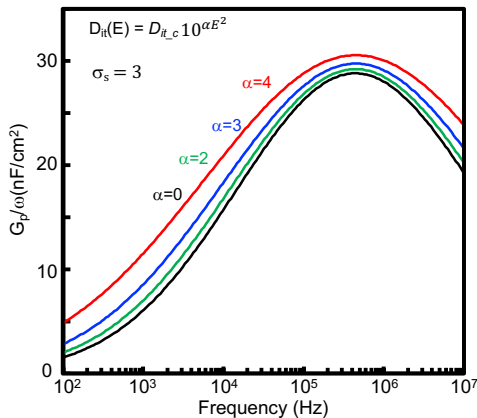


Fig. 2: Calculated conductance curves using the D_{it} distributions shown in Fig. 1.

しない界面準位密度であり、 α は整数である。 $\alpha = 0, 2, 3$ および4の場合を図1に示している。 $\alpha = 2, 3$ および4の場合 U 型の D_{it} 分布を示しており、分布の底が $E-E_i = 0$ に位置していることがわかる。この分布は、 SiO_2/Si 界面のダングリングボンドが形成する界面準位の分布を再現している。図 2 にこれらの D_{it} 分布を用いて計算したコンダクタンスカーブを示す。ここで、 $\sigma_s = 3$ とした。 α の値の増加と共に、コンダクタンスの値が周波数に依らず増加していることがわかる。結果として、周波数軸方向に広がっていることがわかる。表面ポテンシャル揺らぎは、周波数軸方向への広がりに影響することから、 D_{it} 分布によって、表面ポテンシャル揺らぎの評価に影響を与えることを示唆している。

図 1 では、Si MOS 界面を模擬して D_{it} 分布を

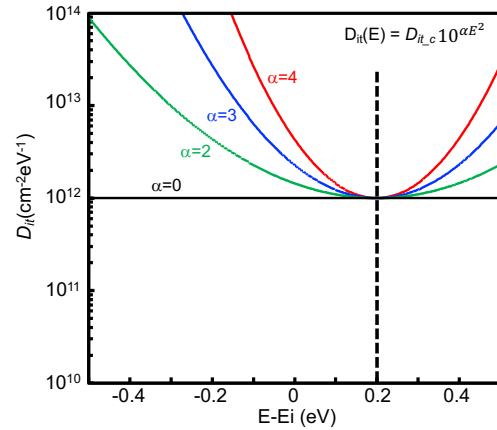


Fig. 3: Assumed D_{it} distributions for the calculation of conductance curves. Here, CNL is located at $E-E_i = 0.2\text{eV}$.

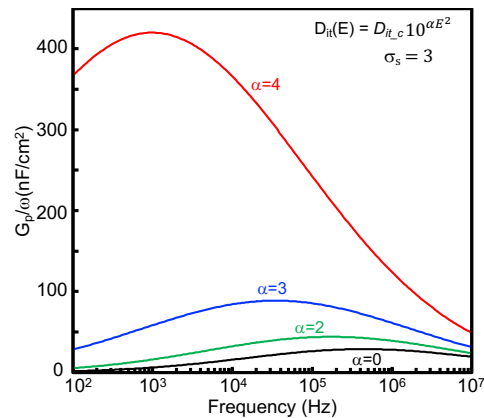


Fig. 4: Calculated conductance curves using the D_{it} distributions shown in Fig. 3.

仮定したが、InGaAs や GaN の場合、U 型 D_{ii} 分布の底は、 $E-E_i=0$ ではない可能性がある。InGaAs の場合、In 組成が高くなるに従い、電荷中性点(CNL)が伝導帯端に近づくことが知られている[5]。また、GaN では、伝導帯側での D_{ii} が非常に低いことが知られており[3]、CNL は、伝導帯側に存在する可能性がある。また、 D_{ii} 分布は CNL において、最小値をとることが多い。そこで、CNL を $E-E_i=0.2\text{eV}$ とし、 D_{ii} 分布を仮定した。その分布を図 3 に示す。破線が CNL の位置を示している。 $E-E_i=0$ を中心に考えると非対称な D_{ii} 分布であることが分かる。この分布を用いて計算したコンダクタンスカーブが図 4 である。図 2 とは大きく異なり、 α の値によって、大きくコンダクタンスカーブが変化していることが分かる。ピーク高さは、 α の増加に伴い増加し、 $\alpha=4$ では $\alpha=0$ の場合の 10 倍程度にまで増加していることが分かる。また、ピーク周波数も変化し、 α の増加に伴い低周波数側へシフトしていることが分かる。図 2 と図 4 の大きな違いの原因は、CNL が 0.2eV 伝導帯側へシフトしたことにより、表面 Fermi 準位と CNL の位置の差が小さくなったことに起因している。図 1 と図 3 では、CNL と表面 Fermi 準位との差がそれぞれ 0.3eV と 0.1eV である。コンダクタンスカーブの式に示した様に G_p/ω の値は、 D_{ii} と $P(E)$ の掛け合わせで決まる。図 3 では低周波数側のコンダクタンスカーブに寄与するミッドギャップ

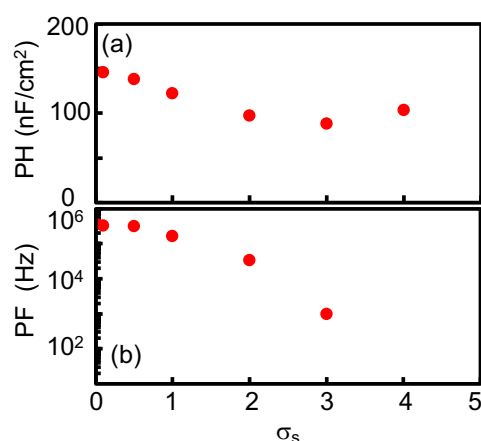


Fig. 5: σ_s dependences of (a) the peak height (PH) and (b) the peak frequency (PF) of the conductance curves.

プから価電子帯側の D_{ii} が非常に大きいため、図 4 の様に低周波数側が大きくなったと考えられる。

図 2 および図 4 では、 σ_s を 3 に固定して計算を行ったが、CVD で形成した SiO_2/Si 界面では、 σ_s は 1.5-2 程度、Ge MOS では、3-4 程度であり、GaN MOS では、5-8 程度であるとの報告がある[6]。そこで、図 5 にコンダクタンスカーブのピーク高さ(PH)とピーク周波数(PF)の σ_s 依存性を示す。ここで、CNL および α はそれぞれ 0.2eV と 3 とした。PH は σ_s が 2 から 5 では、ほぼ一定であり、 σ_s が小さくなるにつれて PH は増加し、 $\sigma_s=0$ 付近でわずかに飽和する傾向がある。また、PF は σ_s が小さくなるに従い増加し、 $\sigma_s=0$ 付近で飽和していることがわかる。これらの結果は、 σ_s が大きい材料系において、界面特性を正確に評価するためには、 D_{ii} のエネルギー依存性を考慮する必要があることを示している。

4. まとめ

エネルギー依存性が異なる様々な D_{ii} 分布を仮定し、コンダクタンスカーブを計算することによって、その D_{ii} 分布形状がコンダクタンスカーブの形状にどのような影響を与えるか詳細に調べた。結果として、CNL がミッドギャップに位置する場合でも、コンダクタンスカーブは、 α に依存することが明らかとなった。また、CNL の位置によって、コンダクタンスカーブのピーク高さ、ピーク周波数が大きく変化することも明らかとなった。さらに、 σ_s が大きくなるに従い、ピーク周波数が低周波側へ移動することも明らかとなった。

References

- [1] R. Zhang *et al.*, Appl. Phys. Lett., **98**, 112902 (2011).
- [2] R. Suzuki *et al.*, J. Appl. Phys., **112**, 084103 (2012).
- [3] Y. Ando *et al.*, Appl. Phys. Lett., **117**, 102102(2020).
- [4] E. H. Nicollian *et al.*, *MOS physics and Technology*, (Wiley InterScience).
- [5] L. Lin *et al.*, Appl. Phys. Lett. **98**, 082903 (2011).
- [6] N. Taoka *et al.*, Jpn. J. Appl. Phys., **57**, 01AD04 (2018).

一次元連結・高密度 Si 量子ドットの形成と局所帯電特性評価

Formation and Local Electron Charging Properties of One-Dimensionally Vertically-Aligned Si-QDs

今井 友貴¹ 牧原 克典^{1,2} 山本 裕司² Wen Wei-Chen² Schubert Andreas Markus²
白 鍾銀¹ 辻 綾哉¹ 宮崎 誠一¹

1 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 IHP-Leibniz-Institut für Innovative Mikroelektronik 〒15236 Im Technologiepark 25, Frankfurt (Oder), Germany

Yuki Imai¹, Katsunori Makihara^{1,2}, Yuji Yamamoto², Wei-Chen Wen², Markus Andreas Schubert², Jongeun Baek¹, Ryoya Tsuji¹, and Seiichi Miyazaki¹

1 Graduate School of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya 464-8603, Japan

2 IHP-Leibniz-Institut für Innovative Mikroelektronik, Im Technologiepark 25, Frankfurt (Oder), 15236, Germany

Tel: + 81-052-789-2727, Fax: + 052-789-3168 (e-mail:imai.yuki.g9@s.mail.nagoya-u.ac.jp)

Abstract

Self-aligned Si-quantum-dots (Si-QDs) with an areal density as high as $\sim 10^{11}$ cm⁻² have been fabricated on ultrathin SiO₂ by using a ~ 4.5 nm-thick poly-Si on insulator (SOI) substrate, and controlling low-pressure chemical-vapor-deposition (LPCVD) using monosilane (SiH₄), and followed by thermal oxidation. By controlling the thermal oxidation processes of Si-QDs and the poly-Si layer, we have successfully demonstrated the vertical alignment of Si-QDs, where the Si-QDs are also used as a shadow mask of the underlying poly-Si layer. We also demonstrated in-plane alignment of the one-dimensionally self-aligned Si-QDs on line-patterned SiO₂. In addition, from surface potential measurements by using atomic force microscopy (AFM)/Kelvin probe force microscopy (KFM), we confirmed that the initial surface potential change caused by valence electron extraction from the dots to the tip was stably maintained until ~ 120 min, implying the quantum confinement effect at discrete energy levels of the upper- and lower-QDs.

1. はじめに (11 point)

SiO₂ 上への自己組織化 Si 量子ドットを任意のアレイやパターン状に配列することは、単電子トランジスタ[1]、スピンベース量子ビット素子[2]、共鳴トンネルダイオード[3]、および中間バンド型太陽電池[4]といったドット間のトンネル結合がデバイス特性の決定因子である場合、ドットの形成位置あるいはドット間距離の制御がデバイス性能向上の上で重要な研究課題である。

具体的には、量子ドット間の距離がドット間のトンネル結合強度、静電容量値、あるいはフ

エルミ準位の相関性に影響を及ぼすためである[5-13]。

Si 基板面外方向への Si 系量子ドット配列形成について、Si と Ge(あるいは SiGe)との間に存在する歪場を利用した手法[14-16]や SiGe/Si 多重量子井戸の高温熱酸化による手法[17]などが報告されている。しかしながら、絶縁膜上への高密度・一括形成が不可能であることと基板面内外方向への三次元規則配列構造形成プロセスへの展開が困難であるといった課題がある。

Si 量子ドット成長位置制御の実現に向けた有効な手段の一つとして、SiO₂ 表面での反応活

性サイトの空間制御が挙げられる。

これまで、我々のグループでは、 SiH_4 -LP(low-pressure)CVD 前に SiO_2 表面の反応活性な Si-OH 終端構造を選択的に形成することで Si 量子ドットの一次元配列形成が可能なことを実証している[18-20]。

また、あらかじめ形成した Si 量子ドットへの Ge の選択成長、その後の同一チャンバ内での熱酸化・真空熱処理、 SiH_4 -LPCVD の精密制御により自己整合的に縦積み連結した Si 系量子ドットが形成できることも明らかにしている[21, 22]。

本研究では、極薄多結晶 SOI(poly-silicon-on-insulator)基板上に形成した Si 量子ドットの熱酸化過程を制御することにより自己整合的に縦積み連結した Si 量子ドット構造を作製した。加えて、縦積み連結 Si 量子ドットの基板面内方向への位置制御も行った。

2. 実験条件

p-Si(100)基板を化学溶液洗浄後、 900°C の HCl/O_2 雰囲気下にて熱酸化することで膜厚 10nm 程度の SiO_2 層を形成した。その後、1.0% 希フッ酸により SiO_2 層を膜厚 4.1nm 程度まで薄膜化し、 550°C にて高水素希釈 Si_2H_6 -RP(reduced-pressure)CVD により膜厚 4.5nm の非晶質 Si (a-Si)層を SiO_2 上に形成した後、 650°C にて真空熱処理により a-Si 層の結晶化を行った。この際、熱処理前後における著しい Si 層の膜厚変化は認められないことを別途分光エリプソメトリー測定により確認してい

る。引き続き、表面に形成された自然酸化膜を 0.1%HF により除去した後、 600°C ドライ酸素雰囲気にて多結晶 Si (poly-Si)表面を熱酸化し、膜厚 1.8nm の SiO_2 層を形成した。その後、0.1%HF により SiO_2 表面を OH 終端した後、 SiH_4 -LPCVD により Si 量子ドットを高密度・一括形成した。 Si 量子ドット形成後、 850°C ドライ酸素雰囲気において、5-75 分間熱酸化を行った。a-Si 層の結晶化率は Raman 散乱分光法により評価した。実際、得られた Raman 散乱スペクトルを文献[23]の報告を参考に、a-Si($\sim 480\text{cm}^{-1}$)、微結晶 Si($\sim 510\text{cm}^{-1}$)、c-Si(520cm^{-1})の 3 成分で波形分離解析した後、積分強度比を算出した結果、結晶化率は約 95%であることを確認した。また、 Si 量子ドットの面密度および平均高さは原子間力顕微鏡(atomic force microscopy: AFM)測定により評価した。この際、平均高さはドット高さ分布に対して対数正規分布関数をフィッティングすることにより算出している。 Si 量子ドット構造の断面解析には、透過型電子顕微鏡(transmission electron microscope: TEM)-エネルギー分散型 X 線分光(energy dispersive x-ray spectroscopy: EDX)マッピング観察を行った。 Si 量子ドットの局所帯電特性は AFM/Kelvin フォース顕微鏡(Kelvin probe force microscopy: KFM)による表面形状および電位像の同時測定により行った。尚、測定は室温、大気圧下にて曲率半径 10nm の Rh コート Si カンチレバーを用いて行った。

3. 結果

図 1 に、 Si 量子ドット形成後およびドット表面を熱酸化後に測定した AFM 像を示している。尚、膜厚 1.8nm の SiO_2 層を形成した直後の AFM 像から評価した表面二乗平均平方根(Route-mean square: RMS)粗さは約 0.31nm であり、as-grown SiO_2 における表面平坦性の観点から十分に低い値であることは別途確認している。また、酸化前後にて表面 RMS ラフネス値が同程度であることから、酸化時の再結晶化が生じるほどの結晶粒は形成されていないと考えられる。引き続き行った SiH_4 -LPCVD において平均ドット高さが約 6.5nm および面密度が約 $2 \times 10^{11}\text{cm}^{-2}$ の Si 量子ドットの形成が認められた(図 1(a, d))。一方、 850°C にて Si 量子ドットを 50 および 75 分間熱酸化した場合、

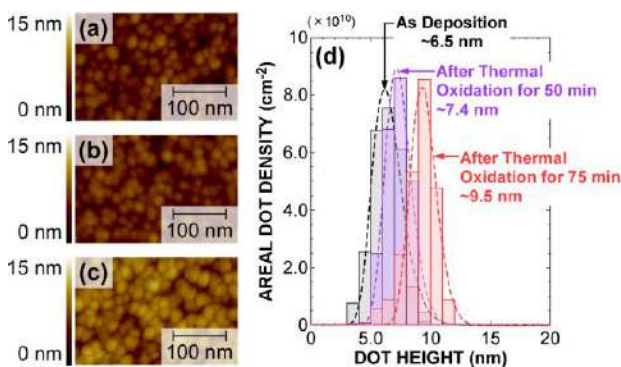


Fig.1 AFM topographic images taken (a) just after SiH_4 -LPCVD, subsequent thermal oxidation for (b) 50 and (c) 75 min. Dot size distributions corresponding to (a), (b), and (c) are also shown in (d).

面密度がおよそ同じであるにも関わらず、ドット高さ分布から評価した平均ドット高さは、それぞれ約7.4および約9.5nmにまで増加していることが分かる(図1(b, c, d))。これらの結果は、Si量子ドットの表面酸化の進行に起因した体積膨張により説明できる。実際、n型Si(100)基板を850°Cにて75分間の熱酸化を行った場合、SiO₂膜厚は約13.6nmであるため、消費するSi膜厚は約6nmとなる。したがって、Si(100)基板と同じ酸化レートで熱酸化が進行したとしても本実験で作製したSi量子ドットは完全には酸化しないことが想定される。化学量論的SiO₂の形成を仮定すると、75分の熱酸化後においてSiコア高さは約4.1nm存在すると計算される。

このSi量子ドット構造の酸化過程を評価するために、異なる時間酸化した後のSiO₂/poly-SOI構造上Si量子ドットのEDXマッピング像を測定した結果を図2に示す。試料を5分間酸化した場合、Siドット表面の酸化が認められる一方で、下部poly-Siはほとんど残っていることが分かる(図2(a))。しかしながら、酸化時間の増大に伴い、ドット表面の酸化と同時にドット間のpoly-Si層の酸化が進行していることが認められる(図2(b, c))。加えて、酸化時間を75分まで増大させると、Si量子ドット/SiO₂/poly-SOI構造は完全に酸化されてしまうことが分かる(図2(d))。尚、50分間の850°C熱酸化にて、ドット形成をしていないSiO₂/Si(100)基板上に形成した~4.5nmのpoly-Siは完全に酸化してしまうことは別途分光エリプソメトリー測定にて確認している。TEM観察に用いたラメラ厚さが~100nmであることを考慮すると、ラメラ奥行方向に向かってドットが重畳しているため、ドット間の境界が不明瞭となると考えられる。これらの結果に基づくと、50分間の酸化により、下部poly-SiにのってのシャドーマスクとしてもSi量子ドットが機能するため、自己整合的に縦積み連結したSi量子ドット構造の形成が示唆される。

電氣的に分離した縦積み連結Si量子ドット構造の形成を評価するために、局所帯電特性をRhコート導電性AFM探針を用いたAFM/KFMにより評価した。尚、試料を1.0%HFに浸漬することでSiドット表面に形成したSiO₂を1.0nm程度にまで薄層化した。また、裏面コンタクト用に100nm厚のAl層を真空

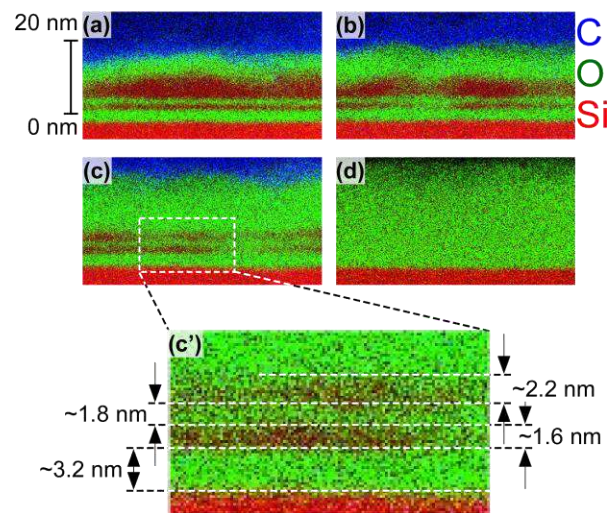


Fig.2 Cross-sectional EDX mapping images of Si-QDs after thermal oxidation for (a) 5.0, (b) 20, (c) 50, and (d) 75 min. Image (c') is an enlarged view corresponding to (c).

蒸着により形成した。図3(a)に示すように、試料表面に電圧印加をしていない場合、一様な表面電位像が認められる。一方、接触モードにおいて基板に対し探針電圧+7.0V印加したAFM探針にて試料表面の500×500nm²領域を掃引した場合、バイアス印加領域に対応した~28mVの表面電位の上昇が観測された(図3(b, c))。しかしながら、非バイアス領域においては、表面電位の変化は認められなかった。加えて、Si量子ドットを形成していないSiO₂/poly-SOI構造の場合、同実験条件の下では表面電位変化が認められないことを別途確認している。これらの結果は、連結Si量子ドットからAFM探針への価電子放出により引き起こされたドット内での正孔保持によるものと解釈できる。

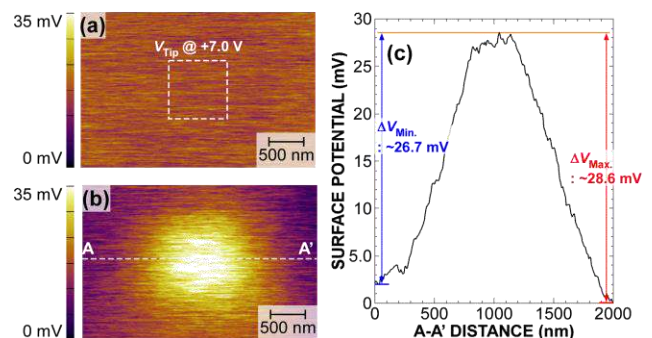


Fig.3 A typical surface potential image taken (a) before and (b) just after applying tip bias at +7.0 V. (c) Corresponding cross-sectional potential profile along the line A-A' shown in (b).

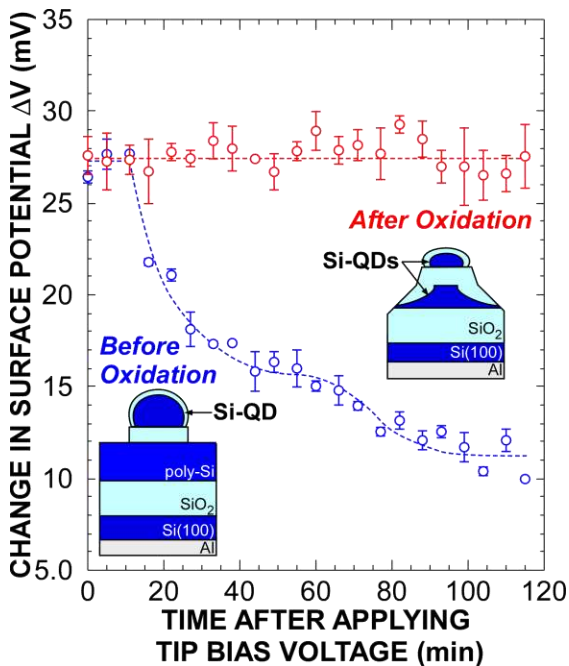


Fig.4 Temporal changes in the surface potential of the Si-QDs/SiO₂/SOI before and after oxidation.

この結果に基づいて、本試料構造の表面電位変化量を電圧印加直後からの時間に対してまとめた結果を図4に示す。尚、比較として、酸化前のSi量子ドットに同条件にて電圧印加した場合の結果も併記している。連結ドットからの価電子放出後、保持された電荷が面内方向へと広がることなく、表面電位におけるコントラストは120分程度安定に維持されることが認められた。一方、酸化前のSi量子ドット/SiO₂/poly-SOI構造の場合、電子放出後直後は一時的に正帯電が安定となるものの、その後、時間経過と共に減少し~12mV程度で安定化する。この正帯電の経時変化は、poly-Si層からの伝導電子注入により、ドット内に保持された正孔が一部補償される結果として解釈可能である。一方で、連結ドットに関しては、表面電位変化におけるいかなる変化も認められないことは、数個の電子放出後に連結ドット内における量子化エネルギー準位に正孔が占有され、安定保持されることを示している。結果として、電氣的に絶縁分離した縦積み連結Si量子ドットの形成が示唆された。

次のステップとして、上記プロセスを、Si量子ドットの面内一次元配列形成プロセス[13, 14]と組み合わせて、縦積み連結Si量子ドットを面内一軸方向に規則配列することを試みた。

このプロセスに関して、下地SiO₂膜厚は~2.4nmである。poly-SOI表面にSiO₂層を形成後、~20nm幅ラインおよび~290nmスペースに設計したパターンを電子線リソグラフィおよびCF₄ガスを用いたCCP-RIE(Capacitively-coupled plasma reactive ion etching)により形成した。ラインアンドスペースパターン形成後、0.1%HF処理および800°C熱酸化を行うことで、SiO₂/poly-SOIライン表面にのみ選択的に反応活性なOH結合を形成した。続いて、ライン上へのSi量子ドット形成に向けてSiH₄-LPCVDを行った。その後、ドット表面に形成したSiO₂を1.0%HF処理により~3.5nm程度まで薄層化した後、裏面コンタクト用に100nm厚のAl層を真空蒸着により形成した。

図5(a)に示すように、実際に表面形状観察を行うと、Si量子ドットの面内一次元配列形成が明瞭に認められた。加えて、本構造形成プロセスにおいて、Si量子ドット形成後のドライ酸化時にライン側面からの酸化種の拡散により下部poly-Si層が完全酸化してしまうことが危惧されたため、連結Si量子ドット形成をAFM/KFMによる試料の局所帯電特性の観点から評価した。図5(b)に示すように、試料表面に対して電圧印加しない場合は、ラインを形成しているにも関わらず、一様な表面電位が観測された。AFM/KFMでは、探針-試料間距離に応じて探針に作用するCoulomb力が変化するため、ライン高さが30nm程度であることを考慮すると、ライン上とスペース上では表面電位に違いが見られるはずである。しかしながら、本測定においては、表面形状測定時のカンチレバーの振動中心から50nmほど上昇させた位置で、非接触電位計測を行っているため、ライン上とスペース上での表面電位に差が認められなかったと考えられる。一方、試料表面の20×20nm²領域を基板に対して-7.0Vバイアス印加したRh探針でスキャンした場合、電圧印加領域に対応した~8.1mVの表面電位の上昇が認められた(図5(c, d))。しかしながら、非バイアス領域においては、表面電位に有意な変化は認められない。

この結果を踏まえ、連結Si量子ドットの電荷注入特性を調べるために、表面電位変化量ΔVの探針印加電圧依存性を図6にまとめた。ただし、図5(d)に示す通り、エラーバーの上限および下限はそれぞれ、ノイズ成分を含めた最大お

よび2番目に大きい表面電位変化量と定義している。図6において、0から-3.0Vの探針電圧を印加した場合、表面電位変化は一切認められなかった。しかしながら、-4.0から-10Vの探針電圧を印加した場合、離散化エネルギー準位を反映した、多段階な価電子放出特性が明瞭に観測された。

認められた連結Si量子ドットの帯電状態を評価するべく、KFM測定における簡易等価回路モデル[24]を用いることにより、連結ドット内に保持された電荷数を計算した。計算の結果、フィッティングパラメーターであるRh円形電極の有効半径 R_{eff} に対して、3通りの電荷保持パターンが想定されたが、図2(c')に示す断面EDXマッピング像から評価した各ドット高さおよびSiO₂膜厚を考慮すると、探針電圧を-4.0Vで印加した場合の表面電位の上昇は、下部量子ドットに2つの正孔が注入・保持されていることに起因していると考えられる(図7(b))。一方、探針印加電圧-7.0Vにおいては、上部ドットに3つの正孔が注入された直後、チャージングエネルギーの上昇により高次の量子準位に占有された1個の正孔が下部ドットに移動した結果、上部ドットおよび下部ドットにそれぞれ、1個および2個の正孔が保持されている計算結果によく一致する(図7(c))。以上の結果から、面内方向に配列し、かつ電氣的に分離した縦積み連結Si量子ドット構造の形成が認められる。

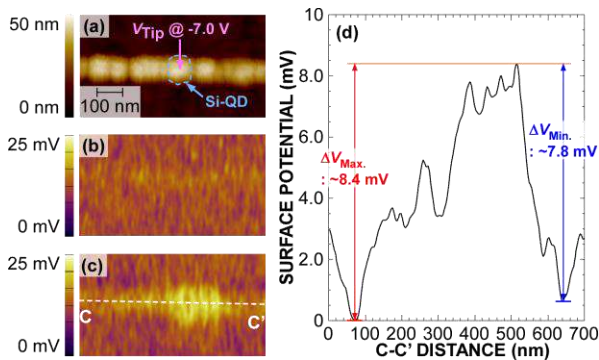


Fig.5 (a) A topographic image of the Si-QDs on line-patterned SiO₂/SOI structures taken after oxidation for 50 min, and corresponding surface potential images measured by Kelvin probe mode, (b) before and (c) just after applying tip bias at -7.0 V. (d) Corresponding cross-sectional potential profile along the line C-C' is shown in (c).

4. まとめ

極薄 SiO₂/poly-SOI 構造上に形成した Si 量子ドットに対して熱酸化を行うことで縦積み連結 Si 量子ドットを形成した。縦積み連結 Si 量子ドットの離散化したエネルギー準位を反映した多段階な正孔帯電特性が、AFM/KFM から評価した表面電位変化量の探針印加電圧依存性から明らかとなった。また、TEM 観察および帯電特性から、20nm 幅ラインパターン上への縦積み連結 Si 量子ドットの面内一軸方向への配列形成が認められた。結果として、比較的均一サイズな Si 量子ドットの二次元配列構造を高密度・一括形成する手段の候補として、OH 終端 SiO₂ 領域の空間的な位置制御および Si 量子ドットを熱酸化に対するシャドーマスクとして活用した本作製プロセスが有望であることが実験的に示された。しかしながら、Si 量子ドットを MOS 構造へと取り入れる場合、非晶質 SiO₂ 上への不規則な Si 核形成によるドットサイズ均一性やドット間トンネル酸化膜の制御が課題として挙げられる。

謝辞

本研究の一部は、科研費基盤研究(A) 21H04559、国際共同研究加速基金 国際共同研究強化(A) 18KK0409、日比科学技術振興財団、

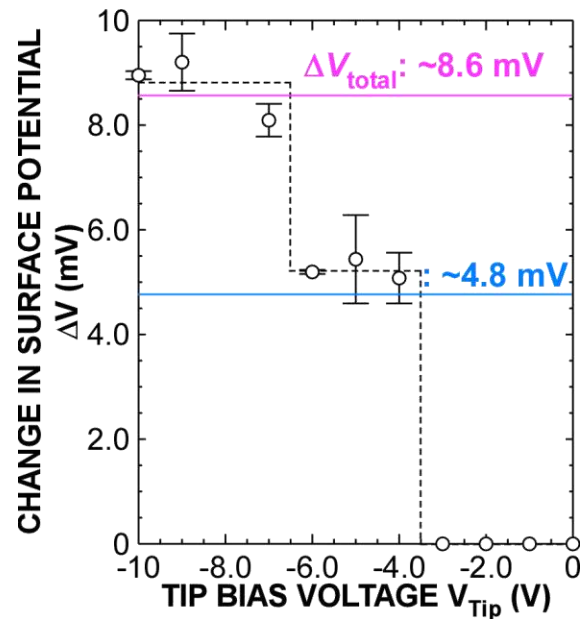


Fig.6 Change in surface potential evaluated by the cross-sectional potential profiles as a function of tip bias voltage.

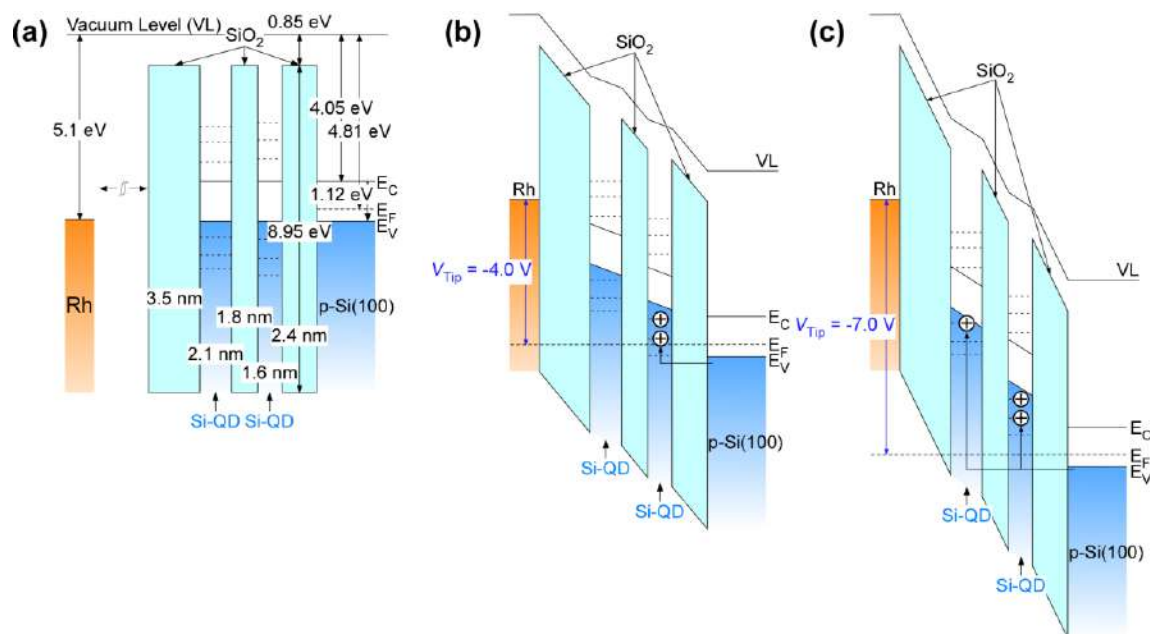


Fig.7 Energy band diagrams of the SiO₂/Si-QDs/SiO₂/Si-QDs/SiO₂/p-Si(100) (a) before and after applying tip biases of (b) -4.0, and (c) -7.0 V.

および東北大学電気通信研究所 共同プロジェクト研究の支援を受けて行われた。また、IHPクリーンルームスタッフおよびエピタキシーチームの多大なる支援に謝意を表す。

References

[1] S. Oda, and K. Nishiguchi, *J. Phys. IC France* **11**, Pr3-1065 (2001).
 [2] K. Takeda et al., *Nature Nanotechnol.* **16**, 965 (2021).
 [3] B. Berghoff et al., *Appl. Phys. Lett.* **93**, 132111 (2008).
 [4] A. Luque, and A. Marti, *Phys. Rev. Lett.* **78**, 5014 (1997).
 [5] G. Medeiros-Ribeiro, F. G. Pikus, and A. L. Efros, *Phys. Rev. B* **55**, 1568 (1997).
 [6] J. Qian, B. I. Halperin, and E. J. Heller, *Phys. Rev. B* **81**, 125323 (2010).
 [7] D. Mantelli, F. Cavaliere, and M. Sasseti, *J. Phys.: Condens. Matter* **24**, 432202 (2012).
 [8] M. Maccuci, K. Hess, and G. J. Lafrate, *J. Appl. Phys.* **77**, 3267 (1995).
 [9] B. Ghosh et al., *Solid State Electron.* **54**, 1295 (2010).
 [10] H. J. Krener et al., *Phys. Rev. Lett.* **94**, 057402 (2005).

[11] R. Compañó et al., *European Commission IST Programme Future and Emerging Technologies* (2000).
 [12] M. Reischle et al., *Phys. Rev. B* **76**, 085338 (2007).
 [13] S. L. Chuang, and N. Holonyak, Jr. *Appl. Phys. Lett.* **80**, 1270 (2002).
 [14] K. L. Wang et al., *Proc. IEEE* **95**, 1866 (2007).
 [15] W-C. Wen et al., *ECS J. Solid State Sci. Technol.* **12**, 055001 (2023).
 [16] D. Hauser et al., *Thin Solid Films* **520**, 4259 (2012).
 [17] E. M. Turner et al., *Nano Lett.* **21**, 7905 (2021).
 [18] S. Miyazaki et al., *Proc. 25th Int. Conf. Phys. Semicond.* Osaka, Sept. 17-22, 2000, M062, p.373.
 [19] Y. Imai et al., *Mater. Sci. Semicond. Process.* **162**, 107526 (2023).
 [20] R. Tsuji et al., to be submitted to *Jpn. J. Appl. Phys.*
 [21] K. Makihara et al., *ECS Trans.* **33**, 661 (2010).
 [22] K. Makihara et al., *J. Appl. Phys.* **112**, 104301 (2012).
 [23] T. Yorimoto et al., *Jpn. J. Appl. Phys.* **47**, 6949 (2008).
 [24] Y. Imai et al., *Jpn. J. Appl. Phys.* **61**, SD1012 (2022).

極薄熱酸化 SiO₂上の自己組織化 Si 量子ドットの形成機構

Growth Mechanism of Self-Assembling Si-QDs on Ultra-Thin Thermally-Grown SiO₂

名大院工 °(M1)白 鍾銀, (D3)今井 友貴, (M2)辻 綾哉, 牧原 克典, 宮崎 誠一

Nagoya Univ., °Jongun Baek, Yuki Imai, Ryoya Tsuji, Katsunori Makihara, Seiichi Miyazaki

Abstract

Self-assembling formation of Si-quantum-dots (Si-QDs) on as-grown SiO₂ layers has been demonstrated by controlling the early stages of low-pressure chemical vapor deposition of SiH₄. The QD height and radius distributions evaluated by atomic force microscopy and scanning electron microscopy images revealed that the Si-QDs become hemispherical caused by being rate-limited by aggregation due to reduction of surface energy at substrate temperatures above 580°C. Moreover, at temperatures below ~580°C, semi-ellipsoidal-shaped Si-QDs are formed because the precursor supply is a dominant factor.

1. はじめに

ナノメートル寸法の半導体極微細構造では、量子力学的効果やクーロンブロッケイド効果が顕在化し、バルク半導体結晶では見られない特徴的な物性・現象が室温においても発現する。したがって、これらをデバイス動作・特性に直接反映させることができれば、従来の半導体デバイスの高性能化のみならず、新たな機能デバイスの開発へ展開することができる。Si 系デバイスで言えば、Si 系ナノ構造を MOS デバイスへ融合することで、少数電子系による情報処理に適した機能デバイスの実現が期待される[1, 2]。実際に、筆者らの研究グループでは、モノシラン(SiH₄)系ガスを用いた減圧化学気相堆積(LPCVD)法において堆積初期過程を精密制御して、ナノメートル寸法の Si 単結晶粒 (量子ドット) を Si 熱酸化膜(SiO₂)上に自己組織的に高密度・一括形成し[3, 4]、量子ドット固有の物性を明らかにすると共に、Si 量子ドットを電荷保持ノードとしたフローティングゲート MOS トランジスタにおいて室温で多段階のメモリ動作を実証している[5, 6]。しかしながら、室温での安定動作を実現するには、量子ドットサイズの均一化が求められる。そこで本研究では、サイズ均一化を実現する上で重要となる Si 量子ドットの自己組織化形成機構メカニズムを AFM および SEM 測定から明らかにすることを目的とした。

2. 実験条件

p-Si(100)基板上に 1000°C ドライ熱酸化によ

り膜厚~5.7nm の SiO₂ 膜を形成した後、pure-SiH₄ を用いた LPCVD により Si 量子ドットの自己組織化形成を行った。SiH₄-LPCVD 時におけるガス圧力は 25Pa で一定とし、基板温度を 550~610°C、堆積時間を 120~480s で変化させた。AFM 測定には、曲率半径~7nm の Si 探針を用いた。

3. 結果

Figure 1(a)に、基板温度 590°C、堆積時間 170s で SiH₄-LPCVD を行った後の AFM 像を示す。AFM 像から面密度~10¹⁰cm⁻²の孤立した Si 量子ドットの形成が認められ、AFM 像から求めたドットの高さ分布(Fig. 1(a'))を log-normal 関数を用いてフィッティングして算出した平均高さは~13.9nm であった。また、直径を計測して、その半径分布(Fig.1(b'))から同様に算出した平均値は~21.2nm であった。この結果は、SiH₄ 熱分解温度よりも十分に高い温度で形成したにも関わらず、自己組織化形成した Si 量子ドットの形状は半楕円体になっていることを意味している。AFM 探針の曲率半径による空間分解能を鑑み、AFM と同じ測定領域を SEM により測定して同様に半径分布を評価した結果を Fig. 1 (b)に示す。SEM 像からも同様に半径分布を求め(Fig. 1(b'))、ドットの平均半径を算出した結果、~13.2nm であり、AFM で求めた平均高さと同程度であった。この結果は、590°C で形成した Si 量子ドットの真の形状は半球であることを示している。そこで、異なる基板温度で形成した Si 量子ドットにおいても同様の評価を行い、AFM から

算出した平均高さとしてSEMから求めた平均半径を温度の逆数に対してまとめた結果を Fig. 2(a)に示す。基板温度 550~610°C の範囲では、ドット高さは基板温度に対して指数関数的に増大し、その活性化エネルギーは~2.68eVであった。Si凝集の活性化エネルギーが2.45eV[7]または2.14eV[8]であることから、高さ方向の成長はSiの凝集に律速していると解釈できる。一方、ドット半径は基板温度580°Cから610°Cでは活性化エネルギー

~2.57eVで増加し、高さ方向の活性化エネルギーに良い一致を示す。しかしながら、550°Cから580°Cでは、活性化エネルギーは~1.06eVに低下し、反応前駆体の表面拡散の活性化エネルギー(~1.0eV)[9]と同程度となる。これは、ドット高さは温度に対して一定の活性化エネルギーで増大するものの、横方向の成長機構は580°C近傍を境に異なることを示している。これらの結果は、基板温度~580°C以上では表面エネルギー低減によるSi原子の

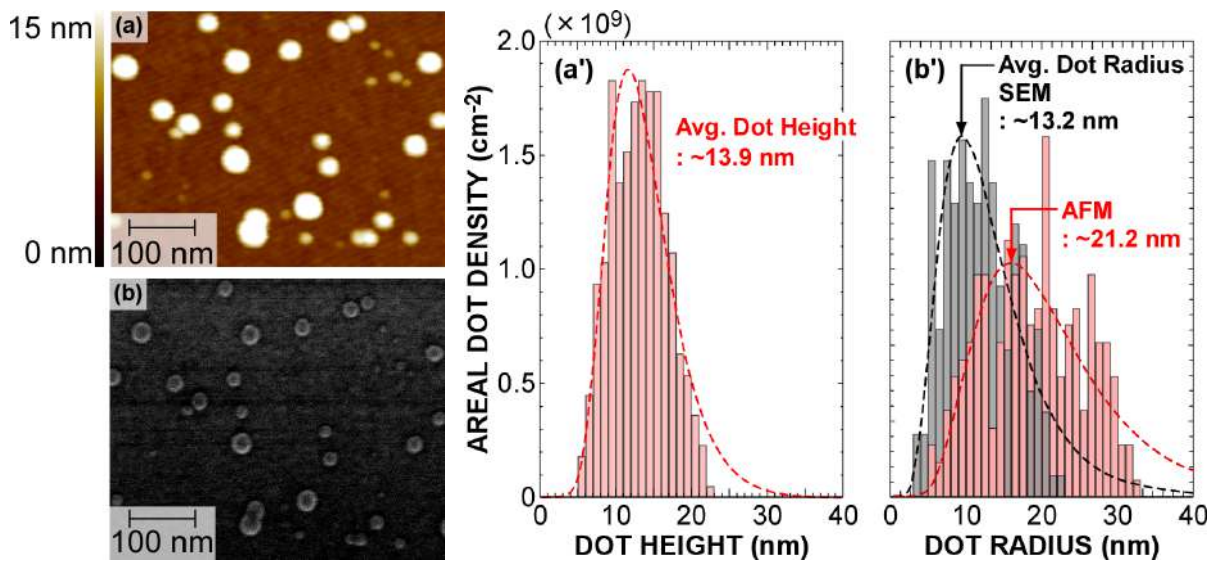


Fig. 1 (a) AFM and (b) SEM images of the same area taken after SiH₄-LPCVD at 590°C; (a') and (b') are the dot height and radius distributions of Si-QDs evaluated from the AFM image corresponding to (a). Radius distribution of the Si-QDs evaluated from the SEM image corresponding to (b) is also shown in (b').

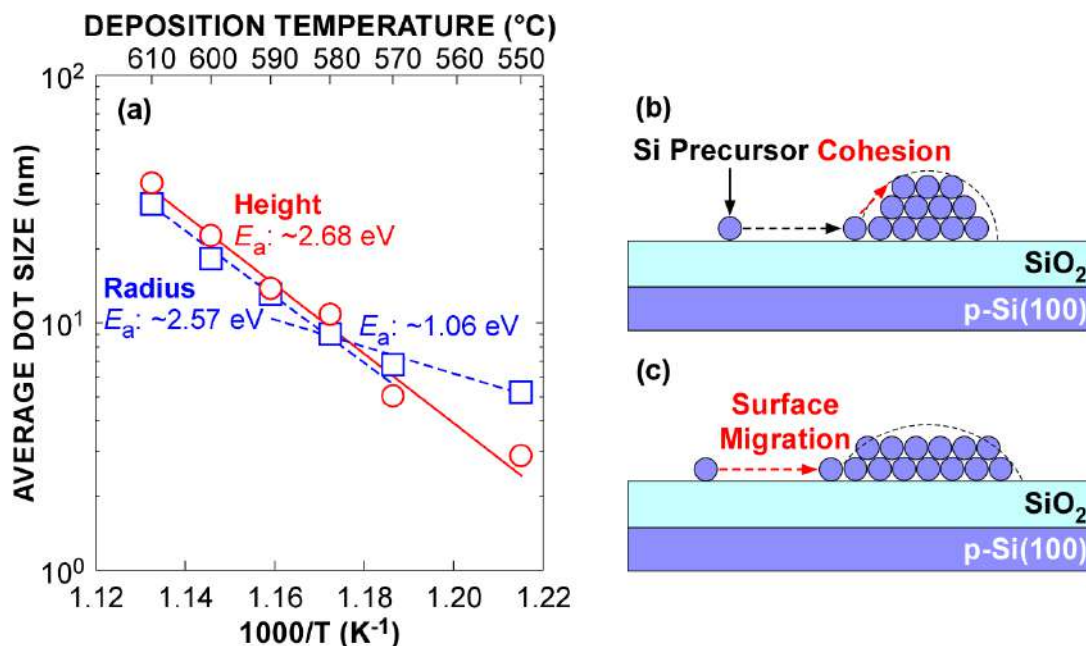


Fig. 2 (a) Arrhenius plots for average height and average radius of Si-QDs formed on as-grown SiO₂ evaluated from the AFM and SEM images, and schematic illustrations of the Si-QD formation model at deposition temperatures (b) over 580°C and (c) below 580°C.

凝集作用が律速要因となる結果、Si 量子ドットが半球状に形成されるが(Fig. 2 (b))、580°C以下では Si 反応前駆体の表面マイグレーションによる供給が支配的となることから Si 量子ドットの形状が半楕円体形状になることを示している(Fig. 2 (c))。次に、基板温度 580°C を境にした高温および低温領域での SiH₄-LPCVD において、CVD 時間がドット形状に及ぼす影響を評価した。Fig. 3 に、550°C および 610°C で形成した Si 量子ドットの AFM 像から平均高さ、SEM 像から平均半径を算出し、各々のドットの半径を高さに対してまとめた結果を示す。図中破線は、傾き 1 を示しており、破線上のドットは形状が半球であることを意味している。SiH₄-LPCVD では、基板温度および CVD 時間を変えた場合、ドットの面密度が変わるが、本実験の LPCVD 条件で形成したドットはいずれも $\sim 10^{10}\text{cm}^{-2}$ 程度の低密度であり、全てのドットは孤立していることを確認している。尚、ドット半径から算出した試料表面のドット被覆率を図中に示している。610°C では、120 秒および 180 秒でドットの表面被覆率が大きく異なるものの、殆どのドットが傾き 1 のライン上にあることから、ドット形状は半球であった。一方で、550°C での形成ではドット形成初期段階では傾き 1 のラインよりも上に位置することから、全て

のドットが半楕円体であることが分かる。しかしながら、CVD 時間を 480 秒まで増加した場合、ドット形状は半球になることが分かった。これは、低温での LPCVD においても Si 堆積時間の増加による Si 量子ドットの成長に起因した被覆率の増加とともに、Si 反応前駆体が直接ドットに取り込まれる確率が増大した結果で解釈できる。

4. まとめ

熱酸化 SiO₂ 上への Si 量子ドット形成における基板温度がドット形状に及ぼす影響を AFM および SEM により評価した。AFM と SEM により同一箇所を計測することで、形成した Si 量子ドットのサイズを定量評価できることが分かった。熱酸化 SiO₂ 基板上への SiH₄-LPCVD における Si 量子ドットの自己組織化形成では、基板温度 $\sim 580^\circ\text{C}$ 以上では、プリカーサの表面拡散と凝集のエネルギーが十分供給されていることに起因して Si 量子ドットが半球状に形成されるが、580°C 以下では供給律速により半楕円体になる。

5. 謝辞

本研究の一部は、科研費基盤研究(A) 21H04559 および日比科学技術振興財団の支援を受けて行われた。

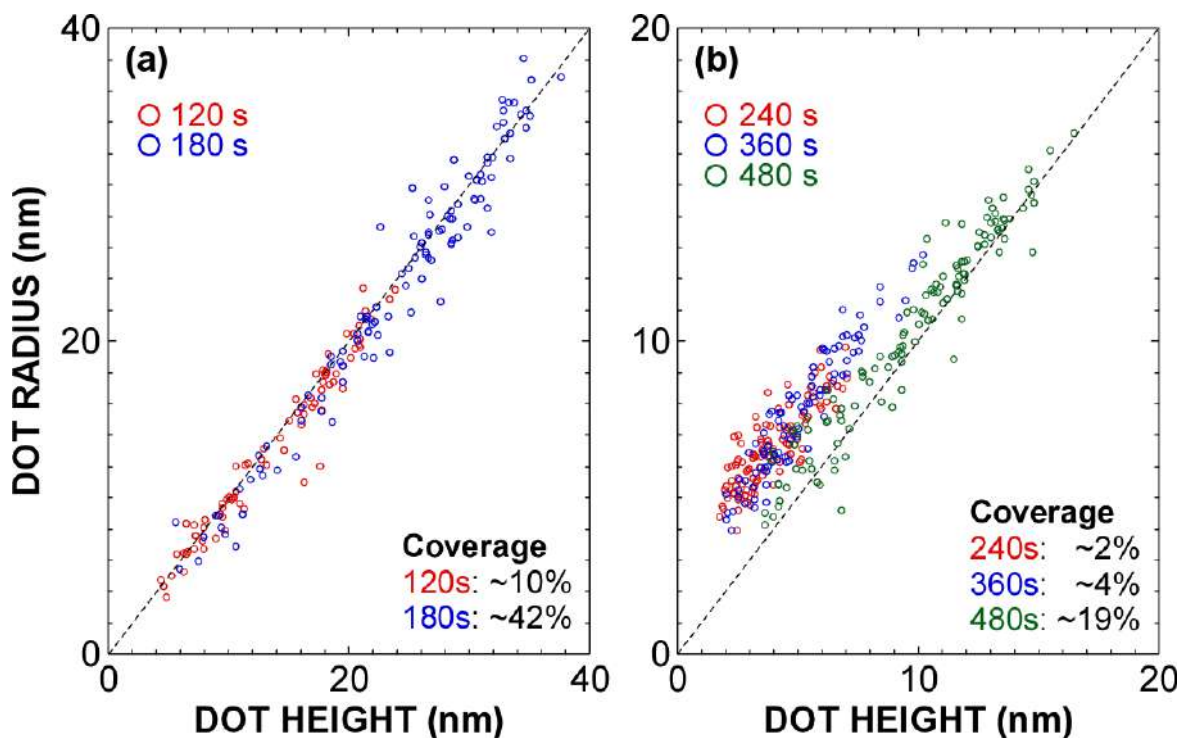


Fig. 3 Correlation between radius and height of Si-QDs formed at (a) 610°C and (b) 550°C.

References

- [1] S. Tiwari, F. Rana, H. Hanafi, H. Hartstein, E. F. Crabbe, and K. Chan, *Appl. Phys. Lett.* **68** (1996) 1377.
- [2] Y. Takahashi, A. Fujiwara, K. Yamazaki, H. Namatsu, K. Kurihara, and K. Murase, *Ext. Abst. of the 1998 Intern. Conf. On Solid State Devices and Materials (Tokyo, 1998)* p.176.
- [3] K. Nakagawa, M. Fukuda, S. Miyazaki, and M. Hirose, *Mat. Res. Soc. Symp. Proc.* **452** (1997) 243.
- [4] S. Miyazaki, Y. Hamamoto, E. Yoshida, M. Ikeda and M. Hirose, *Thin Solid Films* **369** (2000) 55.
- [5] A. Kohno, H. Murakami, M. Ikeda, S. Miyazaki and M. Hirose, *Jpn. J. Appl. Phys.* **40** (2001) L721.
- [6] M. Ikeda, Y. Shimizu, H. Murakami and S. Miyazaki, *Jpn. J. Appl. Phys.* **42** (2003) 4143.
- [7] W. A. Harrison, *Electronic Structure and the Properties of Solids –The Physics of the Chemical Bond* (W. H. Freeman and Company, 1980), p. 171.
- [8] J. C. Philips, *Bonds and Bands in Semiconductors* (Academic Press Inc., 1973), p. 52.
- [9] Y. Z. Hu, D. J. Diehl, C. Y. Zhao, C.L. Wang, Q. Liu, E. A. Irene, K.N. Christensen, D. Venable, and D.M. Maher, *J. Vac. Sci. Technol. B* **14** (1996) 744.

In-situ Sb ドーピングによる InP 上 n 型 Ge_{0.75}Sn_{0.25} エピタキシャル膜の形成

Fabrication of n-type Ge_{0.75}Sn_{0.25} epitaxial film on InP using in-situ Sb doping

柴山 茂久¹ 高木 孝明¹ 坂下 満男¹ 黒澤 昌志¹ 中塚 理^{1,2}

1 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

Shigehisa Shibayama¹, Komei Takagi¹, Mitsuo Sakashita¹, Masashi Kurosawa¹, Osamu Nakatsuka^{1,2}

1 Grad. Sch. of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8603, Japan

2 IMASS, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8601, Japan

Tel: + 81-52-789-2762, Fax: + 81-52-789-2760 (e-mail: s-shibayama@nagoya-u.jp)

Abstract

Toward integrated mid-infrared photodetector applications composed of group-IV alloy semiconductor, Ge_{1-x}Sn_x with $x \sim 25\%$, we examined the in-situ Sb doping by low-temperature molecular beam epitaxy and investigated their thermal stabilities. First, we found that Sb atoms with $\sim 3 \times 10^{20} \text{ cm}^{-3}$ are uniformly distributed in Ge_{1-x}Sn_x heteroepitaxial layer on InP(001) substrate. Then, we verified that the formation of n-type Ge_{1-x}Sn_x layer with the Hall electron concentration of $\sim 8 \times 10^{19} \text{ cm}^{-3}$ was succeeded; a part of Sb atoms should be used to compensate the acceptor-like defects in Ge_{1-x}Sn_x layer. Furthermore, we found that the un-doped and Sb-doped Ge_{1-x}Sn_x layers with a Sn content of 23–24% showed no change of crystalline quality and carrier concentration until 200 °C.

1. はじめに

IV 族混晶半導体の Ge_{1-x}Sn_x は、Sn 組成によりバンドギャップが変調可能かつ、10%超では、中赤外 (2–5 μm, MIR) 領域を網羅できる狭ギャップな半導体にもなり得る^[1–5]。この特徴から、集積可能な MIR 受光素子の基幹材料として注目を集めている。これまでに、下地基板の格子定数制御の考え方にに基づき InP 基板上への Sn 組成 25%超の無歪 Ge_{1-x}Sn_x や^[6,7]、CVD による Si 上への Ge_{1-x}Sn_x (Sn 組成: ~30%) のヘテロエピタキシャル成長が報告されている^[8]。しかしながら、受光素子実現において重要な、Ge_{1-x}Sn_x の電気伝導特性やキャリア制御については実現されていない。また素子作製においては、超高 Sn 組成 Ge_{1-x}Sn_x のプロセス熱耐性の知見も重要だが、これについても報告されていない。

本研究では、我々が報告してきた Ge および Ge_{1-x}Sn_x (Sn 組成: 6%) に対する in-situ Sb ドーピング技術^[9,10]を用いて、n 型 Ge_{1-x}Sn_x (Sn 組成:

~25%) エピタキシャル層の形成に成功したので、報告する。更に、作製した膜の熱処理耐性についても議論する。

2. 実験方法

半絶縁性 InP(001)基板に化学洗浄および超高真空中熱処理による表面清浄化を行った後、Ge, Sn, および Sb K-cell を用いた分子線エピタキシー法により、基板温度 70 °C で、膜厚約 35 nm の Ge_{1-x}Sn_x (Sn 組成: ~25%) 膜のヘテロエピタキシャル成長を行った。比較として、Sb ドープとアンドープの 2 水準の試料を準備した。作製した各膜に対して、熱処理温度 200–300 °C、時間 1 min において、窒素雰囲気熱処理を行った。

結晶構造およびキャリア密度をそれぞれ、X 線回折 (XRD) および Van-der Pauw 法を用いたホール効果測定法により評価した。また、Sb 濃度プロファイルを、二次イオン質量分析 (SIMS) により評価した。

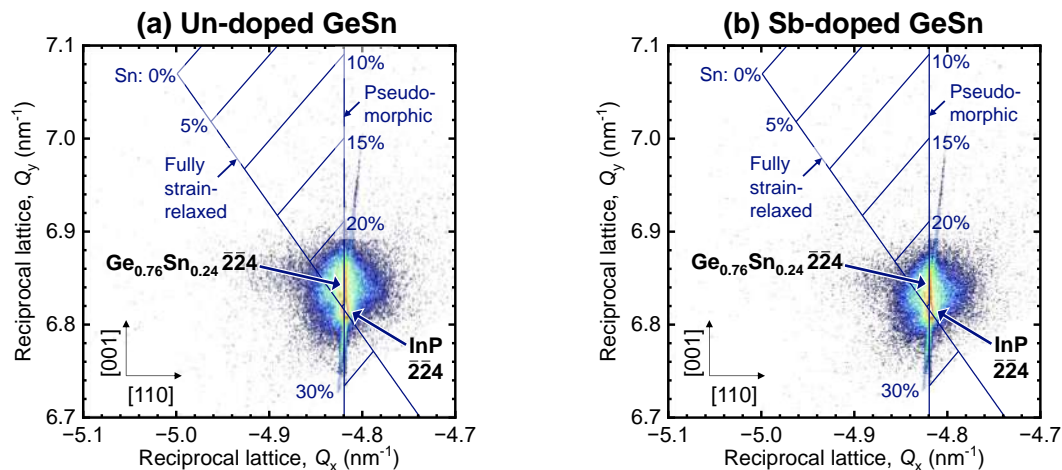


Fig.1 XRD-2DRSMs near InP $\overline{224}$ reciprocal lattice point of (a) un-doped and (b) Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with a thickness of 30 nm grown on InP(001) substrate.

3. 結果

図1は、InP基板上に成長した、(a) un-doped および、(b) Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜の、InP $\overline{224}$ 逆格子回折点周辺の X 線回折二次元逆格子空間マッピング (XRD-2DRSM) の結果である。Sbドープの有無に依らず、InP基板と同じ Q_x 上に、 $\text{Ge}_{1-x}\text{Sn}_x$ 由来の回折が見られることから、 $\text{Ge}_{1-x}\text{Sn}_x$ はInPに対して、Pseudomorphicにヘテロエピタキシャル成長できていることが分かる。Sn組成はVegard則を仮定して、23–24%と見積もられた。

また図2のSIMSプロファイルから、Sb原子は $\sim 3 \times 10^{20} \text{ cm}^{-3}$ で、Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜中に均一

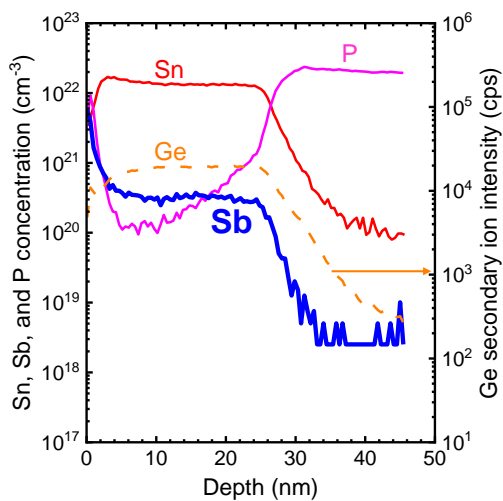


Fig.2 SIMS profiles of Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with thickness of 30 nm grown on InP(001).

に分布していることが分かる。一方、 $\text{Ge}_{1-x}\text{Sn}_x$ 膜中にはP原子も 10^{20} cm^{-3} 台で存在していることが明らかとなった。基板温度 70°C という低温成長の場合においても、InP基板からP原子が拡散した可能性が示唆される。本研究では、Sbドープによるキャリア制御の可能性探索を主目的としているため、P原子の $\text{Ge}_{1-x}\text{Sn}_x$ 膜中における振る舞いの詳細には立ち入らない。

Un-dopedおよびSb-doped $\text{Ge}_{1-x}\text{Sn}_x$ に対する室温でのホール効果測定の結果、Un-doped $\text{Ge}_{1-x}\text{Sn}_x$ はp型伝導を示し、ホール正孔密度は、 $\sim 5 \times 10^{19} \text{ cm}^{-3}$ であった。一方、Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ はn型伝導を示し、ホール電子密度は、 $\sim 8 \times 10^{19} \text{ cm}^{-3}$ であった。SIMS (図2)より、 $\text{Ge}_{1-x}\text{Sn}_x$ 膜中のSb濃度が $\sim 3 \times 10^{20} \text{ cm}^{-3}$ であることを踏まえると、 $\text{Ge}_{1-x}\text{Sn}_x$ 膜に存在するアクセプタとして振舞う欠陥を、Sbが補償し、残った一部のSbがドナーとして機能していることが示唆される。本結果から、in-situ Sb dopingによりSn組成約25%の超高Sn組成 $\text{Ge}_{1-x}\text{Sn}_x$ 膜に対してもキャリア制御が可能であることが明らかとなった。

加えて、MIR領域の受光素子実現には、各種素子作製プロセスを実施する必要があるため、プロセス熱耐性の知見も重要である。図3(a)–(d)は、Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜に対してPDAを施す前後の光学顕微鏡像である。PDAを施していない試料において、丸で示すような明領域が存在する。InP表面清浄化条件によっては、InP基板上にInドロップレットが形成されることが報告されている^[11,12]。これら明領域は、成長前の清

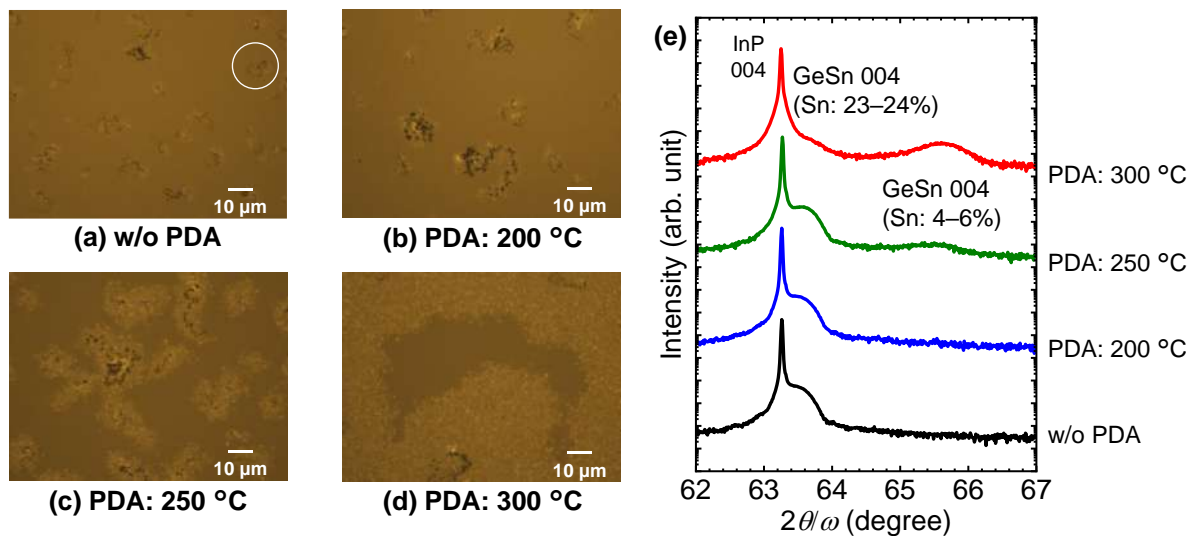


Fig.3 Optical microscope images of Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layer (a) not subjected to PDA and subjected to PDA at (b) 200 °C, (c) 250 °C, and (d) 300 °C, and (e) the corresponding XRD $2\theta/\omega$ profiles.

浄化後 InP 表面に存在した In ドロップレットに起因する In-Sn 析出物であると考えられる^[7]. 200 °C の PDA では、表面構造に変化は見られないが、250 °C、300 °C と PDA 温度の増大ともなつて、明領域面積が拡大していることが確認できる.

次に、各試料の結晶構造を XRD $2\theta/\omega$ 測定で確認したところ (図 3(e)), PDA 温度 250 °C を施した試料から、Sn 組成 4–6% の $\text{Ge}_{1-x}\text{Sn}_x$ 由来の回折ピークが現れ始め、PDA 温度 300 °C では、Sn 組成 23–24% の $\text{Ge}_{1-x}\text{Sn}_x$ 由来の回折ピーク強度も減少している. このことから、Sn 組成約 25% の $\text{Ge}_{1-x}\text{Sn}_x$ 膜には、200 °C の熱耐性があると期待できる. なお、これら表面構造および結晶構造の PDA に対する変化は、Un-doped および Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜で差が見られなかったことを注記する.

最後に、図 4 に、un-doped および Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜のホールキャリア密度の、PDA 温度依存性を示す. 200 °C の PDA では、キャリア密度がほとんど変化していないことが分かる. 一方、250 °C の PDA によって un-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜のホール正孔密度が増大し、Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ 膜のホール電子密度が減少していることから、PDA による $\text{Ge}_{1-x}\text{Sn}_x$ 膜の構造劣化にともない、アクセプタライクな欠陥形成が促進されたと推察される.

以上より、Sn 組成約 25% の超高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 膜に対して、in-situ Sb ドーピングによ

るキャリア制御が可能であること、および超高 Sn 組成の n 型 $\text{Ge}_{1-x}\text{Sn}_x$ 膜が、結晶構造およびキャリア密度共に、約 200 °C の熱耐性を有することが分かった. このことから、200 °C 以下の低温プロセス開発により、IV 族混晶半導体による集積可能な受光素子実現が期待できる.

ただし、現状では Sn 組成約 25% の超高 Sn 組成 $\text{Ge}_{1-x}\text{Sn}_x$ 膜中に存在する意図せず導入された欠陥の密度が、Sn 組成約 10% 以下の $\text{Ge}_{1-x}\text{Sn}_x$ 膜と比べて^[13]、1–2 桁ほど大きい. 受光素子応用に向けて、意図せず導入された欠陥密度の低減が必須課題である. 従つて今後は、低温プロセ

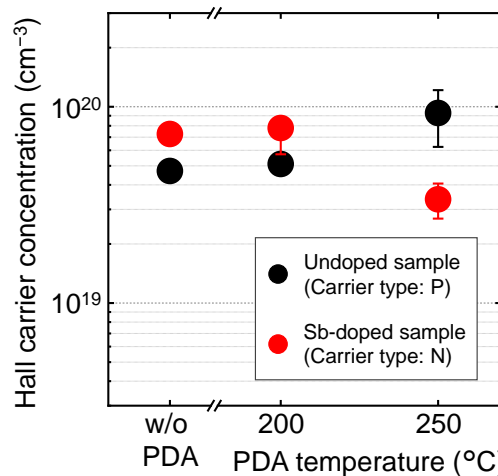


Fig.4 PDA temperature dependence of Hall carrier concentration of un-doped and Sb-doped $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers.

ス開発を推進すると共に、意図せず導入された欠陥の起源解明および、結晶品質の更なる改善による密度低減が今後の課題と言えるだろう。

4. まとめ

IV 族混晶半導体による集積可能な MIR 領域受光素子の実現に向けて、Sn 組成約 25% の $\text{Ge}_{1-x}\text{Sn}_x$ 膜のキャリア制御に向けたドーピング技術を開発し、キャリア制御した $\text{Ge}_{1-x}\text{Sn}_x$ 膜のプロセス熱耐性を明らかにした。本研究では、MBE による $\text{Ge}_{1-x}\text{Sn}_x$ 膜成長時の in-situ Sb ドーピングを行い、 $\sim 3 \times 10^{20} \text{ cm}^{-3}$ の Sb 原子が $\text{Ge}_{1-x}\text{Sn}_x$ 膜中に均一に分布し、ホール電子密度が $\sim 8 \times 10^{19} \text{ cm}^{-3}$ の n 型 $\text{Ge}_{1-x}\text{Sn}_x$ 膜 (Sn 組成: 23–24%) の形成に成功した。更に、200 °C までの PDA では、結晶構造劣化を起こさず、キャリア密度もほとんど変化しないことが分かった。以上の結果より、今後の課題は、低温でのプロセス開発および、Sn 組成約 25% の $\text{Ge}_{1-x}\text{Sn}_x$ 膜に存在する意図せず導入された欠陥の密度低減および欠陥の起源解明であると考えられる。

謝辞

本研究は JST CREST (JPMJCR21C2)、一部は JST PRESTO (JPMJPR21B6)、JSPS 科研費 (基盤 B, 21H01809) の支援を受けて実施された。

References

- [1] H. P. L. de Guevara *et al.*, Appl. Phys. Lett. **84**, 4532 (2004).
- [2] R. Ranjan *et al.*, Opt. Quant. Electron. **48**, 201 (2016).
- [3] A. A. Tonkikh *et al.*, Appl. Phys. Lett. **103**, 032106 (2013).
- [4] H. -S. Lan *et al.*, Phys. Rev. B **95**, 201201(R) (2017).
- [5] L. D. Anh *et al.*, Adv. Mater. **33**, 2104645 (2021).
- [6] M. Nakamura *et al.*, Thin Solid Films **520**, 3201 (2012).
- [7] K. Takagi *et al.*, Extended abstr. of 13th International Workshop on New Group IV Semiconductor Nanoelectronics, P-02 (2023).
- [8] C. Xu *et al.*, Appl. Phys. Lett. **114**, 212104 (2019).
- [9] J. Jeon *et al.*, Jpn. J. Appl. Phys. **55**, 04EB13 (2016).
- [10] J. Jeon *et al.*, Jpn. J. Appl. Phys. **59**, S11F02 (2020).
- [11] F. Genova *et al.*, J. Cryst. Growth **69**, 635 (1984).
- [13] C. Schulte-Braucks, Forschungszentrum Jülich GmbH Zentralbibliothek, Verlag, 2018, 117–127.

Al/GeSn(111)構造上への熱処理による極薄・高 Sn 組成 GeSn 表面偏析

Surface segregation of ultra-thin and high-Sn-content GeSn on Al/GeSn(111) by annealing

柴山 茂久¹ 松本 泰河¹ 大田 晃生² 横川 凌^{3,4} 坂下 満男¹ 黒澤 昌志¹ 中塚 理¹

1 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 福岡大学理学部 〒814-0180 福岡県福岡市城南区七隈 8-19-1

3 明治大学理工学部電気電子生命学科 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

4 明治大学 MREL 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

Shigehisa Shibayama¹, Taiga Matsumoto¹, Akio Ohta², Ryo Yokogawa^{3,4},
Mitsuo Sakashita¹, Masashi Kurosawa¹, Osamu Nakatsuka^{1,2}

1 Grad. Sch. of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8603, Japan

2 Faculty of Science, Fukuoka University, 8-19-1 Nanakuma, Jonan-ku, Fukuoka, 814-0180, Japan

3 Department of Electronics and Bioinformatics, Sch. of Science and Technology, Meiji University, 1-1-1 Higashi-mita, Tama-ku, Kawasaki-shi, Kanagawa, 214-8571, Japan

4 MREL, 1-1-1 Higashi-mita, Tama-ku, Kawasaki-shi, Kanagawa, 214-8571, Japan

Tel: + 81-52-789-2762, Fax: + 81-52-789-2760 (e-mail: s-shibayama@nagoya-u.jp)

Abstract

Toward synthesizing two-dimensional stanene, which is a monolayer α -Sn, in a stable state under the atmosphere, we focused on the segregation method using Al-Sn eutectic system. As a first step of this objective, we examined the surface segregation of Ge and Sn from Al/GeSn(111) system. We found that the formation of the orientated Al layer with (111) direction on the epitaxial $\text{Ge}_{1-x}\text{Sn}_x$ layer is possible as is case for Al/Ge(111). Subsequently, we verified that the ultra-thin GeSn layer was successfully segregated with covering the Al oxide layer and the larger Sn content in the segregated GeSn layer than the epitaxial GeSn layer was possibly realized although the segregated GeSn layer was amorphous. This finding suggests that the segregation method using epitaxial GeSn layer is promising to realize not only stanene but also two-dimensional alloy composed of stanene and germanene in a stable state under the atmosphere.

1. はじめに

Sn 原子一層からなる二次元物質 (スタネン) は、強い量子スピンホール効果に起因して、単元素でありながらも、二次元トポロジカル絶縁体になると期待されている^[1-4]. スタネンはこれまで、 Bi_2Te_3 (111)等の金属上への蒸着による材料合成報告があるが^[5,6], 大気曝露でスタネンの構造破壊が生じるために、電子・スピン輸送特性などの評価が困難であることが、材料应用到ける課題である。

そこで我々は、物性評価が可能な形でのスタネン合成を目的とし、Al 膜上への表面偏析に着目している. これまで、Ge や Si 原子一層からなる二次元物質 (ゲルマネンやシリセン) の大気中安定な状態での合成に向けて、Al/Ge(111)^[7,8], Al/Si(111)^[9]からの偏析が検討されてきた. これらの構造に対して熱処理を行うことで、Al 上への Ge や Si 極薄膜の偏析が生じ、さらに偏析物が Al_2O_3 被膜保護された構造

の形成が可能である。本手法の Sn への適用には α -Sn(111)が必要だが、 α -Sn(111)の高品質形成自体が困難である。

そこで本研究では、表面偏析によるスタネン合成の第一歩として、Sn 原子を含む GeSn(111)を下地に用いた表面偏析を検討した。GeSn(111)上への Al(111)成長や、熱処理による Ge や Sn の表面偏析について調査した結果を報告する。

2. 実験方法

化学洗浄および超高真空中熱処理を施した Ge(111)基板に、分子線エピタキシー法により、厚さ 30 nm の Sn 組成 8.8% の GeSn 層 (Epi-GeSn) を堆積温度 100 °C でエピタキシャル成長した。

希フッ酸 (4.5%) 浸漬により自然酸化膜を除去した後、抵抗加熱蒸着法にて、厚さ 30 nm の Al 層を、室温 (RT) および 100 °C で堆積した。その後、表面偏析を誘起するために、N₂ 雰囲気において、150 °C および 300 °C、30 min の堆積後熱処理 (PDA) を行った。

作製した試料の表面構造を原子間力顕微鏡 (AFM) で、結晶構造を X 線回折 (XRD) で評価した。また、角度分解 X 線光電子分光 (XPS) および (走査型) 透過電子顕微鏡 ((S)TEM) を用いて、断面構造の分析を行った。

3. 結果

図 1 に、Al 層の堆積前の Epi-GeSn/Ge(111)構造の、Ge 224 逆格子点付近の X 線回折逆格子空間マッピング (XRD-2DRSM) を示す。Epi-GeSn

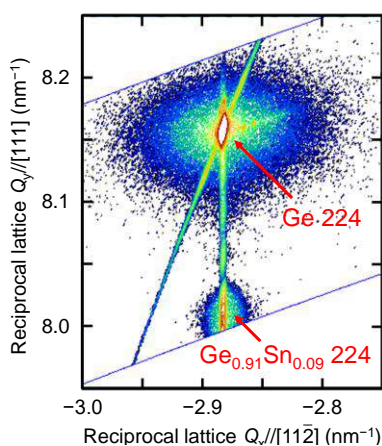


Fig.1 XRD-2DRSM near Ge 224 reciprocal lattice point of Epi-GeSn/Ge(111) structure.

由来の回折が Ge と同じ逆格子 $Q_x/[112]$ 上に存在する、即ち Ge と同じ面内格子定数を有することから、Epi-GeSn が Ge(111) 基板に pseudomorphic にエピタキシャル成長していることが分かる。

図 2 は、Al を室温および 100 °C で堆積した試料、100 °C で堆積した後に 300 °C の PDA を施した試料の XRD $2\theta/\omega$ プロファイルである。Al を室温で堆積した場合、Al 111 に加えて Al 200 回折ピークが現れている。これに対し、100 °C で堆積した試料では、Al 111 回折ピークのみが観察できることから、Al 層が 111 方向に配向して成長していると考えられる。このことから、GeSn(111)上への Al 層の 111 方向への配向成長には、Ge(111)上への Al 堆積の先行研究 [7,8]と同様に、室温よりも 100 °C 等の高温堆積が有効であることを示している。なお AFM から、100 °C で堆積した Al 層の RMS ラフネスは、約 0.5 nm と見積もられた (掲載省略)。Ge(111)上に Al を 100 °C で堆積した場合の RMS ラフネス (約 0.3 nm) と比べて、僅かに表面ラフネスが増大している。

更に、Al を 100 °C で堆積した試料に 300 °C の PDA を施した後も、PDA 前と比べて、Al 111 回折および Epi-GeSn 111 回折ピーク位置・強度に変化が見られないことが分かる。このことから、Al-Sn 共晶温度である 228 °C^[10]を超える温度で PDA を行っても、下地 Epi-GeSn や Al 層の結晶構造を維持できていると推察される。

そこで次に、PDA 後の断面構造を評価するために、角度分解 XPS による評価を試みた。図 3 は、Al を 100 °C で堆積した後、300 °C の PDA

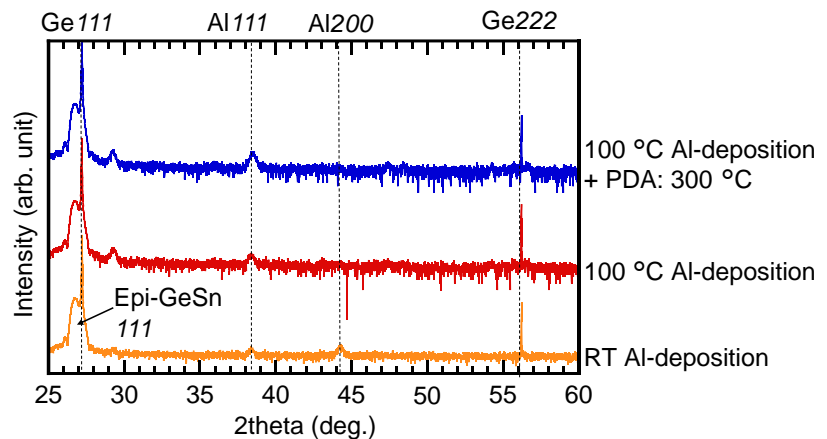


Fig.2 XRD $2\theta/\omega$ profiles for Epi-GeSn/Ge(111) structures subjected to the Al deposition at RT and 100 °C, and the Al deposition at 100 °C and PDA at 300 °C.

を施した試料に対して、様々な光電子脱出角 (TOA) で測定した(a) Ge 3d および、(b) Sn 3d_{5/2} スペクトルである。各スペクトルに対し、同時に取得した Al 2p スペクトル (掲載省略) の Al-AI 信号を用いた強度の規格化および結合エネルギーの補正を行った。TOA の減少にともなって、Ge-Ge および Sn-Sn 信号の強度が増大する傾向にあることが分かる。このことから、Ge と Sn が共に、表面に偏析している可能性が示唆される。より明確化するために、Ge 3d, Sn 3d_{5/2}, および Al 2p スペクトルから、Ge-Ge 信号, Sn-Sn 信号, および Al-O 信号, Al-AI 信号の面積強度を求め、Al-AI 信号に対する面積強度比を算出した。各信号の面積強度比の TOA 依存性を、図 3(c)にまとめる。

Ge-Ge 信号および Sn-Sn 信号共に、TOA の減少にともない、単調に増加している。また、Al-

O 信号も同様に、TOA 減少に対して単調増加の傾向にあるが、Ge-Ge および Sn-Sn よりも急峻に増加している。これは、Al 酸化物が Ge および Sn よりも表面近傍に存在すること意味する。以上の結果を踏まえると、期待通りに、Al 層上に、Ge と Sn で構成される偏析層が Al 酸化物で被覆された構造が形成されていると考えられる。

構造をより詳細に調べるため、TEM および STEM 分析を行った結果を図 4 に示す。図 4(a) の断面 TEM 像から、Al 層上に GeSn 偏析層が Al 酸化膜で被覆される形で形成されていることが確認でき、XPS の分析と整合することが分かる。また、Al 酸化膜の厚さは約 3 nm であった。Al/Ge(111)からの Ge 偏析の場合においても、Al 酸化膜厚は約 3 nm であることから¹⁷⁾、偏析源を Ge から Epi-GeSn にしても、狙い通りに大

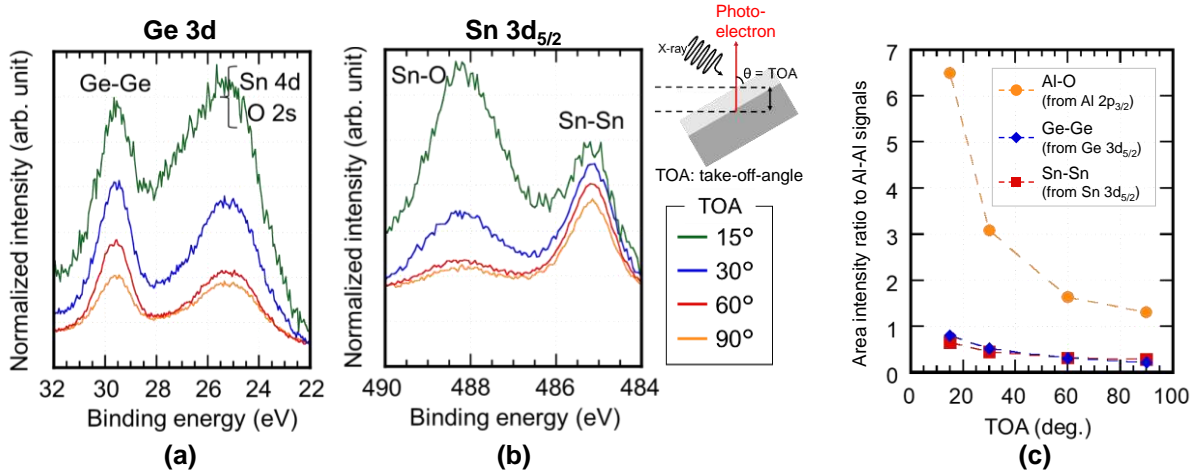


Fig.3 (a) Ge 3d and (b) Sn 3d_{5/2} photoelectron spectra measured at various TOAs for Epi-GeSn/Ge(111) structure subjected to the Al deposition at 100 °C and PDA at 300 °C. Each spectrum was normalized by the corresponding Al-AI peak intensity of each Al 2p spectrum. (c) Area intensity ratio of Al-O, Ge-Ge, and Sn-Sn signals to Al-AI signals as a function of TOA. The area intensities of Al-O and Al-AI signals were obtained from Al 2p_{3/2} component, while the Ge-Ge and Sn-Sn signals were from Ge 3d_{5/2} and Sn 3d_{5/2} components.

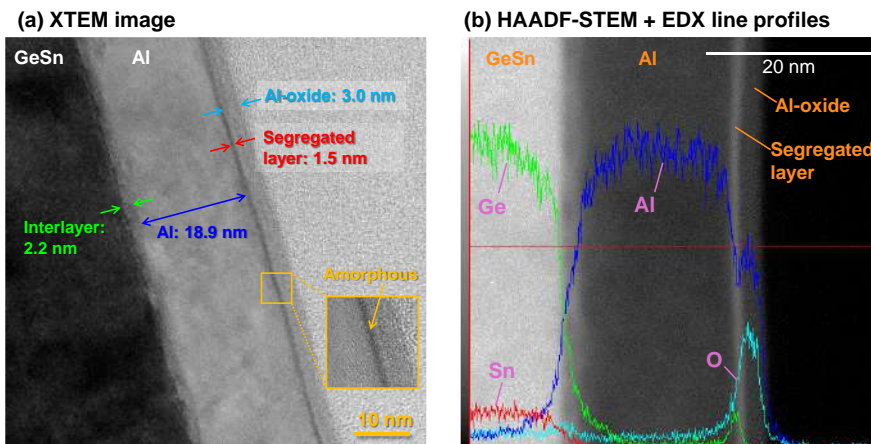


Fig.4 (a) Cross-sectional TEM image and (b) HAADF-STEM image with EDX line profiles for the sample with the Al deposition at 100 °C and PDA at 300 °C.

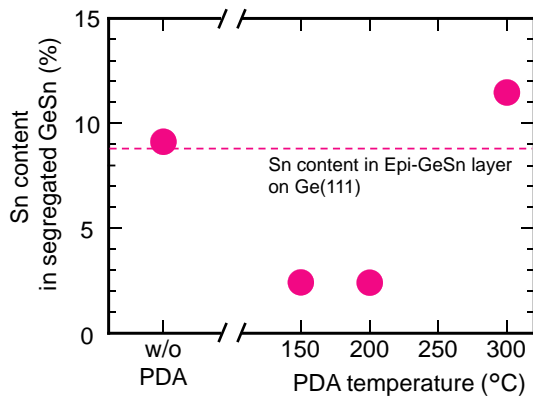


Fig.5 Sn content in the segregated GeSn layer as a function of PDA temperature. Sn content was estimated using the area intensity ratio of Ge-Ge and Sn-Sn signals obtained by XPS with TOA=90°. The dotted line means the Sn content in Epi-GeSn layer on Ge(111).

気中安定な構造形成が可能であると分かる。

一方で、GeSn 偏析層は約 1.5 nm であり、アモルファス層として形成されていた。アモルファス化の要因は明らかになっていないが、現状では、STEM-EDX の結果 (図 4(b)) から分かるように、Epi-GeSn と Al 界面に酸化物が存在し、Al 層の結晶品質は、Al/Ge(111)構造の場合と比較して劣化している可能性がある。従って、Al 層の更なる平坦化・結晶品質改善・熱処理後の冷却過程制御などにより、結晶化を誘起できる可能性がある。今後は、Al 層の結晶品質向上と熱処理条件の探索による偏析層の結晶化が課題の一つである。

最後に、偏析 GeSn 層の Sn 組成について議論する。図 5 に、TOA=90°で取得した XPS 光電子スペクトルの Ge-Ge 信号および Sn-Sn 信号の面積強度比から、偏析 GeSn 層の Sn 組成を求めた結果を PDA 温度の依存性として示す。PDA 温度に対して、Ge および Sn 偏析量が減少した後増大する傾向が見られた。注目したいのは PDA 温度が 300 °C の場合である。この場合には、偏析源の Epi-GeSn 層よりも高 Sn 組成の偏析 GeSn 層を実現できることが分かった。この事実から、スタネン合成に向けて、Epi-GeSn 層を偏析源として用いることが、有力な方法であることを支持していると考えている。一方で、高 Sn 組成化を実現する PDA 温度が、Al-Sn 共晶温度 (228 °C^{[10])} よりも高温であることから、本現象が偏析のみで説明されるものかどうかは、今後慎重に議論していく必要があるだろう。

4. まとめ

偏析法による大気中安定なスタネン合成に向けた第一歩として、Epi-GeSn 層を偏析源として用いた場合の、Al 層を介した Ge および Sn の偏析過程を調査した。その結果、

(1) Epi-GeSn(111)層上に、堆積温度 100 °C の真空蒸着により Al 層の 111 方向への優先配向成長が可能であること

(2) Al/Epi-GeSn(111)の系でも、Al/Ge(111)と同様に、Al 酸化膜で保護された極薄 GeSn 偏析層を形成可能であること

(3) そして偏析源の Epi-GeSn(111)層よりも高 Sn 組成な GeSn 偏析層の形成が可能であることが明らかになった。以上の結果より、Epi-GeSn 層を偏析源として用いることが、スタネン合成や、超高 Sn 組成な極薄 GeSn 結晶層の形成に有用である可能性が示唆された。

謝辞

本研究は JSPS 科研費 (挑戦的研究 (萌芽), 23K17745), 一部はキヤノン財団, JST PRESTO (JPMJPR21B6), JST CREST (JPMJCR21C2), JSPS 科研費 (基盤 B, 21H01809, 22H01524) の支援を受けて実施された。

References

- [1] J. Wang *et al.*, Phys. Rev. B **90**, 054503 (2014).
- [2] Y. Xu *et al.*, Phys. Rev. Lett. **112**, 226801 (2014).
- [3] M. Ezawa, J. Phys. Soc. Jpn. **84**, 121003 (2015).
- [4] C-Z. Zhao *et al.*, Front. Phys. **15**(5), 53201 (2020).
- [5] F. F. Zhu *et al.*, Nat. Mater **14**, 1020 (2015).
- [6] J. Yuhara *et al.*, 2D Mater. **5**, 025002 (2018).
- [7] M. Kobayashi *et al.*, Jpn. J. Appl. Phys. **59**, SGGK15 (2020).
- [8] K. Matsushita *et al.*, Jpn. J. Appl. Phys. **61**, SH1012 (2022).
- [9] T. Sakai *et al.*, Jpn. J. Appl. Phys. **62**, SC1059 (2023).
- [10] A. H. McAlister *et al.*, Bulletin of Alloy Phase Diagrams **4**, 410 (1983).

Al/SiGe(111)/Si(111)構造の化学構造分析 -熱処理による Si および Ge 偏析-

Evaluation of Chemical Bonding Features of Al/SiGe(111)/Si(111) Structures -Si and Ge Surface Segregation by Annealing-

酒井 大希¹, 大田 晃生², 田岡 紀之³, 牧原 克典¹, 山本 裕司⁴, 宮崎 誠一¹

1 名古屋大学 大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 福岡大学 〒814-0180 福岡県福岡市城南区七隈 8-19-1

3 愛知工業大学 〒470-0392 愛知県豊田市八草町八千草 1247

4 IHP ドイツ フランクフルト 15236

Taiki Sakai¹, Akio Ohta², Noriyuki Taoka³, Katsunori Makihara¹, Yuji Yamamoto⁴, Seiichi Miyazaki¹

1 Grad. Sch. Eng., Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8601, Japan

2 Fukuoka University, 8-19-1, Nanakuma, Jonan-ku, Fukuoka, Fukuoka 814-0180, Japan

3 Aichi Institute of Technology, 1247, Yachigusa, Yakusa-cho, Toyota, Aichi 470-0392, Japan

4 IHP 15236 Frankfurt, Germany

Tel: + 81-52-789-2727, Fax: + 81-52-789-3168 (e-mail: sakai.taiki.v0@s.mail.nagoya-u.ac.jp)

Abstract

Impacts of annealing temperature and time in N₂ ambience of Al/epitaxial Si_{0.2}Ge_{0.8}(111) stack on Si(111) structures on Si and Ge surface segregation have been studied by XPS analysis. Annealing temperature rather than the time was found to be important in controlling the Si and Ge segregation. Segregated Ge on the Al/Si_{0.2}Ge_{0.8} structure was stable against the oxidation due to the surface Al oxide layer and segregated Si from the Si_{0.2}Ge_{0.8} layer.

1. はじめに

Si や Ge などの半導体薄膜の結晶を成長する方法として金属誘起層交換法が探究されている。アモルファスの半導体薄膜と金属との積層構造において、熱処理により生じる層交換に伴い、低温で半導体薄膜を結晶化することが可能である[1]。同様に、Si や Ge などの単結晶基板上に金属結晶を形成した積層構造の場合では、熱処理することで、極薄結晶や二次元結晶を形成できる [2-3]。具体的には、ZrB₂(111)上のシリセン(Si の二次元結晶)や、Ag(111)上や Al(111)上へのゲルマネン(Ge の二次元結晶)等の二次元結晶が形成できることが報告されている[4-6]。Al や Ag は、Si や Ge のどちらにおいても共晶反応を示す金属であり[7-10]、Al もしくは Ag 薄膜と SiGe(111)との積層構造を熱処理した場合、Al と Ag のどちらの金属でも、Si と Ge が表面偏析することをこれまでに確認している。このとき、Ag を用いた場合では、析出した Si と Ge

のどちらもほとんどが酸化するものの、Al を用いた場合では、Al 酸化膜が試料最表面に形成されるため、偏析層の酸化を抑制できることが分かった。

本研究では、Al/SiGe(111)構造の Si や Ge 偏析に対する知見を深めることを目的として、窒素雰囲気中熱処理の温度および時間が試料表面近傍の化学結合状態に与える影響を評価した。

2. 実験方法

水素希釈 SiH₄+GeH₄ 混合ガスを用いた CVD (基板温度: 600 °C)により、n 型 Si(111)基板上に厚さ 85nm の Si_{0.2}Ge_{0.8}(111)を形成した。Si_{0.2}Ge_{0.8}(111)表面の化学溶液洗浄として、4.5%に希釈した HF 溶液に1分間浸漬し、純水リンスを5分行った。その後、抵抗加熱真空蒸着(到達真空度: ~1.7×10⁻⁵ Pa、堆積レート: ~2.5 nm/s)により、厚さ 30 nm の Al 薄膜を堆積した。一部の試料は、窒素雰囲気中で熱処理を行った。

試料の表面形状は、原子間力顕微鏡 (AFM)により、先端径がおよそ 10 nm の Si カンチレバーを用いて、タッピングモードで測定した。また、試料表面近傍の化学結合状態を単色化 AlK α 特性 X 線を用いた X 線光電子分光(XPS)により評価した。

3. 結果および考察

Si_{0.2}Ge_{0.8}(111)上に厚さ 30 nm の Al 薄膜を堆積した試料の AFM 表面形状像を Fig.1 に示す。熱処理前の表面は大きな凹凸が少なく、その二乗平均粗さ(RMS)は 0.9 nm であった。400 °C で熱処理しても顕著な変化は認められないものの、500 °C では表面荒れが進行し、その RMS も 1.7 nm と顕著に増大した。これらの変化は、熱処理による表面マイグレーションや元素偏析が影響している可能性が考えられる。

そこで、Al/Si_{0.2}Ge_{0.8}(111)/Si(111)構造において、試料表面近傍の化学結合状態を XPS により評価した。Fig.2 に、熱処理前後の試料の Al 2p、Ge 3d および Si 2p 内殻光電子スペクトルを示す。各スペクトルの結合エネルギーと信号強度は、Al 2p 信号の Al-Al 結合成分で補正した。熱処理前後で Al 薄膜に相当する Al-Al 結合成分に顕著な変化は認められず、Al-Si や Al-Ge 結合の形成など Al と Si や Ge の合金化は極めて少ないと考えられる。このことは、Al 中の Si や Ge の固溶度が室温で非常に小さいことと一

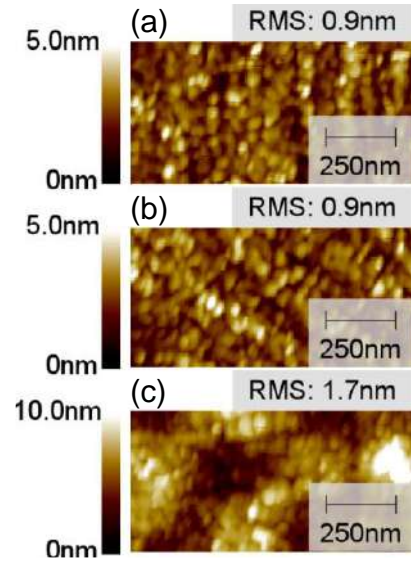


Fig.1 AFM topographic images taken for the 30 nm-thick Al/Si_{0.2}Ge_{0.8}(111)/Si(111) structure (a) before and after the annealing at (b) 400 °C and (c) 500 °C for 30 min.

致する[7-8]。また、いずれの試料においても、Al 酸化成分が観測され、試料の大気暴露や熱処理炉内の残留酸素による表面酸化が主要因だと考えられる。Si 2p および Ge 3d 信号では、Si-Si と Ge-Ge 結合成分が熱処理により増加する。また、Si 2p 信号の Si-O 結合のエネルギー位置と、Al 2p 信号の Al-Al 結合成分に起因するプラズモン損失ピークとが重畳するため、大きな信号が認められている。

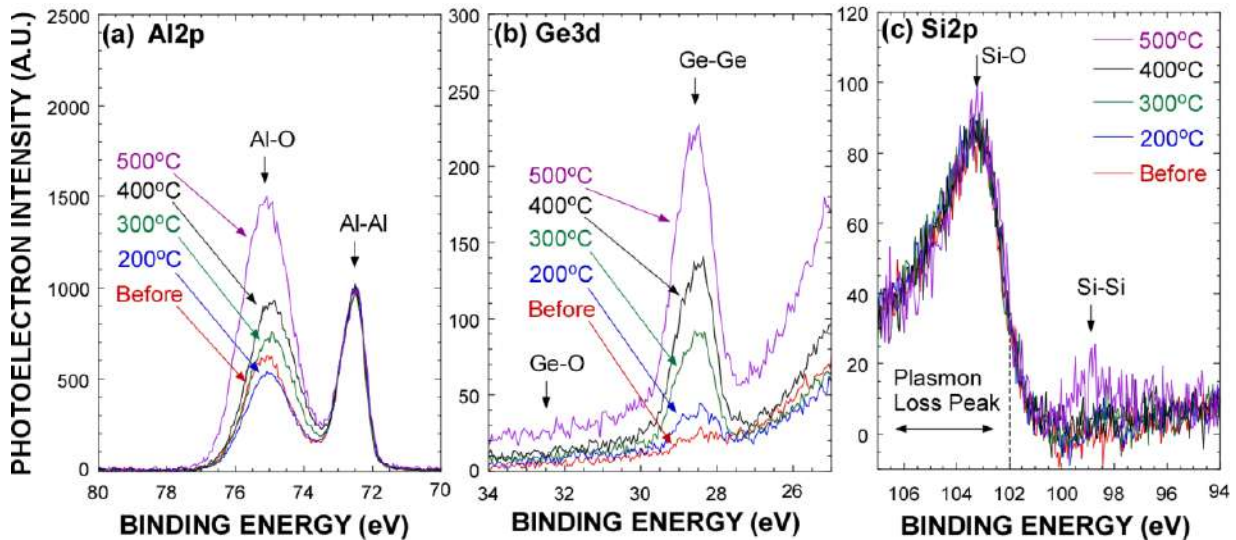


Fig.2 (a) Al 2p, (b) Ge 3d, and (c) Si 2p core-line spectra taken for the 30 nm-thick Al/Si_{0.2}Ge_{0.8}(111)/Si(111) structure taken before and after the annealing in N₂ ambient for 30 min.

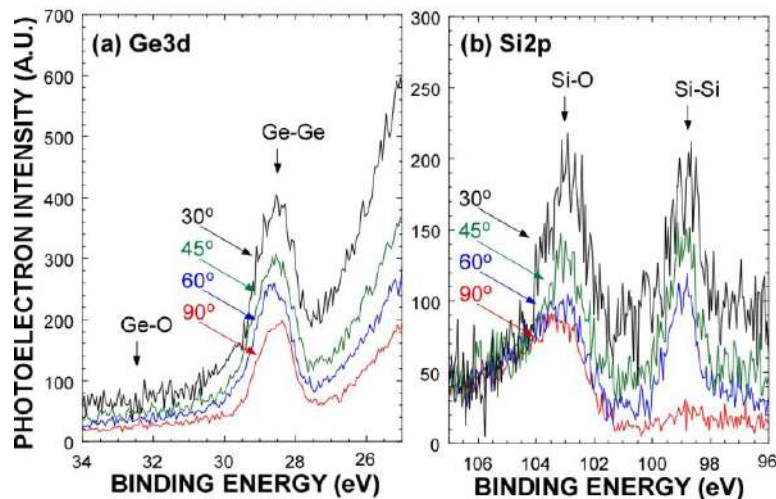


Fig.3 Photoelectron take-off angle dependence of (a) Ge 3d and (b) Si 2p spectra for the 30 nm-thick Al/Si_{0.2}Ge_{0.8}(111)/Si(111) structure after the annealing in N₂ ambient at 500 °C for 30 min.

熱処理により増加した Si-Si および Ge-Ge 結合成分について、試料表面からの深さ方向分布を調べるために、光電子脱出角度をパラメータとして測定を行った。Fig.3 に、500 °C で 30 分熱処理した試料の Ge3d と Si 2p 内殻光電子スペクトルを示す。光電子脱出角度を 90° から 30° に浅くし表面敏感測定にすることで、Ge-Ge および Si-Si 結合成分のどちらも増大し、その増加量は Ge-Ge よりも Si-Si 結合が大きい。また、Si-O 結合成分も増加することから、Si 酸化物が試料表面近傍に形成されていることが示唆される。

さらに、300 °C と 500 °C の熱処理による Si および Ge の析出量の時間依存性を調べた。Fig.4 に Ge-Ge および Si-Si 結合成分の強度から算出した Si および Ge の平均膜厚を示す。Si および Ge の平均膜厚は、多少のばらつきはあるものの、

10 分から 120 分の間で顕著な時間依存性は認められない。したがって、表面近傍の Si-Si 結合や Ge-Ge 結合は、Si_{0.2}Ge_{0.8}/Si 基板側からの単純な熱拡散よりも固溶や偏析に影響する可能性が高い。

熱処理による Al/Si_{0.2}Ge_{0.8}(111)構造の表面近傍で観測された Si や Ge 析出に関する知見を深めるために、Al/Si(111)構造および Al/Ge(111)構造での Si や Ge 偏析量との比較を行った(Fig.5) [11,12]。Fig.5 には各構造において、XPS 分析から算出した Si や Ge の平均膜厚を窒素雰囲気中熱処理温度に対してまとめた。400 °C の熱処理の場合では、Al/Si_{0.2}Ge_{0.8}(111)構造では Ge および Si 膜厚はそれぞれ約 0.2 nm および約 0.1nm であった。同様の条件で、Al/Ge(111)構造では Ge 膜厚が約 0.8 nm、Al/Si(111)構造では Si 膜厚が約 0.1nm である。Si_{0.2}Ge_{0.8} の比率(Si:Ge = 1:4)を

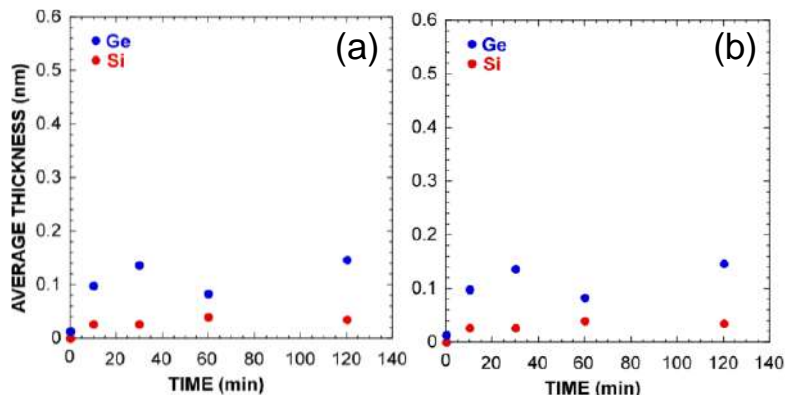


Fig.4 Average thickness of segregated Si and Ge on the Al/Si_{0.2}Ge_{0.8}(111)/Si(111) structure after the annealing in N₂ ambient at (a) 300 °C and (b) 500 °C.

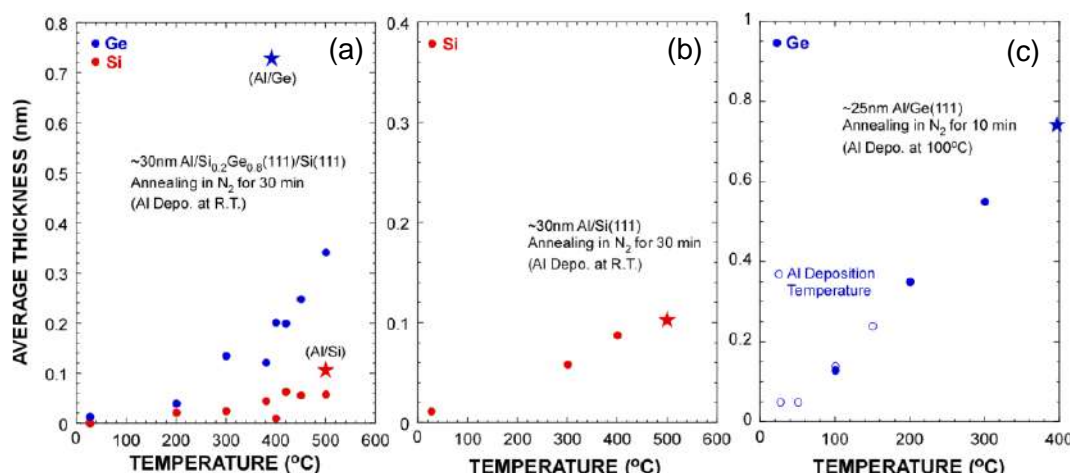


Fig.5 Average thickness of segregated Si and Ge taken for (a) Al/Si_{0.2}Ge_{0.8}(111)/Si(111), (b) Al/Si(111), and (c) Al/Ge(111) structures after the annealing in N₂ ambient.

考慮すると、Al/Si_{0.2}Ge_{0.8}(111)構造では、Al/Ge(111)構造に比べ Ge の析出量が低下し、Al/Si(111)構造に比べ Si の析出量が増加する。この要因の一つとして、Si が粒界などを介した偏析が示唆される。また、興味深いことに、Al/Ge(111)構造では 400 °C 以上の熱処理で析出した Ge の酸化が見られたが[12]、Al/Si_{0.2}Ge_{0.8}(111)では 500 °C の熱処理でも Ge の酸化が見られなかった(Fig.2)。このため、Si の偏析や表面 Al 酸化膜が Ge の酸化を抑制したことが示唆される。

4. まとめ

Al/Si_{0.2}Ge_{0.8}(111)/Si(111)構造を窒素雰囲気中熱処理することで Si および Ge が表面近傍に偏析し、その量は熱処理時間より温度に依存する。また、試料最表面に形成する Al 酸化膜や析出した Si により、400°C の熱処理においても析出した Ge の酸化を抑制できることがわかった。

謝辞

本研究の一部は、科学研究費補助金(22H01524)より支援を受けた。

References

- [1] O. Nast, et.al., *APL*, **73**, 3214, 1998
- [2] M. Kurosawa, et.al., *JJAP*. **55**, 08NB07, 2016
- [3] K. Ito, et.al., *JJAP*. **57**, 06HD08, 2018
- [4] A. Fleurence, et al., *Phys. Rev. Lett.* **108**, 245501, 2012
- [5] J. Yuhara, et al., *ACS Nano*, **12**, 11632, 2018
- [6] J. Yuhara, et al., *2D Materials*, **8**, 045039, 2021
- [7] J. L. Murray et al., *Bulletin of Alloy Phase Diagrams*. **5**, 75, 1984
- [8] A. J. McAlister et al., *Bulletin of Alloy Phase Diagrams*. **5**, 341, 1984
- [9] R.W. Olesinski, et al., *Bulletin of Alloy Phase Diagrams*. **10**, 635, 1989
- [10] R.W. Olesinski et al., *Bulletin of Alloy Phase Diagrams*. **9**, 58, 1988
- [11] T. Sakai et al., *JJAP*. **62**, SC1059, 2023
- [12] K. Matsushita et al., *JJAP*. **61**, SH1012, 2022

表面酸化処理した Si/Ni/Si 構造の熱処理による SiO₂ 上への極薄 NiSi₂ 膜形成

Formation of ultra-thin NiSi₂ film on SiO₂ by annealing Si/Ni/Si structures with surface oxidation

木村 圭佑^{1*} 田岡 紀之² 大田 晃生³ 牧原 克典¹ 宮崎 誠一¹

1 名古屋大学 〒464-8601 愛知県 名古屋市 千種区 不老町

2 愛知工業大学 〒470-0392 愛知県 豊田市 八草町 八千草 1247

3 福岡大学 〒814-0180 福岡県 福岡市 城南区 七隈 8-19-1

Keisuke Kimura¹, Noriyuki Taoka², Akio Ohta³, Katsunori Makihara¹, Seiichi Miyazaki¹

1 Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-0812, Japan

2 Aichi Institute of Technology, Yachigusa 1247, Yakusa-cho, Toyota, Aichi, 470-0392 Japan.

3 Fukuoka University, 8-19-1 Nanakuma, Jonan-ku, Fukuoka, 814-0180, Japan

Tel: + 81-052-789-2727, (e-mail: kimura.keisuke.c4@s.mil.nagoya-u.ac.jp)

Abstract

Effects of surface oxidation of Si/Ni/Si structures on silicide formation and surface morphology were systematically investigated. It was found that the surface oxidation promotes surface roughening after silicidation annealing, which depends on a process of the surface oxidation. Also, it was found that NiSi₂ and Ni-rich phases are formed after the silicidation annealing, and that the oxidation leads to formation of the Ni-rich phase due to lack of Si atoms. Consequently, we found importance of the surface oxidation control in order to form a NiSi₂ layer with a single crystalline phase.

1. はじめに

IoT 社会の到来により更なる集積回路の低消費電力化および高性能化が求められている。また、センサーアレイなどをモノリシックに集積することによって、集積回路に新たな機能を付加する技術にも注目が集まっている。一方、従来の半導体材料を用いたセンサーではヒーター搭載の必要性からセンサーの小型化は困難である。また半導体トランジスタでは微細化に伴い配線との接触抵抗の顕在化が大きな問題となる。そこで注目するのが、メタルナノシート(MNS)である。MNS をセンシング部やチャネルに導入することで、その固有の物性を生かしたヒーターレスな分子センサー[1]や接触抵抗を削減可能なオールメタルトランジスタ(AMT)[2]の実現が期待出来る。

これらのデバイスの性能は主にナノシート内の電子数に左右されるが、NiSi₂ は電子密度 $\sim 2 \times 10^{22}$ [1/cm³] と報告されており[3]、これま

で AMT 材料で報告されている Pt や TiN といった金属よりも電子数低減が可能である。MNS を用いたデバイスでは熱プロセス時の凝集による電気伝導性の悪化が大きな課題となる。金属的な原子は酸素と吸着した際に表面拡散係数が低減することが知られている。[4] つまり酸化を施すことで原子泳動を抑制する効果が期待できる。これまで我々は SiO₂ 上の Si/Ni/Si 構造において、上層および下層の Si 膜厚比を制御することで厚さ ~ 2 nm の Ni Silicide 薄膜の形成と表面酸化量のコントロールに成功し、前述した効果により形成した薄膜の表面形態制御にも成功した[5]。一方、薄膜では表面酸化によって、シリサイド化に寄与する原子数が減少する。そのため表面酸化の制御が、Ni Silicide の組成制御に非常に重要であることも明らかにした。しかしながら表面酸化が膜中でのシリサイド化反応に及ぼす影響はいまだ不明瞭な部分が多い。本稿では Si/Ni/Si 構造をシリサイド化熱処理の前に上層 Si を意

図的に酸化させ、その酸化膜が Ni のシリサイド化反応、表面形態に及ぼす影響を評価した。

2. 実験方法

p 型 Si (100) 基板の上に 300nm の SiO₂ を熱酸化で形成し、濃度 0.1% の希釈フッ酸を用いて 1 分間の洗浄を行った。その後電子ビーム蒸着を用いて SiO₂ 上に下層 Si 1.1 nm, 中間層 Ni 0.7 nm, 上層 Si 2.0 nm と順番に堆積した。その後大気開放したのち 30% H₂O₂ 溶液を用いて 1 時間の Wet 酸化または Dry O₂ 雰囲気下にて 300°C で 1 時間の酸化を施した。これら試料と未酸化の試料を N₂ 雰囲気下で 600°C の熱処理を 1 分間行い、原子間力顕微鏡(AFM)にて表面形状、AlKa X 線源を使用した X 線光電子分光(XPS)にて膜中原子の化学結合状態、波長 532 nm のレーザーを用いた Raman 分光法にて結晶構造を評価した。さらに Van-der-Pauw 法にてシート抵抗を評価した。

3. 結果

まず表面酸化が表面形態に及ぼす影響について AFM を用いて調べた。結果を図 1 に示す。図 1(a) は堆積直後、図 1(b) 及び (c) はそれぞれ Dry 酸化、Wet 酸化後の表面形態である。これらの結果から酸化処理の有無で表面形態の違いはほとんどないことがわかる。図 1(d)~(f) では未処理、Dry 酸化、Wet 酸化後に 600°C 熱処理を施した後の表面形状像を示している。図中に平均 2 乗荒さ(RMS)および最大高さを示す。Dry 酸化及び Wet 酸化後に熱処理を施した試料は未処理の試料と比較して、表面ラフネスが増大していることが分かる。これは熱処理前

に施した表面酸化が膜内のシリサイド形成や膜中の結晶状態に影響した可能性を示唆している。そこで Raman 分光法を用いて膜中の結晶相を評価した。図 2 は堆積直後及び各酸化処理を施した後に 600°C 熱処理を行った際のス

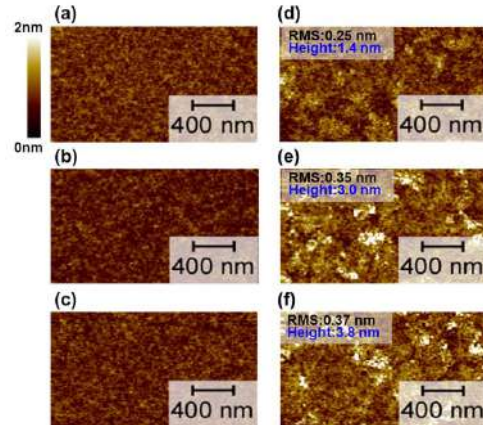


Fig.1: AFM images for (a) as-deposited, (b) dry oxidized and (c) wet oxidized samples without the silicidation annealing. (d), (e), and (f) are the AFM images after the silicidation-annealing for (a), (b), and (c), respectively.

ペクトルを示している。熱処理前のスペクトルから非晶質 Si (a-Si) 中の TA (180~200 cm⁻¹) さらに TO (400~500 cm⁻¹) フォノンに起因した信号が確認できる[6]。つまりこれらの結果は形成した Si/Ni/Si 構造では堆積直後には、Ni と結合していない Si 原子が存在し、非結晶として存在していることを意味している。600°C 熱処理後では酸化処理の有無、方法によらず a-Si のピークは消失し NiSi₂ (280, 380 cm⁻¹) と考えられるピークが出現した[7]。これは熱処理によっ

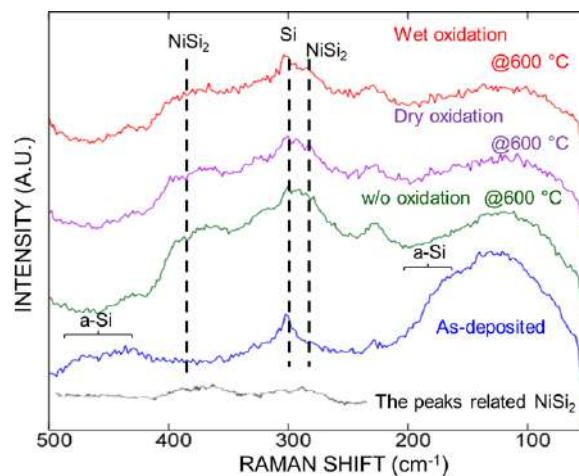


Fig. 2: Raman spectra of the as-deposited sample (blue line), samples annealed at 600°C without the oxidation (green line), with the dry oxidation (purple line) and the wet oxidation (red line).

てシリサイド化が進行したことを意味する。本来固相反応で支配相として出現すると報告がある Ni_2Si , NiSi , NiSi_2 は、厚膜条件で複数相を同時に形成する[8]。

今回 NiSi や Ni_2Si といった相は確認できず、 NiSi_2 に起因するピークのみが見られたことから膜厚を 5nm 以下まで薄くしたことによって相形成が制限され NiSi_2 のみが支配的に形成されたと考えられる。

これら試料のシート抵抗を評価した結果を図 3 に示す。また、バルク NiSi_2 の比抵抗をもとに計算した、膜厚 3.8nm の NiSi_2 のシート抵抗値を破線で示す。酸化前および熱処理前の試料のシート抵抗は 1.8×10^3 (Ω/\square) と非常に高抵抗値を示していることが分かる (熱処理温度を室温としてプロットしている)。さらに 600°C 熱処理後ではどの試料も抵抗値が $3.4 \sim 6.0 \times 10^2$ (Ω/\square) と低下する。しかし各種酸化処理の有無、方法によりシート抵抗値はわずかに異なることも分かる。これは図 1 に示した表面形態の違いを反映していると考えられる。薄膜では表面散乱の影響が増大し抵抗に影響を与える。シート抵抗の値と図 1 示した表面ラフネスには相関があり、また、破線で示したシート抵抗よりも大きいことから、表面散乱の寄与が顕著であることがわかる。

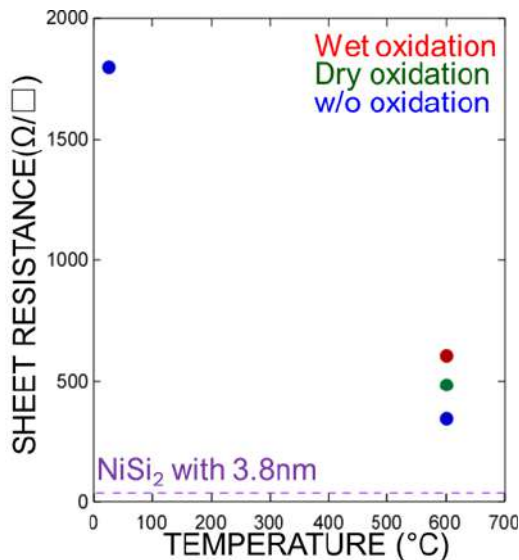


Fig. 3: Sheet resistance as a function of the annealing temperature. Red, green and blue symbols show the sheet resistance values for the samples with the wet oxidation, the dry oxidation and the sample without oxidation, respectively. The purple dashed line indicates a sheet resistance calculated from a resistivity of a bulk NiSi_2 layer. In the calculation, a thickness was 3.8 nm.

一方、Ni および Si の酸化状態や Ni-Silicide の組成比によって、シート抵抗に違いが生じる。それらの明らかにするために、化学結合状態を評価した。図 4(a)および 4(b)は熱処理前の各酸化処理後の $\text{Si}2p$ 及び $\text{Ni}2p$ XPS スペクトルをそれぞれ示す。ここで XPS のスペクトルは全て $\text{Ni}2p$ の積分強度で規格化されている。 $\text{Si}2p$ 信号を確認すると未処理の試料で金属的な Si 成分が一番大きく、 H_2O_2 浸漬後の試料で酸化成分が一番大きいことが分かる。ここで Dry 酸化の試料は他の 2 種類の試料よりも強度が全体的に低いことがわかる。これは 300°C の Dry 酸化時に Ni 原子が表面側に拡散し、スペクトルを規格した際に表面 Si 原子の割合が相対的に小さくなってしまったためであると考えられる。そこで $\text{Si}2p$ スペクトルの波形分離を行い Si 酸化成分と金属 Si 成分の積分面積強度比 ($r_{\text{Si-O}}$) を算出した。未処理の試料では $r_{\text{Si-O}} = 0.74$ であったのに対し Dry 酸化後、Wet 酸化後ではそれぞれ $r_{\text{Si-O}} = 1.06$, 1.10 であった。これは Wet 酸化 > Dry 酸化 > 未処理の順に酸化が進行していることを示している。また、 $\text{Ni}2p$ 信号を確認すると、Ni-Ni あるいは Ni-Si の結合に起因する信号が確認できる。これら結合を反映したピークは各酸化処理にほとんど依存しない。つまり、表面酸化によって、Ni の酸化はほとんど起こらないと考えられる。これらの結果より表面酸化処理は表面 Si 層のみ酸化し、酸化プロセスに依存していることがわかる。図 5(a)および 5(b)には各酸化処理後及び未処理試料の 600°C 熱処理後の XPS $\text{Si}2p$ 及び $\text{Ni}2p$ スペクトルをそれぞれ示している。 $\text{Si}2p$ の強度を比較するとどの試料も金属的な Si 強度に大きな違いはないが Si-O 結合に由来する信号強度が大きく異なることが分かる。これらの結果は熱処理前に加えた酸化処理が熱処理後の酸化傾向に影響を与えていることを示唆している。Wet 酸化では浸漬時に OH 基を吸着するなど、余剰の酸素原子が表面や膜中に存在することに起因すると考えられる。結果として、もっとも酸化が進行したと考えられる。 $\text{Ni}2p$ 信号を見ると未処理試料と Dry 酸化、Wet 酸化を施した試料とでは大きく信号の形状が異なることが分かる。これは熱処理前に行った表面酸化処理が熱処理後の Ni の結合状態に影響を与えていることを意味している。ピークの形状を確認すると左右非対称な形状をしており NiSi_2 に起因する成分と低結合側に Ni-rich な成分を形成していると考えられる。図 2 の結果から NiSi や Ni_2Si のピークは見られなかったため非常に弱い周期性の結晶あるいは非晶質なシリサイドを形成している可能性がある。

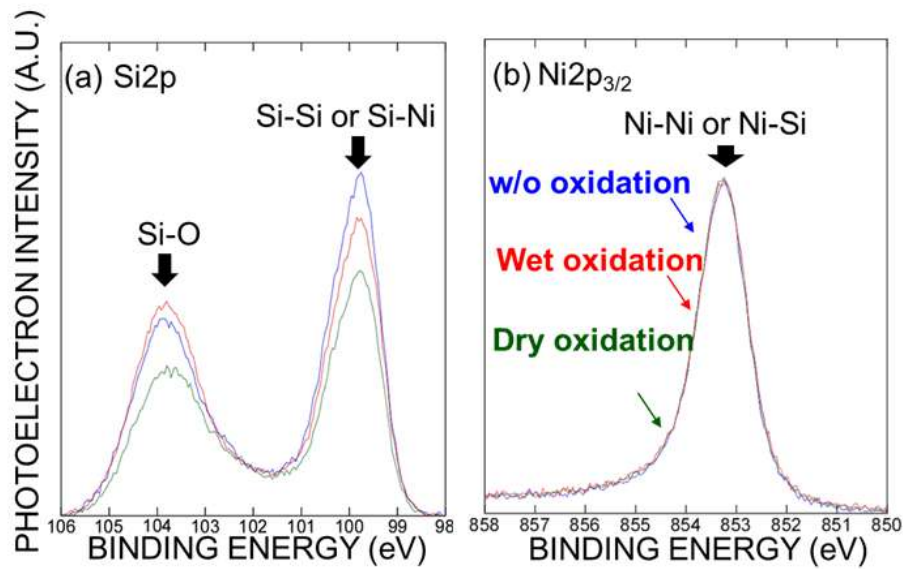


Fig. 4: XPS (a)Si2p and (b)Ni2p_{3/2} spectra before the silicidation annealing for each sample.

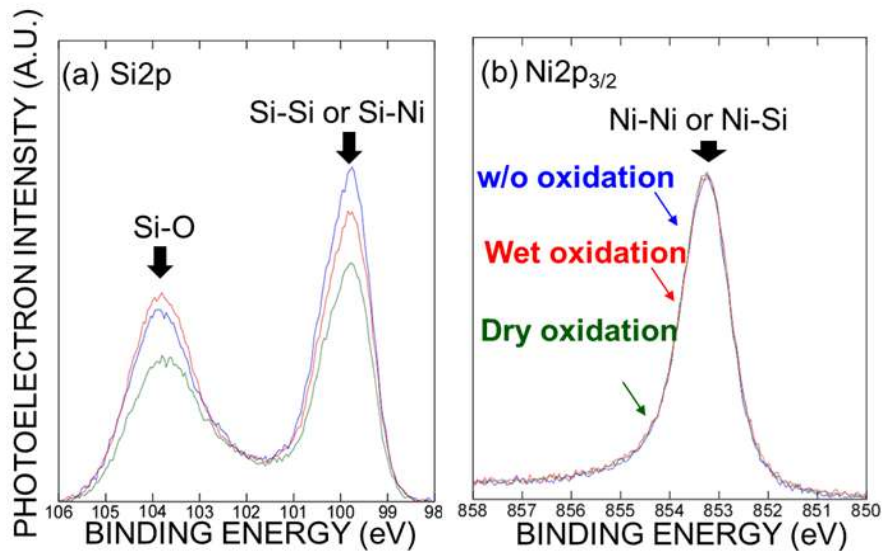


Fig. 4: XPS (a)Si2p and (b)Ni2p_{3/2} spectra before the silicidation annealing for each sample.

これら異なる相の形成起源を探るため相の形成割合及び分布を評価する必要がある。そこで角度分解 XPS(ARXPS)を測定し熱処理後の各試料における Ni2p の強度を規格化した際の NiSi₂相と Ni-rich 相における Ni 結合の強度を図 6 に示す。NiSi₂成分は未処理>Dry 酸化>Wet 酸化の順に強度が大きい。

一方で Ni-rich 相は Wet 酸化>Dry 酸化>未処理の順に大きい。この結果は熱処理後の表面 Si 酸化成分の形成量に対応している。すなわち表面 Si 酸化が進行するほど NiSi₂の形成量が減少し、Ni-rich 相が形成されてしまう。角度ごとに形成されている量をみると、どの試料でも NiSi₂はより基板側、Ni-rich 相は表面側に形

成されていることが分かる。この結果は表面 Si 酸化反応が表面側に存在する Ni 原子の結合状態に影響を与え Ni-rich 成分の増大に寄与したことを示唆している。つまり堆積時に形成した Ni 層近傍で形成された NiSi₂の結晶核は Si 原子を取り込みながら結晶成長していく。一方で表面 Si 層の酸化も同時に生じる。表面 Si 酸化層と NiSi₂の間では Si 原子の不足により十分に相転移が進行していない層が形成される。以上の結果から Si/Ni/Si 構造を用いた NiSi₂薄膜形成では、表面酸化の制御が表面形表態制御だけでなく、結晶相の制御の観点からも非常に重要であることが明らかとなった。

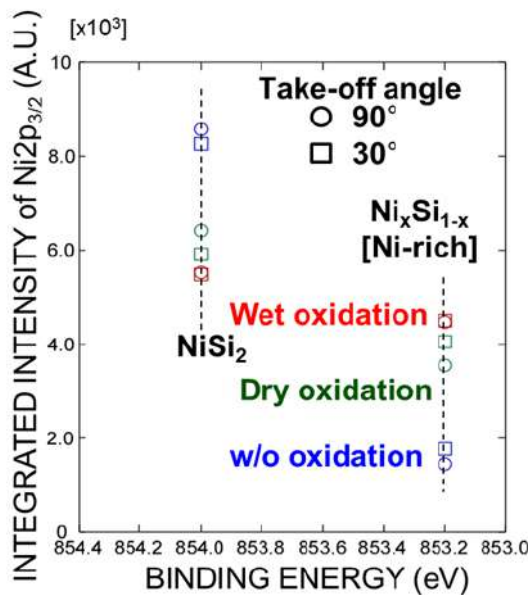


Fig. 6: Calibrated areal intensity of XPS $\text{Ni}2p_{3/2}$ spectra after the annealing at 600°C for each sample. Circle and square symbols were the values of the areal intensities measured at take-off angles of 90° and 30° respectively.

4. まとめ

$\text{Si}/\text{Ni}/\text{Si}$ 構造に Wet 酸化、Dry 酸化をそれぞれ施した後、熱処理を行うことで表面酸化がシリサイド形成・表面形態に与える影響を調べた。結果として表面酸化した試料では表面荒れが進行することが明らかになった。また NiSi_2 相と Ni-rich 相の割合にも差があることが分かった。これらの結果は均一な NiSi_2 膜形成のためには、表面酸化を抑制する必要があることを強く示している。

References

- [1] T. Tanaka et. al., IEEE Trans. Electron Dev, **66**, (2019) 5393.
- [2] S. Dushenko et al., Nature Communications, **9** (2018)3118.
- [3] E. G. Colgan et al., J. Electron. Mater., **12**(1983)413
- [4] 新居 他, 日本金属学会誌,**40**(1976)26
- [5] Kimura et al., *Jpn. J. Appl. Phys.*, (2023) <https://doi.org/10.35848/1347-4065/ad1777>
- [6] Y. Hishikawa, J. Appl. Phys., **62**(1987) 3150
- [7] R. N. Wang et al., J. Phys. Condens. Matter,**15**(2003)1935
- [8] D. Ma et al., Acta Materialia, **54** (2006)4905

Ar イオン注入した多層 MoTe₂ の熱処理によるテルルナノシート形成

Tellurium nanosheet formation by annealing the Ar ion implanted MoTe₂ multilayers

村中 柊都¹, 野上田 聖¹, 原 康祐², 澤野 憲太郎¹, 星 裕介¹

1 東京都市大学 〒158-8557 東京都世田谷区玉堤 1-28-1

2 山梨大学 〒400-8511 山梨県甲府市宮前町 7-32

Shuto Muranaka¹, Satoshi Nogamida¹, Kosuke O. Hara², Kentarou Sawano¹, Yusuke Hoshi¹

1 Tokyo City University, 1-28-1 Tamazutsumi, Setagaya-ku, Tokyo 158-8557, Japan

2 University of Yamanashi, 7-32 Miyamae-cho Kofu, Yamanashi 400-8511, Japan

Tel: + 81-3-5707-0104 (e-mail: yhoshi@tcu.ac.jp)

Abstract

We focus on the formation of a tellurium layer by thermal annealing of the defective 2H-MoTe₂ generated by ion implantation. It is found that the tellurium layer formation is caused by both ion implantation and thermal annealing. Furthermore, we demonstrate the structural anisotropy of the tellurium layer fabricated by this technique.

1. はじめに

二テルル化モリブデン (MoTe₂) 結晶は、近赤外光発光素子や両極性動作が可能な FET のチャンネル材料への応用が期待されている[1,2]。

MoTe₂ は、半導相(2H 相)と金属相(1T'相)の相状態が存在し、これらの間のエネルギー差が小さいため、結晶応力、格子温度、キャリア密度などの変化によって相転移が起こる。特に、これらの相状態を制御し、2H 相と 1T'相の面内接合を形成すると、2H-MoTe₂/金属接合よりも接触抵抗が低減することが報告されている[3]。このように MoTe₂ の相状態を制御する技術は、様々な電子デバイスの性能向上に大きく寄与すると考えられている。2H-MoTe₂ 結晶中にて光励起キャリア密度が増加すると相転移がおこると理論的に予測されている。しかし、実験的には 2H-MoTe₂ にレーザー照射すると、熱膨張と Te 空孔形成に起因したテルル原子の凝集がおこると考えられており、いまだ議論の余地がある

[4,5]。

イオン注入は、半導体結晶中へのドーピング技術として、これまで幅広く利用されてきた技術であり、様々な電子デバイス作製プロセスに用いられている。また、不活性ガスイオンを注入することで、結晶中に意図的に欠陥を形成することが可能であり、注入エネルギーとドーズ量を制御することで、結晶欠陥深さや密度を任意に変化させることができる。本研究では、SiO₂ 上の 2H-MoTe₂ 多層膜に Ar イオン注入し、熱処理することで、表面酸化膜と MoTe₂ 多層膜の間の界面に構造異方性を有するテルル層が形成されることを発見した。

2. 実験条件

まず、2H-MoTe₂ バルク結晶から、スコッチテープを使った機械的劈開法により、SiO₂/Si 基板上に 2H-MoTe₂ 多層膜を積層した。200°C で 15

分間熱処理を施したのち、UV/O₃ 処理を行い、2H-MoTe₂ 多層膜の表面残渣を除去した。Ar イオンをエネルギー90 keV、ドーズ量 $5 \times 10^{11} \text{ cm}^{-2}$ の条件でイオン注入した。その後、イオン注入した 2H-MoTe₂ 多層膜を大気中で 400°C、1 時間の条件で熱処理した(試料 A)。この熱処理中に MoTe₂ が 2H 相からテルルシートへの結晶構造変化が起こる。参照用試料として、熱処理をしていない試料(試料 B)と、イオン注入をしていない試料(試料 C)を作製した。ラマンスペクトルおよびマッピング測定は、スポットサイズが約 2 μm の波長 532nm の CW レーザーを用いて行った。角度分解ラマンスペクトル測定では、励起光の入射・反射経路に直線偏光子を同じ方向で設置し、試料を回転させることでラマン散乱光強度の角度依存性を調べた。これらの測定において、レーザー照射による格子温度上昇の影響を避けるため、励起光強度を 0.6 mW 以下とした。

3. 結果

図 1 にイオン注入と熱処理を施した試料 A、イオン注入のみ行った試料 B、熱処理のみ行っ

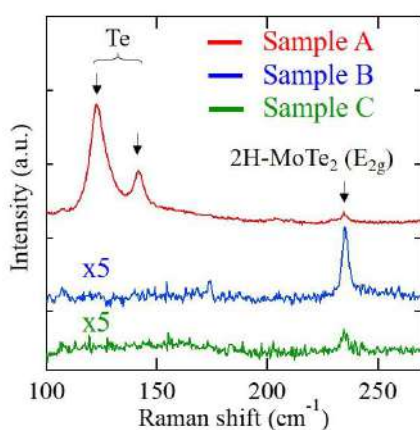


Figure 1. Raman spectra for a sample fabricated by thermal annealing of the ion-implanted MoTe₂ (sample A), and reference samples without the thermal annealing (sample B) and without the ion implantation (sample C).

た試料 C のラマンスペクトルを示す。まず試料 A において、124 と 143 cm⁻¹にて明瞭なラマンピークが見られており、スペクトルの形状が以前に報告されている 2H-MoTe₂ にレーザー照射することで得られる試料のラマンスペクトルとよく一致している[4]。これは、試料 A では、イオン注入と熱処理をおこなうことで、結晶構造が 2H-MoTe₂ から変化したことを示している。2H-MoTe₂ にレーザー照射すると、熱膨張に起因した局所的な結晶歪み導入と、格子欠陥の影響で Te 凝集が起こり、純 Te 層が形成されることが報告されている。したがって試料 A においては、Ar イオン注入により得られる格子欠陥形成と熱処理による結晶の熱膨張により、テルル層が形成されたと考えられる。一方、試料 B と試料 C では、124 と 143 cm⁻¹にはピークは見られず、235 cm⁻¹においてのみピークが見られており、イオン注入と熱処理のいずれかのみをおこなっても、2H-MoTe₂ は結晶構造を維持していることを示しており、2H-MoTe₂ からテルル層への結晶構造変化は、結晶欠陥形成と結晶の熱膨張の相互作用が必要であることを示している。試料 A についてエネルギー分散型 X 線分光法

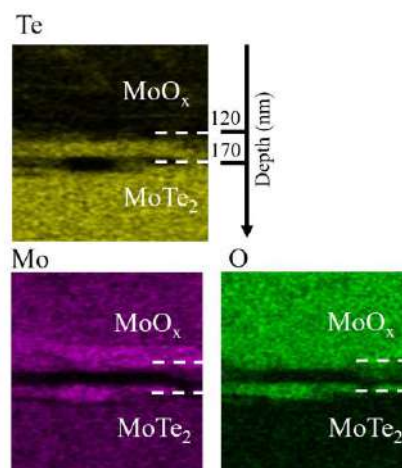


Figure 2. Cross-sectional STEM-EDX maps showing the spatial distribution of (a) Te, (b) Mo, and (c) O atoms obtained from sample A, respectively.

(EDX)を測定したところ、Ar イオンに関する信号は検出されておらず、注入された Ar イオンは、熱処理中に大気中に脱離したと考えられる。

図 2(a)-2(c)に、試料 A の STEM-EDX の(a)Te、(b)Mo、(c)O 原子の信号の元素マップを示す。表面から 120-170 nm 付近では Te のみが存在しており Te ナノシートを形成していることがわかる。また、170 nm より深い領域では、Mo と Te が 1 : 2 で存在しており MoTe_2 の結晶構造を維持している。SRIM シミュレーションにより得られるイオン注入欠陥深さが 170 nm 程度であることを考慮すると、大気中での熱処理により表面から O 原子が拡散することで、イオン注入欠陥領域の界面近傍において Te が凝集し、Te ナノシートを形成したと考えられる。

この Te ナノシートの結晶構造において形状異方性が存在することを示すため、角度分解ラマン分光測定を行った。図 3 に、角度を $0-180^\circ$ まで 45° ずつ回転させた場合のラマンスペクトルを示す。角度変化に伴って、 143 cm^{-1} のピーク強度が、増減していることが分かる。このようなピーク強度の変化は、ナノシート状のテルル結晶に構造異方性があることを示している。以前に報告されているように、角度分解測

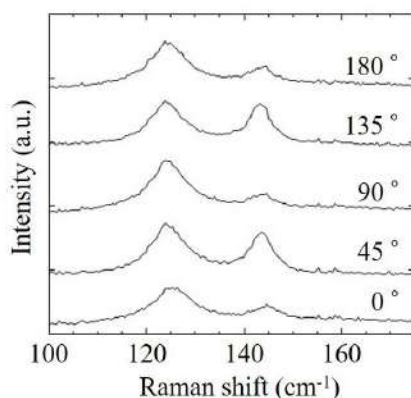


Figure 3. Evolution with angles between crystal orientation and incident laser polarization for angle-resolved Raman spectra for sample A.

定において、 143 cm^{-1} のピーク強度が 45° ずつ変化する場合、テルレンが形成されていることを示していると報告されている[6]。テルレンは、キラル鎖状の結晶格子が[0001]方向に沿って伸び、これが互いに比較的弱く結合した2次元的なシート状の結晶構造である。 143 cm^{-1} のラマンピークは、[0001]方向の面内振動モードを表していることが知られている。本研究において得られるテルルナノシートについても、構造異方性を示すことから、 2H-MoTe_2 へのイオン注入と熱処理によりテルレンが形成されることを示唆している。

4. まとめ

イオン注入した MoTe_2 多層膜を熱処理することで、純 Te 層が形成できることを実証した。イオン注入により MoTe_2 多層膜に結晶欠陥が形成され、これを熱処理することでテルルに結晶構造が変化することが分かった。角度分解ラマン分光法を用いることで、この方法で作製された Te 層は、結晶構造に構造異方性があることを示した。

謝辞

本研究の一部は、科研費 JP21K04812、立石科学研究財団の支援を受けた。

References

- [1] K. A. N. Duerloo et al., Nat. Commun. 5, 4214 (2014).
- [2] D. H. Keum et al., Nat. Phys. 11, 482 (2015).
- [3] X. Zhang et al. ACS Appl. Mater. Interfaces 11 12777 (2019)
- [4] K. Sakanashi et al., Nanotechnology 31, 205205 (2020).
- [5] T. Fukuda et al., Phys. Status Solidi RRL 16, 2100633 (2022).
- [6] Y. Wang et al., Nat. Electron. 1, 228 (2018).

2層 MoS₂/h-BN MIS キャパシタでの界面準位密度の評価

Investigation of interface state density in the 2-layer-MoS₂/h-BN MIS interface

鶴岡 大樹¹, 中村 宥雅¹, 青木 伸之¹, 柯 夢南¹

1 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

Daiki Tsuruoka¹, Yuga Nakamura¹, Nobuyuki Aoki¹ and Mengnan Ke¹

1 Chiba University, 1-33 yayoicho inage chiba chiba, Japan

Tel: + 81-43-290-3430 (e-mail: mke@chiba-u.jp)

Abstract

In this study, we fabricated a metal-insulator-semiconductor (MIS) capacitor employing exfoliated hexagonal boron nitride (h-BN) and a bilayer of molybdenum disulfide (MoS₂). Notably, this work represents a novel contribution that has not been reported before. Subsequent to these discoveries, we observed the interface state density utilizing the conductance method and documented a minimum value $2.4 \times 10^{11} [\text{cm}^{-2} \text{eV}^{-1}]$

1. はじめに

2次元材料は次世代構造の CMOS スケーリングにおける材料として長年注目され続けている。遷移金属ダイカルコゲナイド (TMDC) は2次元材料の1つであり、バンドギャップを有している。さらに特徴として自身の閉じた構造が挙げられ、面直方向に対して未結合手 (ダンダリングボンド) を持たない。そのためシリコンに代わるチャンネル材料として期待されている。そのため様々な研究が行われており、特に2硫化モリブデン (MoS₂) や2セレン化タングステン (WSe₂) を用いた電界効果トランジスタ (FET) の研究が盛んである。

その一方、シリコンやゲルマニウムなどの半導体材料において従来研究されてきた金属・絶縁膜 (酸化膜) ・半導体キャパシタ (MIS(MOS)capacitor) の研究は、盛んではなく報告もほとんどない。その理由の一つに、特有の「寄生容量」がある[1]。従来の MIS capacitor の構造では2次元薄層半導体材料に対して、寄生容量が大きくなってしまい、その特性が見られなくなってしまうという課題があった。そのため、簡素な構造での界面準位密度 (D_{it}) の測定が困難であり、従来用いられてきたコンダクタンス法による評価が困難である。また、高周波測定法 (high-frequency method) においても TMDC の物性が定量化されていないことから、評価することは困難であった。

そのため今回は、六方晶窒化ホウ素 (h-BN) と二硫化モリブデン (MoS₂) キャパシタの構造を工夫することで、静電容量特性 (C-V 特性) を観測することを可能にし、さらにコンダクタンス法を用いて D_{it} を測定することに成功した。

2. 実験条件

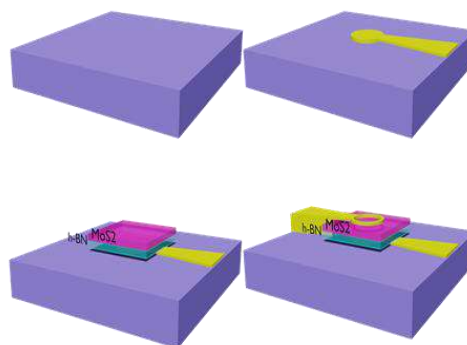


Fig.1 Schematic illustration of h-BN/MoS₂ MIS capacitor.

アセトンで 10 分間洗浄したのちイソプロピルアルコール (IPA) で 10 分間洗浄したガラス基板を用意した。その基板上にフォトレジス

トとして PMMA 950 A5 をスピンコーターにて塗布し、453K のホットプレートで 2 分間ベークを行い、その後絶縁性である基板のチャージアップを防ぐため Aqua Save をスピンコーターで塗布、その後 353K にて 1 分間乾燥を行った。

次に、電子線リソグラフィにて基板上にパターン描画を行い、その後 Ti/Pd (3/10 nm) を蒸着し電極を作製した。

そして、機械的剝離によって得られた h -BN と MoS_2 をドライトランスファー[2]にて電極上にトランスファーし、1 度目の電極作成時と同様にして電子線リソグラフィを行いパターン作製、その後 In/Au (10/70 nm) を蒸着した。

その後、真空中にてアニール (573K, 1h) を行い、hp 4824A LCR meter にて静電容量特性を測定した。

3. 結果

まず、従来の MIS キャパシタ構造での静電容量特性において、寄生容量が大きく出る原因として Fig.2 のような状態になっているのではないかと考察した。

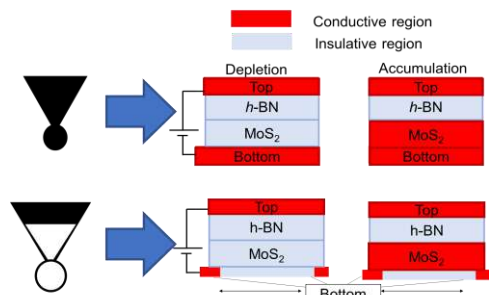


Fig.2 Comparison of two different structures of h -BN/ MoS_2 MIS capacitors.

まず、従来の 2D MIS キャパシタでは、極板金属間が原子層レベルで近接していることから、半導体層が空乏化したとしても、極板だけの容量値が寄生容量として発現し、正しい静電容量特性は得られなくなる。

そこで本研究では半導体にコンタクトする金属の面積を減らすように片側の極板をリング状にする工夫を施し、極板同士の寄生容量の低減を行った。その結果、本来の MoS_2 の静電容量特性を測定することに成功した。(Fig.3)

そこでこの構造を用いて、2 層 MoS_2/h -BN MIS キャパシタを作製し、静電容量特性及びコンダクタンス法を用いて D_{it} を測定することにした。

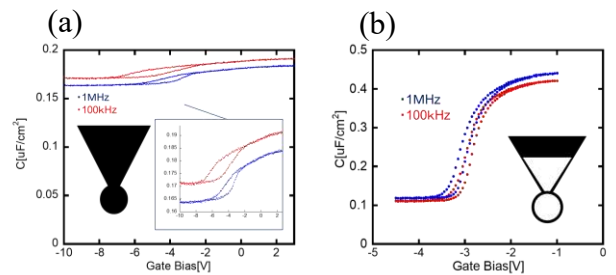


Fig.3 CV curves of (a)conventional structure and (b)original structure.

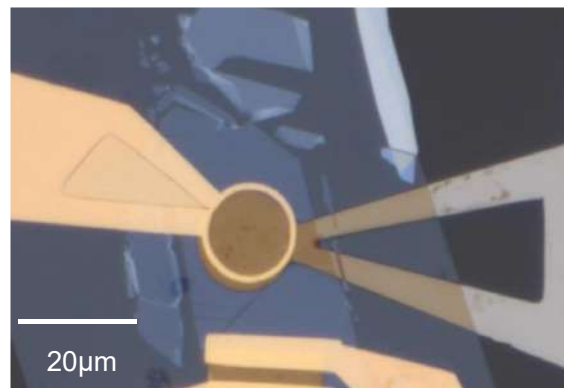


Fig.4 optical image of a 2-Layer- MoS_2/h -BN MIS capacitor.

ラマン分光により、本デバイスに用いた MoS_2 は 2 層であることを確認した後、真空中にて静電容量特性を測った。(Fig.5)

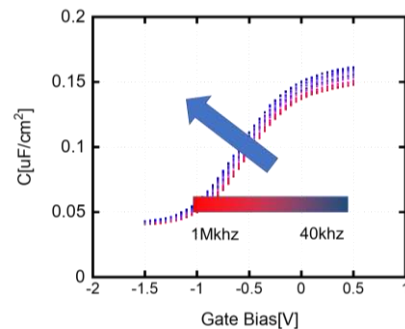


Fig.5 C-V characteristics of the 2-Layer- MoS_2/h -BN capacitor.

40kHz 以下の低周波領域においては周波数分散が激しく、静電容量特性を観測するのが難しかった。そして、さらにコンダクタンス法によって D_{it} を算出すると $D_{it}=2.4 \times 10^{11} [cm^{-2}eV^{-1}]$ ($V_g=-1.6[V]$) を記録することに成功した。(Fig.6)

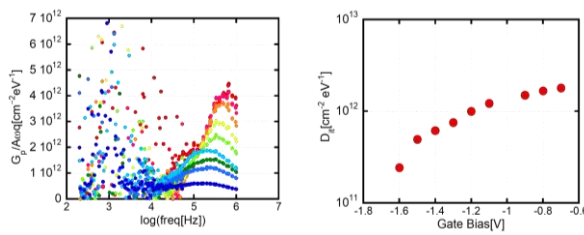


Fig.6 (a)Relationship between $G_p/A\omega q$ and $\log(\text{frequency})$ for various vias ranges, and (b) Calculation of D_{it} from these curves.

20kHz 以下のコンダクタンス分散は静電容量特性の分散と一致していることから、同様の原因により分散が発生していると考えられる。

これらの原因として考えられるものとして

- ・リーク電流による周波数分散
- ・微小な測定値によるノイズの顕現

などが考えられ、これらを改善するためには、high-k 膜を用いることでより絶縁膜の厚さを増やすことや大面積なデバイスを用いて測定することが挙げられる。

4. まとめ

本研究では層 $\text{MoS}_2/h\text{-BN}$ MIS キャパシタを作製し、2次元半導体 MIS キャパシタでの寄生容量の低減と、それによって観測可能となったコンダクタンス法による D_{it} の算出を行った。今後はCVD成長させた MoS_2 を用いて、MIS キャパシタを作製する。また将来的には、デバイスの省電力化に向けた取り組みの1つであるALD 成膜によって得られた high-k 絶縁膜とCVD 成膜した MoS_2 について今回の構造を利用することで信頼性を評価し2次元半導体の実用化を後押しすることが期待される。

謝辞: 本研究は JSPS 科研費 JP23K13361、東京エレクトロン (株)、東電記念財団及び池谷科学技術振興財団の支援を受けている。

References

- [1] Chen, Xiaolong, *et al.*, Nature communications **6.1** 6088 (2015)
- [2] .L. Wang, *et al.*, Science **342**, 614 (2)

ALD の実現に向けたオゾン処理と真空アニールによる WSe₂ 表面への Se 欠陥導入 Introduction of Se defects in WSe₂ surface by ozone treatment and vacuum annealing for ALD process

千葉大¹ °小島 拓也¹, 堀場 大輔¹, 柯 夢南¹, 青木 伸之¹

1 千葉大学 〒263-8522 千葉市稲毛区弥生町 1-33

Takuya Kojima¹, Daisuke Horiba¹, Mengnan Ke¹, Nobuyuki Aoki¹

1 Chiba University, 1-33 Yayoi, Inage, Chiba 263-8522, Japan

Tel: + 81-043-290-3430, Fax: + 81-043-290-3427 (e-mail: n-aoki@faculty.chiba-u.jp)

Abstract

Two-dimensional semiconductors, such as transition metal dichalcogenides (TMDCs), are gaining attention as potential channel materials for future VLSI. However, it has been noted that the conventional atomic layer deposition (ALD) method, commonly used for forming high-k dielectric layers, poses challenges for TMDCs due to the absence of dangling bonds on their surfaces. As one method for realization, we are focusing on surface modification through ozone treatment. In this study, we performed UV ozone treatment on WSe₂ samples without heating to introduce Se defects in the outermost surface layer of the trilayer WSe₂. We report the changes in field effect transistor properties and the X-ray photoemission spectrum, confirmed by ozone treatment and vacuum annealing, and discuss the potential for application as the ALD seed layer.

1. はじめに

2次元物質の一種である遷移金属ダイカルコゲナイド(TMDC)は、半導体的な性質を有し、次世代 VLSI のチャネル材料として期待されている。とくに 10 年後に迫る相補型電界効果トランジスタ(CFET)構造においては、TMDC の有する原子オーダーの厚さを生かし、従来の3次元半導体材料では達成できない積層方向の高集積化が期待される。しかしながら、2次元物質は表面にダングリングボンドを持たないため、これまで高誘電率(high-k)絶縁層の形成で使用されてきた原子層堆積法(ALD)による成膜が困難であることが指摘されている。

そのため我々は、TMDC 上に如何にして ALD を実現させるかについて研究を進めており、TMDC の一種である WSe₂ に注目している。WSe₂ は価電子帯上端が 5.2 eV 程度と比較的高

い位置にあることから、p型の2次元半導体材料としての利用が期待されている。これまでの報告[1]では、多層の WSe₂ 結晶に対して加熱しながら UV オゾン処理をすることで、WSe₂ 結晶表面を1層ずつ酸化させることで、WO₃層が形成できるとされている。WO₃は電子親和力が大きいため、電荷移動プロセスにより WSe₂ に対してホールドーピングが生じる。そのため多層の WSe₂ 結晶表面が WO₃によって完全に覆われると、ゲート電圧に依存しない高密度ホールドーピングとなることが示されている。一方で、マイルドな条件で UV オゾン処理をした場合、表面を完全に WO₃化することなく Se 欠陥を導入できるのではないかと期待される。そこで、加熱をせずに WSe₂ 結晶をオゾン暴露した後に、試料を真空アニールすることで酸素を取り除き、それにより WSe₂ 結晶表面に高密度の Se 欠

陥を導入することを目指して研究を進めている。この方法は WSe_2 のドーピング状態をコントロールするだけでなく、ALD によって high- k 材料を積層する際、Se 欠陥がシード層となり WSe_2 上に直接 high- k 材料が積層された p-FET が作製出来ると期待される。そこで本研究では、加熱を行わない状態でオゾン処理を行い、処理時間の経過に対する FET 特性の変化について詳細に追った。また、真空アニールによる酸素の脱離と FET 特性の変化、および X 線光電子分光 (XPS) による結合状態の評価とを比較しながら、オゾン処理による WSe_2 の表面改質の有効性について議論する。

2. 実験条件

オゾン処理によるゲート電圧特性の変化を評価するため、 WSe_2 をチャネルとした、トップコンタクト型 FET を作製した。FET で使用された WSe_2 は最表面層が酸化して絶縁層になってもその下の層にはキャリアが伝導できるように 3 層の WSe_2 を使い、バックゲートによる制御を行った。テープ残渣が残りにくい NITTO ブルーテープを用いて剥離を行い、層数はラマン分光のピークによって判別した。剥離した 3 層 WSe_2 を、予め Cr/Pd(5/10 nm) でバックゲート電極を作製した SiO_2 (300 nm)/Si 絶縁基板の上に、厚さ約 30 nm の h -BN 絶縁層、3 層 WSe_2 の順にドライトランスファー法を用いて積層した。[2]その後、電子線リソグラフィによって WSe_2 上に 4 端子電極を取り付け、FET 構造を作製した。デバイスの光学顕微鏡像を Fig.1 に示す。作製したデバイスを、UV オゾン装置を用いて 5 分ごとにオゾン暴露し、毎回真空アニール($9.8 \times 10^{-5} \text{ Pa}$, 180°C , 180min)を実施した。それぞれの試料の状態は、室温大気圧下で電流値のゲート電圧特性を測定して確認した。

XPS スペクトル測定を行うために化学気相成長(CVD)させた単層 WSe_2 に対して、X 線光電子分光装置 (日本電子・JPS-9030) を用いて MgK α 線 ($h\nu = 1253.6 \text{ eV}$) を基板に照射させて、光電子スペクトルの解析を行った。

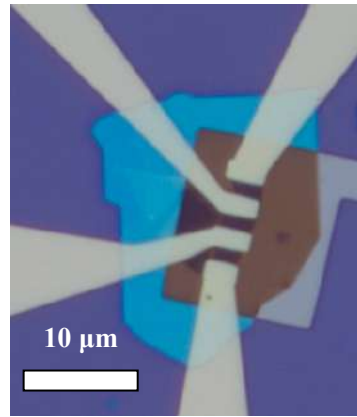


Fig.1 Optical microscope image of the trilayer WSe_2 FET device.

3. 結果

Fig.2 はオゾン処理前、およびオゾン処理を 3 分、63 分行った後、さらにオゾン処理後に 180°C での真空アニールを行った後の伝達特性である。段階的にオゾンに暴露することでオフ電流が増加することなくオン電流値増加、閾値電圧の正電圧シフト、SS 値減少、移動度の上昇が確認された。これらの結果は、オゾン処理によって WSe_2 が酸化されることで p 型ドーピングが進み、それに伴って金属電極とのショットキーバリアの低減が生じた結果であると言える。このような FET 特性の向上の傾向は、オゾン処理開始から 30 分程度まで確認され、それから 60 分程度まではなだらかに変化することが確認された。オゾン処理 63 分後のゲート電圧特性が p^+ になっていないことから、最表面層はすべてが WO_3 に変化していないものと考えられる。また、真空アニールを行うことで閾値電圧の負電圧側への若干のシフトが確認

された。これは p 型ドーピング量の減少、つまり酸素の脱離を示唆するものであるが、XPS 観察の結果を含めて後で議論をする。

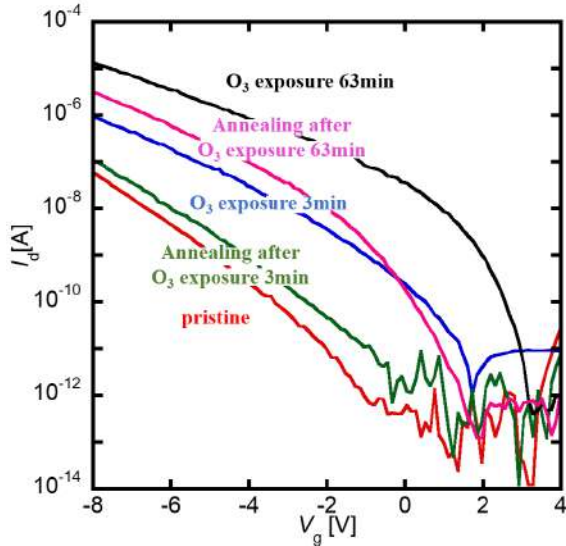


Fig.2 Transfer curves of Trilayer WSe₂-FET device with ozone exposure and vacuum annealing.

XPS による評価を行うにあたり、X 線の照射領域が 3mm×7mm とへき開によって得られる結晶に比べてはるかに広いこと、また多層 WSe₂ を用いると下層の情報も含まれてしまうため、最表面層だけの応答を分離するのが困難である。そのため、XPS 観察の試料としては Si/SiO₂ 基板表面の全面にわたって CVD 成長された単層 WSe₂ 試料を用いた。これにより、3 層 WSe₂ の最表面層を想定した検証が可能となると期待した。

Fig.3 は、CVD で成長させた WSe₂ 試料の基板を分割し、各々に対して未処理、オゾン処理 60 分、オゾン処理後に真空アニール (180°C, 3 時間) を行った後のそれぞれの試料における Se-3d (Fig.3a) および W-4f (Fig.3b) の XPS スペクトルである。オゾン処理を行うことで Se-O ピーク (約 59 eV) が検出されたが、真空アニールを行うことで Se-O ピークが減少している様子

が見られる。一方で Se-W 結合に対応する 55.5

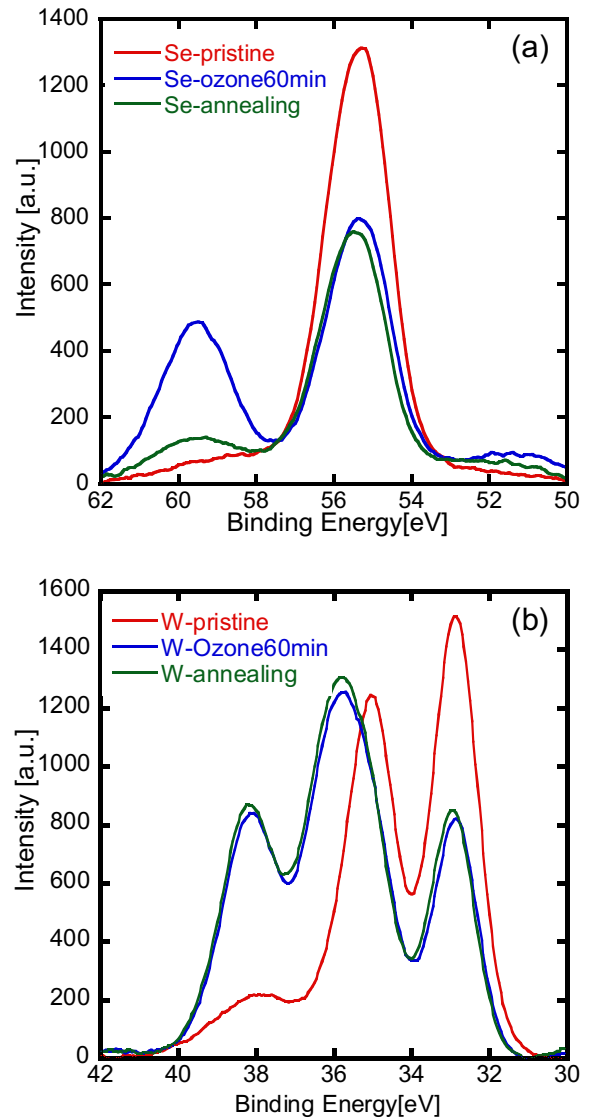


Fig.3 (a) Se-3d and (b) W-4f spectrum of monolayer CVD-WSe₂ substrate of pristine, after 60 min ozone treatment, and vacuum annealing.

eV のピークには真空アニール処理後に回復の様子が見られないことから、酸素とともに Se が脱離し、Se 欠陥が形成されていることが示唆される。また、オゾン処理後も試料中には Se 原子が依然として存在している (完全に WO₃ になっているわけではない) ことがわかった。一方で W の XPS スペクトルを見ると、オゾン

処理によって W-O の結合を示すピークのシフト (36 eV, 38 eV) が生じているが, W-Se の結合 (33 eV, 35 eV) も依然として存在していることがわかった。しかし, オゾン処理後と真空アニール後 (青と緑) ではピーク強度に変化がないことから, オゾン処理で形成された W-O 結合は 180 °Cでの真空アニールでは解離しないことが確認された。

4. まとめ

3層 WSe₂に対してオゾン処理を室温で60分間行った場合, p型ドーピング効果が生じ, さらに FET 特性の向上も確認された。また, 単層

WSe₂を用いた XPS スペクトルから, オゾン処理後に真空アニールを行うことで, 酸素と結合した Se が一緒に脱離することで Se 欠陥が生成されることが確認された。これらの結果から, 適切な時間のオゾン暴露によって改質された3層 WO₃の最表面層をシード層とすることで, ALDによって high-*k* 材料を積層できる可能性が示唆された。

References

- [1] M. Yamamoto et al., *Nano Lett.*, **16**, pp.2720 (2016).
- [2] L. Wang, et al., *Science*, **342**, pp.614 (2013).

4H-SiC/SiO₂ 界面におけるバンド配列の理論解析：界面双極子形成の検討

Theoretical analysis for band alignments at 4H-SiC/SiO₂ interface

松田 隼¹ 秋山 亨¹ 畠山 哲夫² 白石 賢二³ 中山 隆史⁴

1 三重大学 〒514-8507 三重県津市栗真町町屋 1577

2 富山県立大学 〒939-0398 富山県射水市黒河 5180

3 名古屋大学 〒464-8601 愛知県名古屋市千種区不老町

4 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

Shun Matsuda¹, Toru Akiyama¹, Tetsuo Hatakeyama², Kenji Shiraishi³, Takashi Nakayama⁴

1 Mie University, 1577 Tsu, Mie 514-8507, Japan

2 Toyama Prefectural University, 5180 Imizu, Toyama 939-0398, Japan

3 Nagoya University, Nagoya, Aichi 464-8601, Japan

4 Chiba University, 1-33 Chiba, Chiba 263-8522, Japan

Tel: + 81-59-232-1211, Fax: + 81-59-231-9726 (e-mail:422m613@m.mie-u.ac.jp)

Abstract

The orientation dependence of band alignments and the formation of dipoles at 4H-SiC/SiO₂ interface are theoretically investigated on the basis of first-principles calculations. The calculations demonstrate that the offsets of valence and conduction bands depend on the surface orientation and chemical bonds at 4H-SiC/SiO₂ interface. The calculated conduction band offset on interface with Si-O bonds at the Si-face is found to be larger than those on interface with C-Si (C-Si and Si-O) bonds at the C-face (m-face). Furthermore, it is found that the atomic configurations at 4H-SiC/SiO₂ interface results in the formation of dipoles, whose magnitude is large for Si-O and C-O bonds. The formation of large dipoles significantly changes the band structure of 4H-SiC, resulting in large conduction bands offset. The formation of Si-O bond with large dipoles at the interface is of importance in order to obtain large conduction band offset.

1. はじめに

4H-SiC は Si に比べて優れた物性値を有し、熱酸化によって SiO₂ 絶縁膜を得られることからパワーエレクトロニクスデバイスへの応用が期待されている。しかしながら、4H-SiC における金属-酸化物 半導体電界効果トランジスタ (SiC-MOSFETs) では、4H-SiC/SiO₂ 界面において大量の欠陥が存在することにより、SiC-MOSFETs のキャリア移動度を低下させてしまうことが課題となっている[1,2]。したがって、4H-SiC/SiO₂ 界面における界面構造と電気特性との関係を明らかにすることはデバイスの開発において重要な課題になっている。特に、界

面でのバンドオフセットは SiC-MOSFETs の信頼性を議論するうえで重要な指標となることが指摘されている[3]。さらに、界面に高密度の双極子散乱体を仮定した最近の移動度計算では、実験的に報告された低い電子移動度を再現することに成功しており、界面の原子配置に依存した双極子の形成が示唆されている[4]。しかしながら、バンド配列と界面双極子との関係は未だに不明な点が多い。また、高い界面準位密度の起源を明らかにするために、これまでに界面構造に関する理論計算は数多く行われているが、界面における双極子の形成についてはほとんど知られていない。本研究では、4H-

SiC/SiO₂ 界面におけるバンド配列および界面双極子形成を第一原理計算にもとづき理論的に検討する。さらに、各種欠陥の影響についても議論する。

2. 計算方法

界面構造とバンド配列との関係を明らかにするために、基板 4H-SiC の面方位や界面において結合する原子種の異なる様々なモデル[5-8]を検討する。Fig. 1 は本研究において計算に使用した周期スラブモデルを示したものである。Fig. 1(a)および(b)に示した Si 面および C 面におけるスラブモデルでは 4H-SiC が 10 原子層、クリストバライト構造をもつ SiO₂ が 4 分子層および真空層が 10 Å からなる($\sqrt{3} \times \sqrt{3}$)周期のスラブモデルを採用する。Fig. 1(c)に示した m 面におけるスラブモデルでは 4H-SiC が 15 原子層、クリストバライト構造をもつ SiO₂ が 4 分子層および真空層が 10 Å からなる($1 \times \sqrt{3}$)周期のスラブモデルを採用する。また SiO₂ 酸化膜にはクリストバライト構造に加えて、アモルファス SiO₂ を採用している(Fig. 1(d)-(f))。第一原理計算には、密度汎関数理論にもとづく擬ポテンシャル法による平面波基底の第一原理計算コードである xTAPP(extended Tokyo *Ab initio* Program Package)[9,10]を用いた。また、一般化勾配近似(GGA)[11]を用いた従来の第一原理計算に加えて、ハイブリッド密度汎関数法[12]を用いたより精密な計算を行う。

3. 結果および考察

Fig. 2 はハイブリッド密度汎関数法[12]によって算出された Si 面、C 面および m 面における界面[5-8]での伝導帯および価電子帯オフセットの模式図を示したものである。この図から、伝導帯および価電子帯オフセットは基板 4H-SiC の面方位および界面における結合種に起因して変化することがわかる。本研究で検討した界面における様々な化学結合のうち、C-Si、Si-O および C-O 結合はその大きな結合エネルギーにより、他の化学結合に比べて安定であるものの C-O 結合においては CO 分子として脱離することが考えられる。実際、X 線光電子分光(XPS)では C-O 結合に起因する信号が見出されず、界

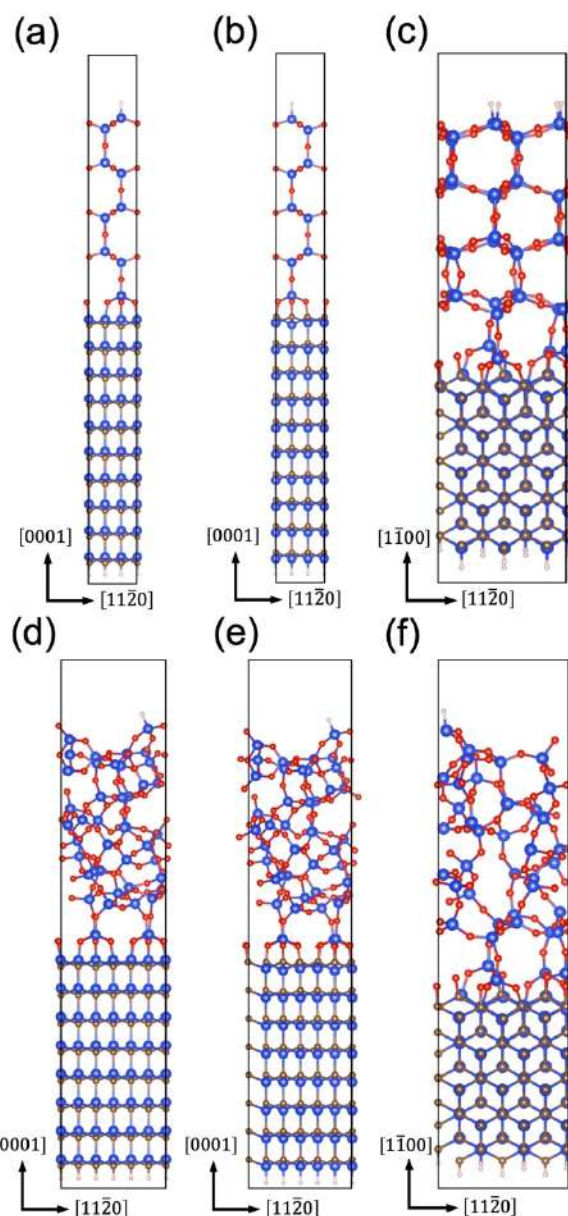


Fig. 1 Side views of the slab models for 4H-SiC/SiO₂ interface with cristobalite SiO₂ on (a) Si-face, (b) C-face, and (c) m-face, and the slab models for 4H-SiC/SiO₂ interface with amorphous SiO₂ on (d) Si-face, (e) C-face, and (f) m-face. Blue, brown, and red circles represent Si, C, and O atoms, respectively.

面に C-O 結合が存在しないことが報告されている[3]。加えて、酸素の化学ポテンシャル μ_{O} の関数として算出した界面形成エネルギー E_{f} の比較では、C 面および m 面において酸素の化学ポテンシャル μ_{O} の広い範囲で C-Si 結合を含む界面が C-O 結合を含む界面よりも安定となる。そ

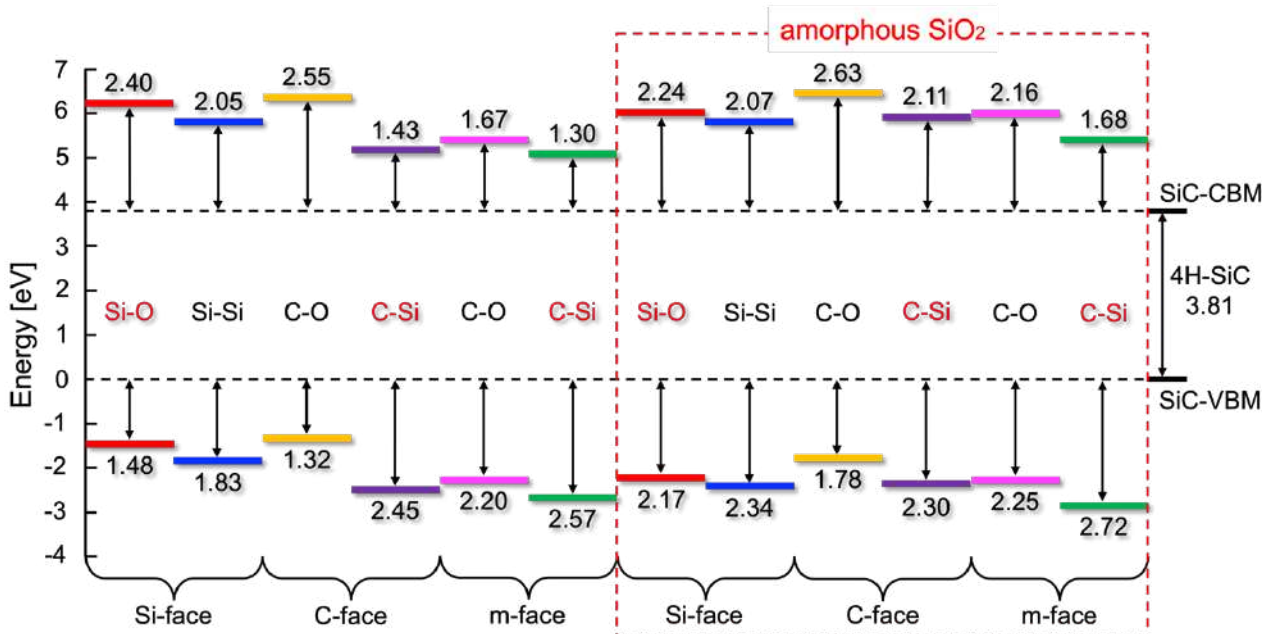


Fig. 2 Schematics of band alignments for twelve different 4H-SiC/SiO₂ interface structures calculated using hybrid-functional calculations. Si-O, Si-Si, C-O and C-Si represent the bonding atomic species at the interface. SiC-VBM and SiC-CBM are shown by dashed lines, while upper and lower short bars represent positions of SiO₂-CBM and SiO₂-VBM, respectively.

ここで、以上の実験および計算結果にもとづき Si-O および C-Si 結合からなる界面構造に注目すると、SiO₂酸化膜の構造に関係なく Si 面において C 面および m 面に比べて大きな伝導帯オフセットをもつことがわかり、オフセットの面方位依存性の傾向は、XPS による測定結果[3]と一致している。

Fig. 3 は SiO₂酸化膜としてクリストバライト構造を採用したときの 4H-SiC/SiO₂ 界面における電荷密度差分布を示したものである。界面における電荷密度差分布の評価より Si-O および C-O 結合からなる界面において界面の Si および C 原子から O 原子への大きな電荷移動が見られる。また、その結果として形成される双極子の大きさ(1 結合あたり)は、 5.31×10^{-30} (Si-O 結合)、 4.02×10^{-30} (Si-Si 結合)、 5.79×10^{-30} (C-O 結合)および 2.74×10^{-30} C·m(C-Si 結合)と見積もられる。Fig. 1 に示したバンドオフセットの計算結果と比較すると、伝導帯オフセットと双極子の大きさ対応しており、C-Si 結合では形成される双極子が逆向きになるため伝導帯オフセットが小さくなっていることがわかる。以上の結果から、界面において結合種に起因した双極子が形成されることにより、その向きや大きさに応じて 4H-SiC の価電子帯が押

し上げ(押し下げ)られることでバンド配列が決定されることが示唆される。

Fig. 4 は 4H-SiC(0001)/SiO₂ 界面における C 関連欠陥の界面原子構造[13]の模式図および電荷密度差分布を示したものである。Fig. 4(e)に示した電荷密度差分布をみると、Si-O 結合からなる 4H-SiC(0001)/SiO₂ 界面との変化はほとんど見られない。このことより、C 関連欠陥による界面双極子への影響は微小であることが示唆される。

4. まとめ

4H-SiC/SiO₂ 界面におけるバンド配列および双極子形成について第一原理計算にもとづき理論的に解析した。その結果、バンド配列は界面の原子配置に依存することがわかった。また、界面における様々な化学結合のうちエネルギー的に安定である Si-O および C-Si 結合に注目すると、Si 面において C 面および m 面よりも大きな伝導帯オフセットをもつことがわかり、このことは XPS による測定結果[3]と一致した。さらに、界面の原子配置に依存した双極子が形成されることが示唆された。Si-O 結合を含む界

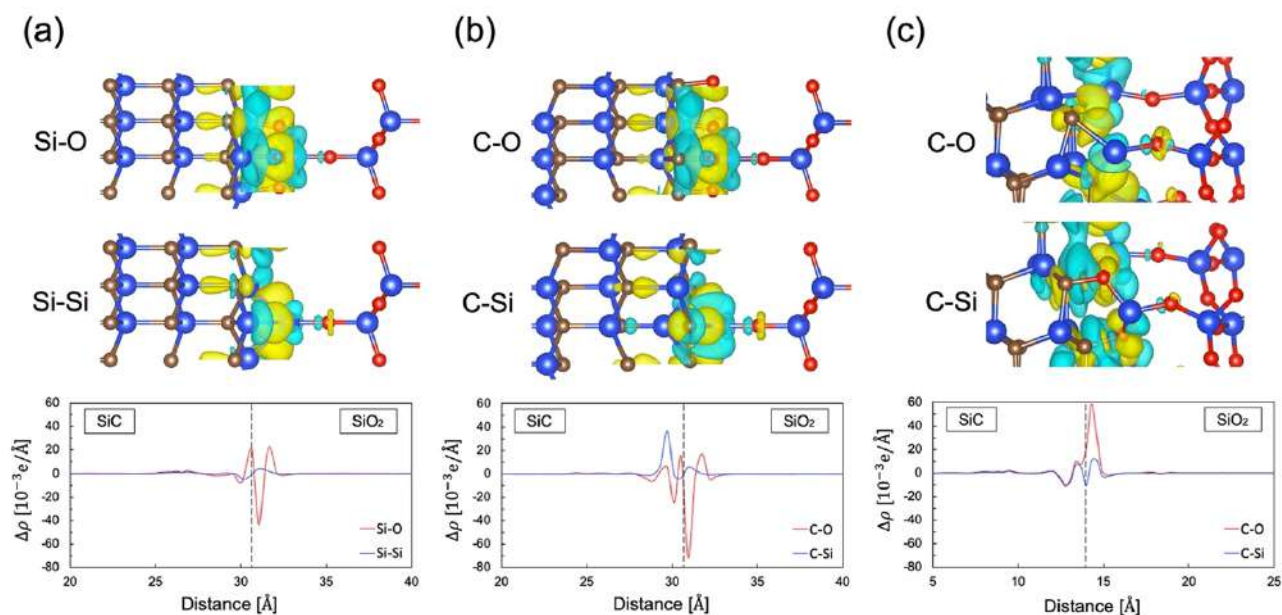


Fig. 3 Charge density difference at the interface on (a) Si-face, (b) C-face, and (c) m-face, which are considered cristobalite structure as SiO₂ insulating films. The upper side shows isosurfaces of charge density difference. Charge accumulation and consumption are depicted by yellow and blue isosurfaces, respectively. The bottom side shows averaged charge density difference along the [0001] direction. Dashed vertical line in the lower figures represent 4H-SiC/SiO₂ interface.

面では大きな双極子が形成される。この双極子の向きや大きさに応じて 4H-SiC の価電子帯が変化することでバンドオフセットが決定される。この結果から、界面における Si-O 結合の形成が大きな伝導帯オフセットをもち、漏れ電流に対する高い耐性を得るために重要であることが示唆される。また、界面における C 関連欠陥によるバンドオフセットおよび双極子形成に対する影響は微小であることも示された。この計算結果は、4H-SiC/SiO₂ 界面の電気的特性を理解するうえで重要な知見であると考えられる。

5. 謝辞

本研究の一部は、日本学術振興会科学研究費補助金(JP23K03928)および九州大学応用力学研究所共同研究プログラムの支援を受けた。計算には、自然科学研究機構計算科学研究センター(課題番号:23-IMS-C046)および九州大学情報基盤研究機構の設備を利用した。

References

- [1] V. V. Afanasev, M. Bassler, G. Pensl, and M. Schultz, *Phys. Status Solidi A* **162**, 321 (1997).
- [2] N. S. Saks, S. S. Mani, and A. K. Agarwal, *Appl. Phys. Lett.* **76**, 2250 (2000).
- [3] H. Watanabe, T. Hosoi, *Mater. Sci. Forum* **679-680**, 386 (2011).
- [4] T. Hatakeyama, H. Hirai, M. Sometani, D. Okamoto, and S. Harada, *J. Appl. Phys.* **131**, 145701 (2022).
- [5] T. Akiyama, A. Ito, K. Nakamura, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, *Surf. Sci.* **641**, 174 (2015).
- [6] T. Akiyama, S. Hori, K. Nakamura, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, *Jpn. J. Appl. Phys.* **57**, 04FR08 (2018).
- [7] T. Shimizu, T. Akiyama, K. Nakamura, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, *Jpn. J. Appl. Phys.* **59**, SMMD01 (2020).
- [8] T. Shimizu, T. Akiyama, T. Ito, H. Kageshima, M. Uematsu, and K. Shiraishi, *Phys. Rev. Mater.* **5**, 114601 (2021).
- [9] Y. Yoshimoto, S. Tsuneyuki, *Surf. Sci.* **514**, 200 (2002).
- [10] J. Yamauchi, Y. Yoshimoto, and Y. Suwa, *Appl.*

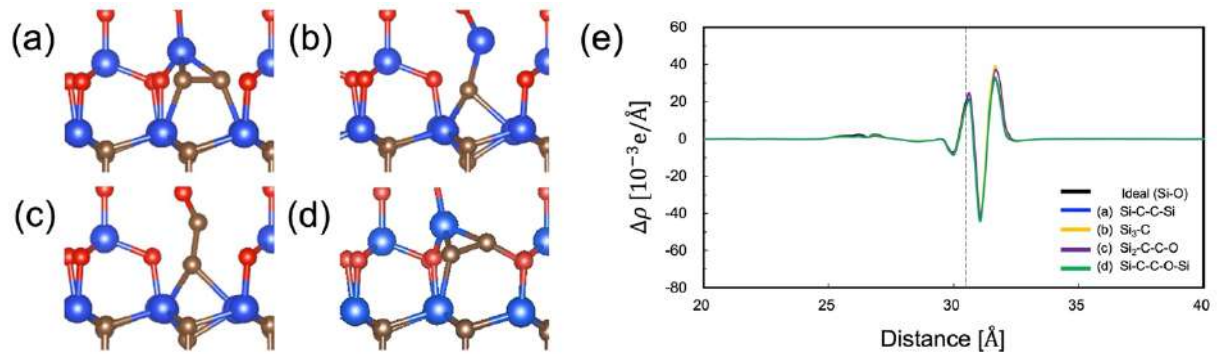


Fig. 4 Schematic illustration of the atomic configuration of C related defects at 4H-SiC(0001)/SiO₂ interface, such as (a)Si-C-C-Si, (b)Si₃-C, (c)Si₂-C-C-O and (d)Si-C-C-O. Averaged charge density difference are shown in (e), along the [0001] direction. Dashed vertical line in the lower figures represent 4H-SiC(0001)/SiO₂ interface.

Phys. Lett. **99**, 191901 (2011).

[11] J. P. Perdew, K. Burke, and M. Ernzerhof, Phys. Rev. Lett. **77**, 3865 (1996).

[12] J. P. Perdew, K. Burke, and M. Ernzerhof, J. Chem. Phys. **105**, 9982 (1996).

[13] T. Kobayashi, Y. Matsushita, J. Appl. Phys. **126**, 145302 (2019).

GaN-MOS 界面の酸化ガリウム層における原子配列評価

Atomic Arrangement of Ga-oxide at GaN MOS Interface

上沼 睦典¹, 富田 広人², 川村 聡太², 多田村 充²,
盛喜 琢也², 夏井 葉月², 橋本 由介², 松下 智裕², 浦岡 行治²

1 産総研 〒841-0052 佐賀県鳥栖市宿町 807-1

2 奈良先端大 〒630-0192 奈良県生駒市市高山町 8916-5

Mutsunori Uenuma¹, Hiroto Tomita², Souta Kawamura²,
Takashi Tadamura², Takuya Moriki², Hazuki Natsui²,
Yusuke Hashimoto², Tomohiro Matsushita², Yukiharu Uraoka²

1 AIST, 807-1 Tosu, Saga 841-0052, Japan

2 NAIST, 8916-5 Ikoma, Nara 630-0192, Japan

Tel: + 81-092-81-3597, (e-mail: m.uenuma@aist.go.jp)

Abstract

The atomic structure of gallium oxide at the Al₂O₃/GaN interface was investigated using photoelectron holography. An amorphous Al₂O₃ layer was formed on a homoepitaxially grown n-type GaN surface by atomic layer deposition at 300 °C. The photoelectron holograms were measured by a display-type retarding field analyzer (RFA). From the forward-focusing peaks in the photoelectron hologram of Ga 3d, we confirmed that a layer of gallium oxide ordered structure is found at the Al₂O₃/GaN interface, and the Ga–O–Ga lattice constant on the c-axis was 1.2 times longer than the Ga–N–Ga distance of the GaN crystal structure.

1. はじめに

GaN パワーデバイスの MOS 界面では、ゲート絶縁膜(SiO₂, Al₂O₃, AlSiO)と GaN の界面に酸化ガリウム層が形成されてしまう。

この酸化ガリウム層は界面準位密度や界面付近の固定電荷と深く関係しているため、その原子配列を解明することは、界面の制御に必要である[1-3]。しかし、酸化層を抑制した極薄酸化ガリウム層は、TEM 観察からその原子配列を解析することは困難である。

一方で、近年光電子ホログラムにより元素選択的に局所的な原子配列を解析する手法が開発されている[4-7]。光電子ホログラムでは、軟 X 線を照射すると励起原子 (エミッタ原子) から光電子が放出する。さらに光電子の波の一部が周囲の原子で散乱され散乱波が発生する。この散乱波と直接波が干渉し、光電子の放出角度分布に干渉パターンを形成する現象を利用し

た手法である。エミッタ原子から見た散乱原子の方向に光電子強度の強い前方収束ピーク (Forward focusing peaks: FFP) が形成される。この光電子の回折現象を利用して、界面特有の特異的な原子サイトとバルクとを分離して解析する事が可能である。これまでに半導体のドーパント配置の解明に利用されてきたが、界面においても原子配列を解析することが可能である。

本研究では、Al₂O₃ 膜や SiO₂ 膜を堆積した絶縁膜/GaN 界面の酸化層に対して光電子ホログラフィによって原子配列を評価した。

2. 実験条件

1~2 nm の Al₂O₃ 膜(非晶質)を ALD により、エピ層付 n 型 GaN 基板(0001)上に成膜した。成膜には、Al 原料に TMA を用い、酸化剤に H₂O を用いた熱 ALD を使用した。また、成膜中の基板温度は 300 度とした。成膜後の試料について、断面 TEM 観察を行った。光電子ホログラムは、

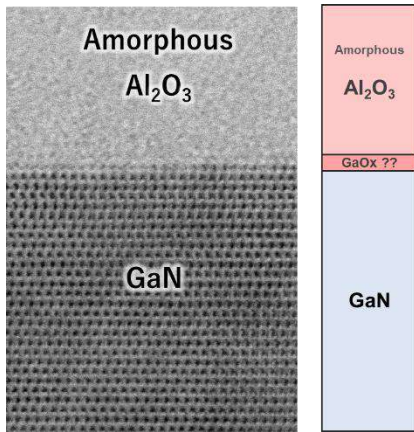


Fig.1 Cross-sectional ABF STEM image of the Al₂O₃/GaN interface.

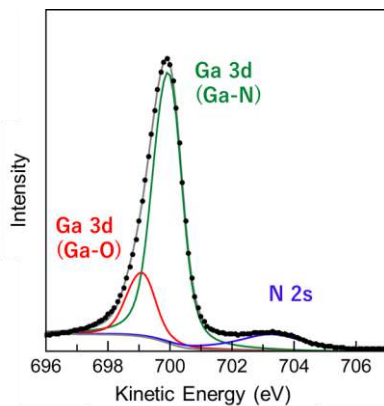


Fig.2 Ga 3d and N 2s photoelectron spectra obtained using RFA.

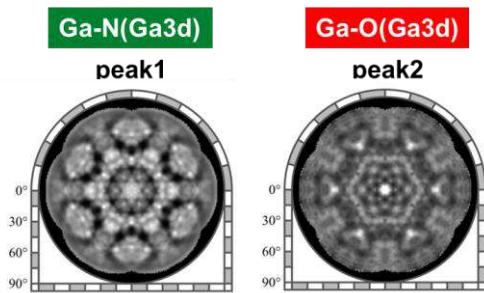


Fig.3 (a) Ga3d(Ga-N) and (b) Ga 3d(Ga-O) photoelectron holograms of the Al₂O₃/GaN (0001) substrate.

SPring-8 の BL25SU にある高分解能阻止電場型電子エネルギー分析装置(RFA)装置によって測定した。入射光のエネルギーを 727eV とし、Ga3d の光電子ホログラムを測定した。

3. 結果

Al₂O₃ を約 2 nm 成膜した試料の断面 STEM 像から、Al₂O₃/GaN 界面では、明確な酸化ガリ

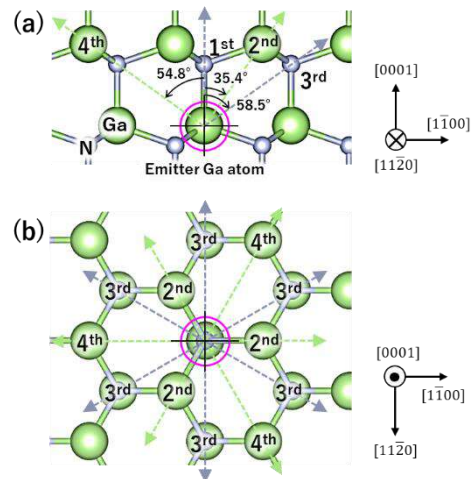


Fig.4 Atomic configurations of the nearest neighbors and corresponding directions of the GaN crystal structure.

ウム層は確認できない (Fig.1)。この結果は、他の文献と同様である。RFA によって測定した、Ga 3d 付近の光電子スペクトルを Fig.2 に示す。高運動エネルギー側の 704eV にみられるピークは N 2s ピークである。Ga3d の光電子スペクトルでは、Fig.2 のように 2 つのピークに分離できる。高エネルギー側にあるピークは、N と結合している Ga のピーク (N₄-Ga) であり、低運動エネルギー側にあるピークは、酸素と結合している Ga 原子のピークである。本研究では、それらのピーク分離間隔は 0.8 eV とした。Ga3d の spin-orbit components を $\Delta=0.46$ eV を考慮している。Fig.3 にそれぞれ分離した Ga-N と Ga-O の光電子ホログラムを示す。

また、本研究では、700eV 付近の運動エネルギーを使用しているため、検出深さは約 1.4 nm である。したがって基板由来の Ga-N 結合のスペクトルでは、多くの原子が関与した干渉によって複雑なホログラムパターンとなる。Fig.4 に示すように、GaN(0001)結晶構造は、エミッタ Ga 原子 (ピンク色円) の 0001 方向に第一近接原子である N があるため、ホログラム(Fig.3)では中央に FFP の明るいスポットがみられる。また、第2近接原子である 35.4 度方向の Ga 原子と、第3近接原子である 58.5 度方向の N 原子、さらに 54.8 度方向に第4近接原子である Ga 原子があり、それぞれの原子とエミッタ原子との FFP および周囲に存在する原子の干渉により、複雑なパターンがみられる。また、結晶対称性から 6 つの対称ピークが存在する。

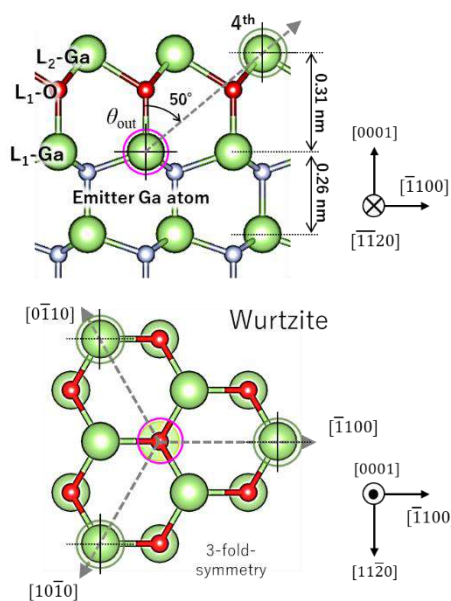


Fig.5 Atomic configurations of GaN with a gallium oxide layer.

一方で、Ga-O成分のスペクトルから得られたホログラム(Fig.3)では、Ga-Nホログラムと異なるパターンが見られた。高角度方向の強度分布は、表面情報を多く含んでいるため、60度付近に存在する強度分布に注目すると、明瞭なスポットが観察されており、そのピーク位置は $\{-1100\}$ 方向の50度に表れている。この結果から、エミッタGa原子に対して約50度方向に酸素と結合しているGa原子が存在し、c軸方向のGa-Ga間原子距離は約0.31 nmであることが明らかとなった(Fig.5)。

GaN結晶構造においては、散乱Ga原子は、エミッタGa原子から54.8度方向に存在しており、c軸方向のGa-Ga間原子距離は約0.26 nmである。したがって、酸化ガリウム層では、Ga原子を0001方向に約0.05 nmシフトした原子配列をしていることが考えられる。したがって、界面の酸化ガリウム層では、Fig.5のように2ndGa原子が、GaN結晶構造に比べてc軸方向に格子定数が1.2倍に伸びた配列をしていると示唆される。このような界面においてc軸方向に格子定数が伸びている結果は、橋詰ら報告した断面TEMの格子定数をGPAによって解析した結果[8]や、GaNの自然酸化膜として報告されている構造[9]の一部とも類似している。また、本実験では、Al 1sやO 1sの光電子ホログラムに明瞭なパターンがみられなかったことから、Al原子と酸素原子は、ランダムな原子配置をしていると考えられる。

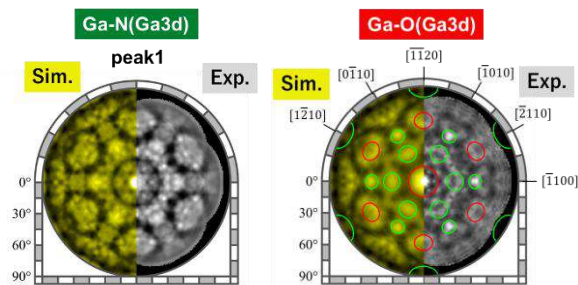


Fig.6 Experimental (gray) and simulated (yellow) images of (a) Ga 3d(Ga-N) and Ga 3d(Ga-O) photoelectron holograms of the Al₂O₃/GaN(0001) interface.

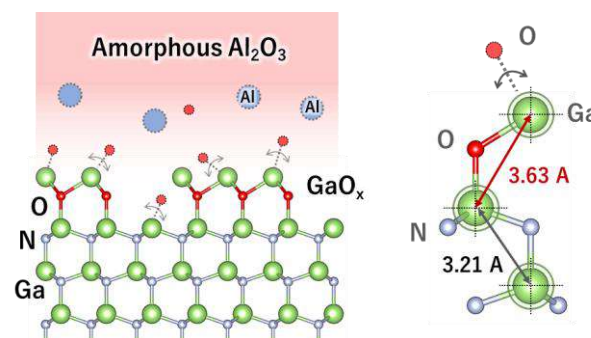


Fig.7 Atomic arrangement of gallium oxide at the Al₂O₃/GaN interface suggested by this experiment.

以上の結果から、Al₂O₃/GaN界面の酸化ガリウム層の原子配列は、Fig.5に示すようにL₁-Gaの0001方向には配列している酸素原子(L₁-O)があり、配列した酸素原子の上には、GaNの格子定数より1.2倍伸びたL₂-Ga原子が形成されている構造であると考えられる(Fig.7)。この構造を仮定して、光電子ホログラムのシミュレーションを実施した。Fig.6に示すように基板由来のGa-Nホログラムは、測定値と計算値が非常に一致している。一方で、酸化ガリウム由来の光電子ホログラムについても、50度付近のFFPでよく一致している。中央付近の強度分布は、異なっているが、これは、L₂-Ga原子から見て真上に存在するAl₂O₃膜中の酸素原子やAl原子の位置に僅かな周期性がある可能性が考えられるが、今後さらなる解析が必要である。

このような界面酸化ガリウム層は、PECVDやスパッタでSiO₂を成膜したSiO₂/GaN界面にも見られており、絶縁膜によらず共通の界面層である。しかし、SiO₂/GaN界面においては、800°C程度の熱処理により、この界面酸化ガリウム層が一部消失することを確認している。

また、Al₂O₃成膜前のGaN基板表面において

も類似したホログラムが得られたことから、本研究で観察された界面酸化ガリウム層は、 Al_2O_3 堆積前の自然酸化膜が一部残存している可能性も考えられる。

4. まとめ

光電子ホログラムを利用して $\text{Al}_2\text{O}_3/\text{GaN}$ 界面に存在する酸化ガリウム層の原子配列を評価した。 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面には、1 原子層の酸化ガリウムがあり、その Ga-O-Ga の格子定数は、GaN 結晶の Ga-N-Ga 距離より 1.2 倍に長いことを明らかにした[10]。さらに、その上に存在する Ga と結合している酸素原子はランダム配置として存在していることも示唆された。本結果が示すように光電子ホログラムは、界面の原子配列解析に有用であることが明らかとなった。このような界面の原子配列を光電子ホログラムで解明することで、GaN パワーデバイスの絶縁膜界面制御の指針につながると考えられる。

Acknowledgments

The synchrotron radiation experiments were performed at BL25SU in SPring-8 (Proposal No. 2021B1411, 2021B1091, 2018B1307). および 科研費 学術変革領域研究(A) 超秩序構造科学 (20H05882、20H05884) の助成を受けて行われた。

References

- [1] T. Yamada et al., Appl. Phys. Express 11, 015701 (2018)
- [2] H. Mizobata et al., Appl. Phys. Express 13, 081001 (2020)
- [3] K. Onishi et al., Jpn. J. Appl. Phys. 62, 050903 (2023)
- [4] Muro T., Ohkochi T., Kato Y., Izumi Y., Fukami S., Fujiwara H. and Matsushita T. 2017 Rev. Sci. Instrum. 88 123106
- [5] Yokoya T. et al. 2019 Nano Lett. 19 5915
- [6] Muro T., Matsushita T., Sawamura K. and Mizuno J. 2021 J. Synchrotron Radiat. 28 1669
- [7] Takeuchi S., Hashimoto Y., Daimon H. and Matsushita T. 2022 J. Electr. Spectr. Rel. Phen. 256 147177
- [8] Hashizume T., Kaneki S., Oyobiki T., Ando Y., Sasaki S. and Nishiguchi K. 2018 Appl. Phys. Express 11 124102
- [9] Dycus J. H., Mirrielees K. J., Grimley E. D., Kirste R., Mita S., Sitar Z., Collazo R., Irving D. L. and LeBeau J. M. 2018 ACS Appl. Mater. Interfaces 10 10607
- [10] M. Uenuma et al., Appl. Phys. Express 15, 085501 (2022)

界面エネルギー計算にもとづく α - Al_2O_3 (0001)基板上 Ga_2O_3 の構造安定性の理論的検討

Theoretical investigations for structural stability of Ga_2O_3 on Al_2O_3 (0001) substrate

戸田 康太 河村 貴宏 秋山 亨

三重大学大学院工学研究科 〒514-8507 三重県津市栗真町屋町 1577

Kota Toda, Takahiro Kawamura, Toru Akiyama

Graduate School of Engineering, Mie University, Tsu 514-8507, Japan

Tel: +81-59-231-9724, Fax: +81-59-231-9726 (E-mail: akiyama@phen.mie-u.ac.jp)

Abstract

We investigate the structural stability of Ga_2O_3 on α - Al_2O_3 (0001) substrate on the basis of density functional calculations. The calculations of interface energy demonstrate that the interface consisting of α - Ga_2O_3 and α - Al_2O_3 (0001) substrate is stable compared with the interface consisting of β - Ga_2O_3 and α - Al_2O_3 (0001) substrate. It is therefore indicated that not β - Ga_2O_3 but α - Ga_2O_3 can be formed on α - Al_2O_3 (0001) substrate. Furthermore, the calculated interface energy for β - $\text{Ga}_2\text{O}_3/\alpha$ - Ga_2O_3 is found to be positive, suggesting that the formation of β - Ga_2O_3 , which is the most stable in bulk phase, is difficult even after the formation of α - Ga_2O_3 . The calculated results imply that the effects of lattice strain and surface stability are crucial for the formation of α - Ga_2O_3 on α - Al_2O_3 (0001) substrate.

1. はじめに

コランダム構造をとる α - Ga_2O_3 は約5 eVのバンドギャップ値を持つワイドバンドギャップ半導体材料の一つであり、パワーデバイス材料として注目を集めている[1,2]。しかしながら、 α - Ga_2O_3 は準安定相であり α - Al_2O_3 (0001)基板上に Ga_2O_3 を成長させると、安定相である β ガリア構造の β - Ga_2O_3 が成長条件に依存して形成することが知られている。また、形成する α - Ga_2O_3 についても成長方法によって異なる結果が得られており、ミスチ化学気相成長(mist-CVD)法では比較的厚い α - Ga_2O_3 が形成可能[3]であるのに対して、分子線エピタキシャル成長(MBE)では、数層の α - Ga_2O_3 を形成した後に β - Ga_2O_3 が形成することが知られている[4]。このような成長条件に依存して形成する Ga_2O_3 の物理的期限については不明な点が多い。

これまでに我々は、第一原理計算を用いた界面エネルギー計算により $\text{GaN}/\text{Ga}_2\text{O}_3$ 界面の安定性を明らかにし、 GaN 基板上の Ga_2O_3 膜厚の関数として Ga_2O_3 の構造安定性を議論してきた[5]。本研究では、 α - Al_2O_3 (0001)基板上での α - Ga_2O_3 の形成機構の解明を目的として、 Al_2O_3 (0001)基板と Ga_2O_3 との界面における構造安定性に注目して、その安定性を界面エネルギー計算により議論する。

2. 計算モデルおよび手法

本研究では界面として、 α - $\text{Al}_2\text{O}_3/\alpha$ - Ga_2O_3 および α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 を取り扱う。方位関係として実験報告[3]のある方位関係を適用し、 α - Ga_2O_3 では α - $\text{Al}_2\text{O}_3\{0001\}||\alpha$ - $\text{Ga}_2\text{O}_3\{0001\}$ 、 β - Ga_2O_3 では α - $\text{Al}_2\text{O}_3\{0001\}||\beta$ - $\text{Ga}_2\text{O}_3\{\bar{2}01\}$ を満たす界面構造を構築し、それぞれの界面における界面形成エネルギーを算出する。Fig.1は計算モデルの側面図であり、Fig. 1(a)に示す α - $\text{Al}_2\text{O}_3/\alpha$ - Ga_2O_3 界面において格子位置は変化せずに単純に α - Al_2O_3 の積層から α - Ga_2O_3 の積層に切り替わる界面となっている。 α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 においては、 β - Ga_2O_3 を構成するGa原子の配位数(4配位および6配位をとる)に依存して異なる界面構造が考えられる。Figs. 1(b)および1(c)に示す界面はそれぞれバルク状態で4配位および6配位となるGa原子を界面近傍に配置したもの(それぞれ α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 -IV および α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 -VI)となっている。さらに、界面にGa空孔が存在する場合(α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 -V_{Ga})も考慮する。また、 α - Al_2O_3 基板上に α - Ga_2O_3 が積層してその後 β - Ga_2O_3 が形成する可能性も考慮し、 α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 -IV、 α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 -VI、 α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 -V_{Ga}に対する計算も行う。

界面形成エネルギー σ_{int} はFig. 1に示すモデルに対する全エネルギー E_{tot} を用いて、

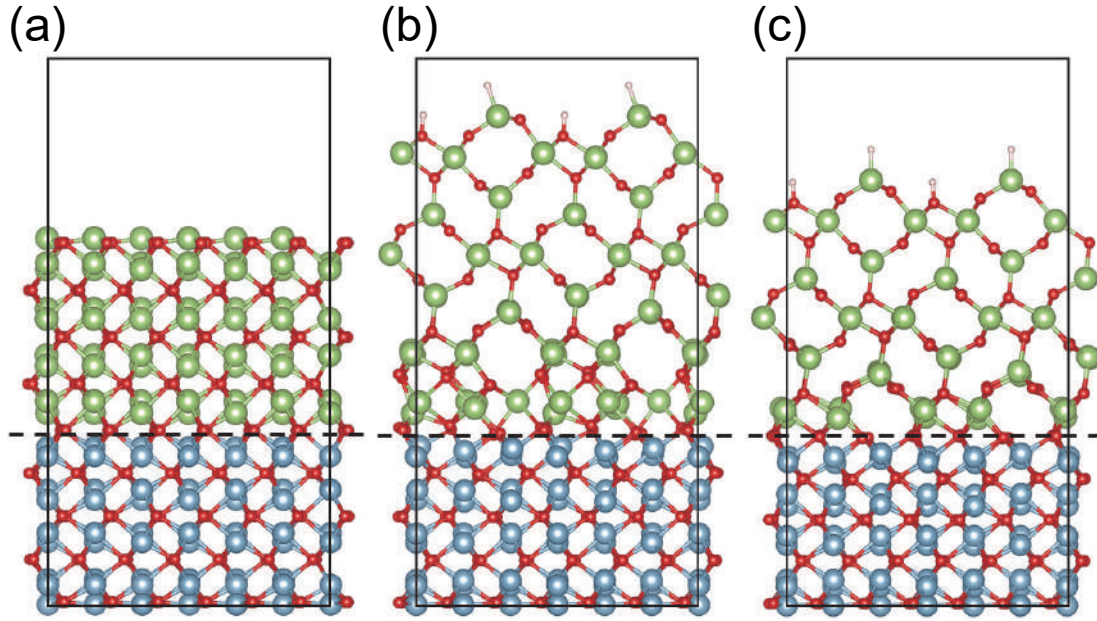


Fig. 1. Side views of $\text{Ga}_2\text{O}_3/\alpha\text{-Al}_2\text{O}_3(0001)$ interface models, (a) $\alpha\text{-Al}_2\text{O}_3/\alpha\text{-Ga}_2\text{O}_3$, (b) $\alpha\text{-Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ with fourfold-coordinated Ga atom at the interface ($\alpha\text{-Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3\text{-IV}$), (c) $\alpha\text{-Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ with sixfold-coordinated Ga atom at the interface. Blue, green, red, pink circles represent Al, Ga, O, artificial H atoms respectively. Black rectangles denote the unit cells.

$$\sigma_{\text{int}} = \frac{1}{A} \{E_{\text{tot}} - n_{\text{Al}}\mu_{\text{Al}} - n_{\text{Ga}}\mu_{\text{Ga}} - n_{\text{O}}\mu_{\text{O}}\} - \sigma_{\alpha} - \sigma_{\text{Ga}_2\text{O}_3}, \quad (1)$$

で与えられる。ここで、 A は界面の面積、 n_i および μ_i ($i=\text{Al, Ga, O}$) は構成原子の個数および化学ポテンシャル、 σ_{α} は底面のエネルギーで界面の計算とは別に $\alpha\text{-Al}_2\text{O}_3(0001)$ 表面の計算によって求めることができる[6]。 $\alpha\text{-Ga}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ の場合においては $\alpha\text{-Ga}_2\text{O}_3(0001)$ 表面における表面エネルギーを適用する。 $\sigma_{\text{Ga}_2\text{O}_3}$ は上面のエネルギーで、扱う Ga_2O_3 の結晶構造に依存して、 $\alpha\text{-Ga}_2\text{O}_3(0001)$ 表面あるいは $\beta\text{-Ga}_2\text{O}_3(201)$ 表面が当てはまる。 これらも、界面の計算とは別に表面の計算によって求めることができる[5]。 さらに、化学量論的条件として

$$2\mu_{\text{Al}} + 3\mu_{\text{O}} = E_{\text{Al}_2\text{O}_3}, \quad (2)$$

および

$$2\mu_{\text{Ga}} + 3\mu_{\text{O}} = E_{\text{Ga}_2\text{O}_3}, \quad (3)$$

を課すことで σ_{int} は μ_{Ga} のみに依存する関数として記述できる。ここで、 $E_{\text{Al}_2\text{O}_3}$ および $E_{\text{Ga}_2\text{O}_3}$ はそれぞれバルク状態における $\alpha\text{-Al}_2\text{O}_3$ および $\beta\text{-Ga}_2\text{O}_3$ の化学式単位での全エネルギーである。なお、第一原理計算は密度汎関数理論にもつづく一般化勾配近似[7]を用いており、ウルトラソフト擬ポテンシャル[8]により電子-イオン相互作用を模している。波動関数は平面波基底によ

って展開し、そのカットオフは 36 Ry となっている。計算は Quantum ESPRESSO プログラム[9-11]を用いている。

3. 結果および考察

Fig. 2 は、 $\alpha\text{-Al}_2\text{O}_3/\alpha\text{-Ga}_2\text{O}_3$ および $\alpha\text{-Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ 界面に対して、Eq. (1) によって算出した σ_{int} を示したものである。 $\alpha\text{-Al}_2\text{O}_3$ と同じ原子配置をとる $\alpha\text{-Al}_2\text{O}_3/\alpha\text{-Ga}_2\text{O}_3$ 界面において σ_{int} が最低となっており、バルク状態(界面が無い状態)に対応する値に近い値をとっている。 $\alpha\text{-Ga}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ 界面においては、 $\alpha\text{-Al}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3\text{-VI}$ の σ_{int} が最低となる。これは、界面の Ga 原子が本来の $\beta\text{-Ga}_2\text{O}_3$ における配位数と同じになることに起因している。このときの σ_{int} は $0.04 \text{ eV}/\text{\AA}^2$ であるため、界面における安定性の観点からは $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板上に直接 $\beta\text{-Ga}_2\text{O}_3$ は形成され難いことが解る。従って、 $\alpha\text{-Al}_2\text{O}_3(0001)$ 基板上にはまず $\alpha\text{-Ga}_2\text{O}_3$ がまず形成し、 $\beta\text{-Ga}_2\text{O}_3$ の膜厚の増大にともなう歪みの蓄積により、 $\beta\text{-Ga}_2\text{O}_3$ が形成することが考えられる。

形成した $\alpha\text{-Ga}_2\text{O}_3$ からの $\beta\text{-Ga}_2\text{O}_3$ の形成を検討するために、 $\alpha\text{-Ga}_2\text{O}_3/\beta\text{-Ga}_2\text{O}_3$ 界面における σ_{int} を求めたものが Fig. 3 である。いずれの構造においても σ_{int} は正の値をとり、その傾向は

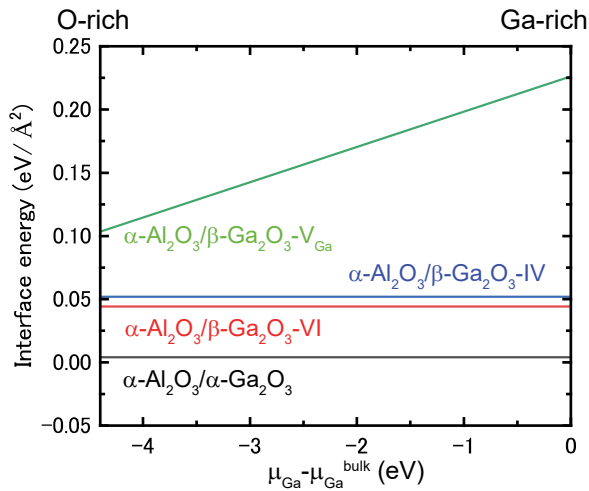


Fig. 2. Calculated interface energy for α - $\text{Al}_2\text{O}_3/\alpha$ - Ga_2O_3 interface and α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 interface as a function of Ga chemical potential.

α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 界面と同様となっている。 σ_{int} が最も低いのは α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 -VI であり、この場合も界面の Ga 原子が本来の β - Ga_2O_3 における配位数と同じになることに起因している。いずれにしても界面における安定性の観点からは β - Ga_2O_3 は形成され難いことが解る。従って、これら界面でのエネルギー損失を補償する分のエネルギー利得が得られない限り、 β - Ga_2O_3 は形成し難いことが示唆される。

一方、 β - Ga_2O_3 は $\text{Al}_2\text{O}_3(0001)$ による基板拘束があると準安定となり α - Ga_2O_3 が β - Ga_2O_3 よりも安定となることが指摘されている[12]。従って、単なるバルク状態での安定性に加えて、 $\text{Al}_2\text{O}_3(0001)$ 基板による歪み緩和が β - Ga_2O_3 の形成には不可欠であることも示唆される。また、表面の効果も寄与としては考えられる。これらの寄与は成長条件によって大きく変化することから、成長方法によって形成する α - Ga_2O_3 の膜厚に違いが出てくるものと予測される。

これら界面の安定性を電子状態の観点から評価するために状態密度(DOS)を示したものが Fig. 4 である。いずれの界面においても半導体的な DOS となっており、界面に局在する状態はエネルギーギャップ近傍には見当たらない。従って、これらの界面はエレクトロンカウンティング(EC)則[13]を満たすことで低い界面エネルギーをとっていることが考えられる。また、界面の安定化の要因としては EC 則に加えて、前述のように配位数に起因して安定性が変化することも解る。

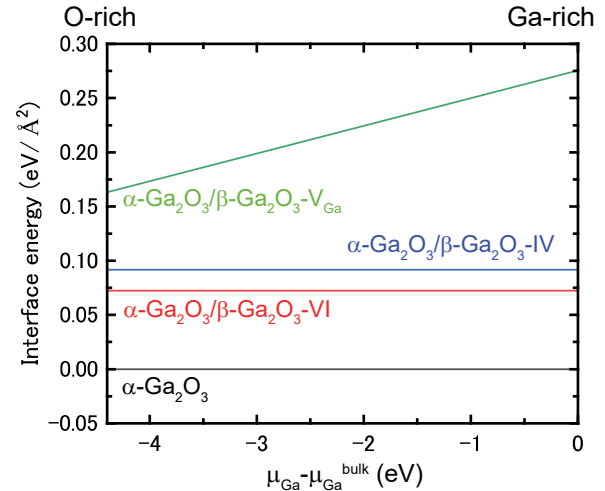


Fig. 3. Calculated interface energy for α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 interface as a function of Ga chemical potential.

4. まとめ

本研究では、 α - $\text{Al}_2\text{O}_3(0001)$ 基板上での α - Ga_2O_3 の形成機構の解明を目的として、 α - $\text{Al}_2\text{O}_3/\alpha$ - Ga_2O_3 および α - $\text{Al}_2\text{O}_3/\beta$ - Ga_2O_3 界面の安定性を界面エネルギー計算により評価した。界面エネルギー値は α - $\text{Al}_2\text{O}_3/\alpha$ - Ga_2O_3 において最低値をとり、界面における安定性の観点からは α - Ga_2O_3 が形成され易いことが示された。一方、 α - Ga_2O_3 形成後の β - Ga_2O_3 を想定した α - $\text{Ga}_2\text{O}_3/\beta$ - Ga_2O_3 界面の安定性を評価したところ、いずれの界面においても界面エネルギーは正の値をとり、界面における安定性の観点からは β - Ga_2O_3 は形成され難いことも見出された。実際には MBE において数層程度の α - Ga_2O_3 が形成した後 β - Ga_2O_3 が形成する結果[4]もあることから、界面での安定性に加えて α - $\text{Al}_2\text{O}_3(0001)$ 基板による歪み緩和や表面安定性の寄与も重要であることが示唆された。今後は界面エネルギーに加えて、歪みの寄与および成長条件を考慮した表面構造および表面エネルギーを求めることで、これらの寄与も考慮した α - $\text{Al}_2\text{O}_3(0001)$ 基板上の α - Ga_2O_3 の安定性に対する定量的な評価が可能になり、 α - Ga_2O_3 に最適な成長条件の抽出も可能になると考えられる。

5. 謝辞

本研究の一部は、九州大学応用力学研究所共同研究プログラムの支援を受けた。計算には、

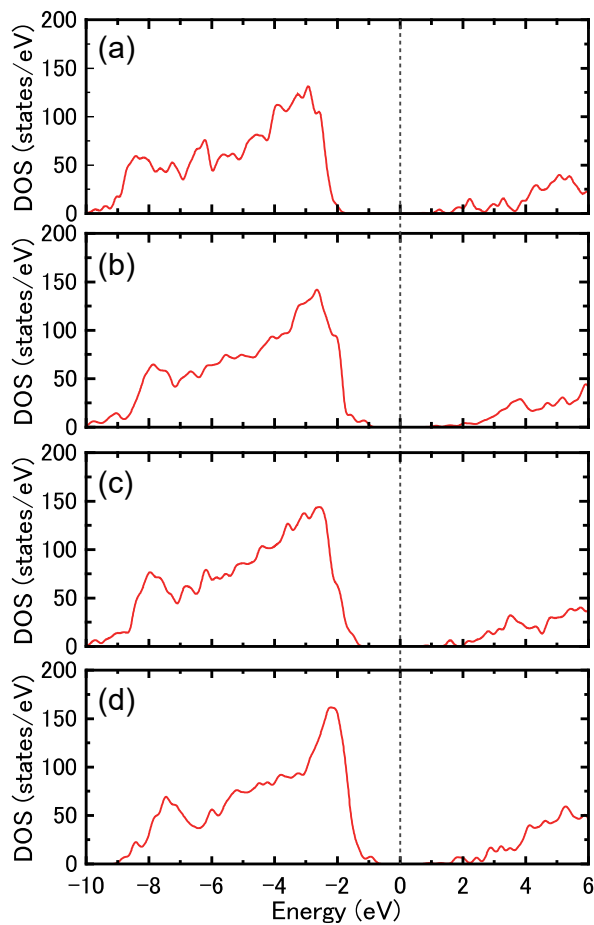


Fig. 4 Calculated density of states (DOS) for (a) α -Al₂O₃/ α -Ga₂O₃ interface, (b) α -Al₂O₃/ β -Ga₂O₃-IV, (c) α -Al₂O₃/ β -Ga₂O₃-VI, and (d) α -Ga₂O₃/ β -Ga₂O₃-VI. The origin of energy is set to the Fermi energy.

自然科学研究機構計算科学研究センター(課題番号:23-IMS-C046)および九州大学情報基盤研究機構の設備を利用した。

References

- [1] D. Shinohara and S. Fujita, *Jpn. J. Appl. Phys.* **47**, 7311 (2008).
- [2] S. Fujita, M. Oda, K. Kaneko, and T. Hitora, *Jpn. J. Appl. Phys.* **55**, 1202A3 (2016).
- [3] H. Takane, K. Kaneko, Y. Ota, and S. Fujita, *Jpn. J. Appl. Phys.* **60**, 055501 (2021).
- [4] R. Schewski, G. Wagner, M. Baldini, D. Gogova, Z. Galazka, T. Schulz, T. Remmele, T. Markurt, H. von Wenckstern, and M. Grundmann, *Appl. Phys. Express* **8** 01101 (2015).
- [5] F. Hishiki, T. Akiyamam, T. Kawamura, and T. Ito, *Jpn. J. Appl. Phys.* **61**, 065501 (2022).
- [6] T. Kurita, K. Uchida, and A. Oshiyama, *Phys. Rev. B* **82**, 155319 (2010)

- [7] J. P. Perdew, K. Burke, and M. Ernzerhof, *Phys. Rev. Lett.* **77**, 3865 (1996).
- [8] D. Vanderbilt, *Phys. Rev. B* **41**, 7892 (1990).
- [9] P. Giannozzi *et al.*, *J. Phys.: Condens. Matter* **21**, 395502 (2009).
- [10] P. Giannozzi *et al.*, *J. Phys.: Condens. Matter* **29**, 465901 (2017).
- [11] P. Giannozzi *et al.*, *J. Chem Phys.* **152**, 154105 (2020)
- [12] S. Fujita, T. Akiyama, T. Kawamura, and T. Ito, *Jpn. J. Appl. Phys.* **62**, SC1031 (2023).
- [13] M. D. Pashley, K. W. Haberern, W. Friday, J. M. Woodall, and P. D. Kirchner, *Phys. Rev. Lett.* **60**, 2176 (1988).

化学溶液洗浄した β -Ga₂O₃ 表面の光電子分光分析

Evaluation of Electronic States of β -Ga₂O₃ Surface by Photoemission Spectroscopy

大田 晃生¹ 高鍋 大輝¹ 田岡 紀之² 牧原 克典³ 宮崎 誠一³

1 福岡大学 理学部 〒814-0180 福岡県福岡市城南区七隈 8-19-1

2 愛知工業大学 工学部 〒470-0392 愛知県豊田市八草町八千草 1247

3 名古屋大学 大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

Akio Ohta¹, Taiki Takanabe¹, Noriyuki Taoka², Katsunori Makihara³, Seiichi Miyazaki³

1 Fukuoka University, 8-19-1 Nanakuma, Jonan-ku, Fukuoka, 814-0180, Japan

2 Aichi Institute of Technology, 1247 Yachigusa, Yachigusa-cho, Toyota-shi, Aichi 470-0356, Japan

3 Nagoya University, Furo-cho, Chikusa-ku, Nagoya, 464-8603, Japan

Tel: +81-92-871-6631 (e-mail: a_ohta@fukuoka-u.ac.jp)

Abstract

Energy band structure and the energy distribution of defects for β -Ga₂O₃ have been studied by using the photoemission measurements. A 680 μm -thick Sn doped β -Ga₂O₃ substrate after wet-chemical treatment was used in this work. Surface orientation and donor concentration of the substrate was (-201) and $\sim 4.7 \times 10^{18} \text{ cm}^{-3}$, respectively. Then, β -Ga₂O₃ surface was cleaned by the dipping in the diluted HCl solution and pure water rinse. From XPS analysis, bandgap energy and electron affinity for the wet-cleaned Ga₂O₃ was determined to be 5.0 and 3.35 eV, respectively, within an accuracy of ± 0.1 eV. A large amount of filled gap states near the VB side originating from the surface states and bulk defects was detected from PYS measurement.

1. はじめに

ワイドバンドギャップ半導体である β -Ga₂O₃ は、パワーデバイス用の半導体材料候補の一つとして注目されている[1]。MOS デバイスの高性能化・高信頼化において、絶縁膜/半導体界面の物性の理解とその精密制御が極めて重要となる。ゲートリーク電流の抑制のため、Ga₂O₃ に対して十分な電子障壁を有する絶縁膜を形成するためには、CVD (ALD 含む) やスパッタ堆積が必要であり、絶縁膜形成前の初期表面の状態が、界面構造やデバイス特性に少なからず影響を及ぼすと考えられる。また、デバイス特性を議論するためには、Ga₂O₃ 表面の伝導下端や価電子帯上端などエネルギーバンドを理解することが不可欠である。加えて、MOS デバイスの界面準位は、一般的には電気特性 (C-V 特性等) により評価されている。電気特性ではエ

ネルギーバンド端近傍が界面準位を高感度に定量されるものの、キャリアの放出時定数が大きいミッドギャップ近傍の準位の計測は容易ではない。そこで、本研究では光電子分光手法を用いて化学溶液洗浄した β -Ga₂O₃ 表面の化学構造や電子状態を評価した。

2. 実験方法

表面を化学機械研磨した厚さ 680 μm の β -Ga₂O₃(-201) 基板 (Sn 添加、ドナー濃度: $\sim 4.7 \times 10^{18} \text{ cm}^{-3}$) を、HCl 溶液と超純水により洗浄した。単色化 AlK α 特性 X 線 ($h\nu = 1486.6 \text{ eV}$) を用いた X 線光電子分光 (XPS) 分析より、Ga₂O₃ 表面の化学結合状態およびバンドギャップエネルギー (E_g)、複素誘電関数 ($\epsilon = \epsilon_1 + i\epsilon_2$)、光学定数 (n, k)、真空準位から価電子帯上端までのエネルギー (VBM) を評価した。また、 E_g と VBM より、

電子親和力(χ)を決定した。さらに、Xe-arc ランプと重水素ランプを用いた光電子収率分光法 (PYS)より[2, 3]、 Ga_2O_3 の E_g に相当するエネルギー位置の電子占有準位を評価した。PYS では、紫外光照射により放出される全光電子数を、入射光エネルギーの関数として計測する。光電子放出を原理とするために、電極形成等も不要である。

3. 実験結果および考察

図1に、化学溶液洗浄した Ga_2O_3 表面の Ga3d 内殻光電子および Ga $L_3M_{45}M_{45}$ オージェ電子スペクトルを示す。Ga-O 結合に起因する Ga3d 信号が、結合エネルギー21.80eV に観測される。また、この Ga-O 結合の低結合エネルギー側にテールを引いていることが認められる。光電子脱出角 90° から表面敏感測定である 15° にしても、Ga3d のスペクトル形状に変化がないことから、低結合エネルギー側の成分は表面近傍の化学結合状態やバンド曲がりではなく、バルク中の Ga の結合状態の違いを反映したものと考えられる。Ga $L_3M_{45}M_{45}$ オージェ電子信号においても、Ga3d 信号と同様に、そのスペクトル形状に顕著な光電子脱出角度依存性は認められない。Ga-O に相当する Ga3d 信号の結合エネルギー(21.80 eV)と Ga $L_3M_{45}M_{45}$ オージェ電子信号の

運動エネルギー(1486.6 - 425.60 = 1061.00 eV)の和より見積もったオージェパラメータは 1082.80 eV であった。オージェパラメータは結合エネルギーと運動エネルギーの和で表されるため、チャージアップなどの試料の帯電状態による影響を排除して Ga_2O_3 表面の化学結合状態を評価できる。図1より得られた Ga_2O_3 表面のオージェパラメータと Ga 系材料のオージェ

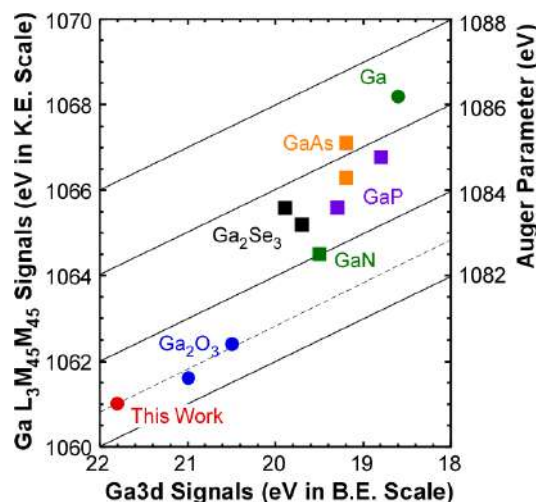


Fig. 2 Auger parameter scatter plot taken for wet-cleaned Ga_2O_3 calculated from XPS signals shown in Fig.1. Auger parameter for Ga, GaAs, GaP, Ga_2Se_3 , GaN, and Ga_2O_3 was also plotted as a reference [4-8].

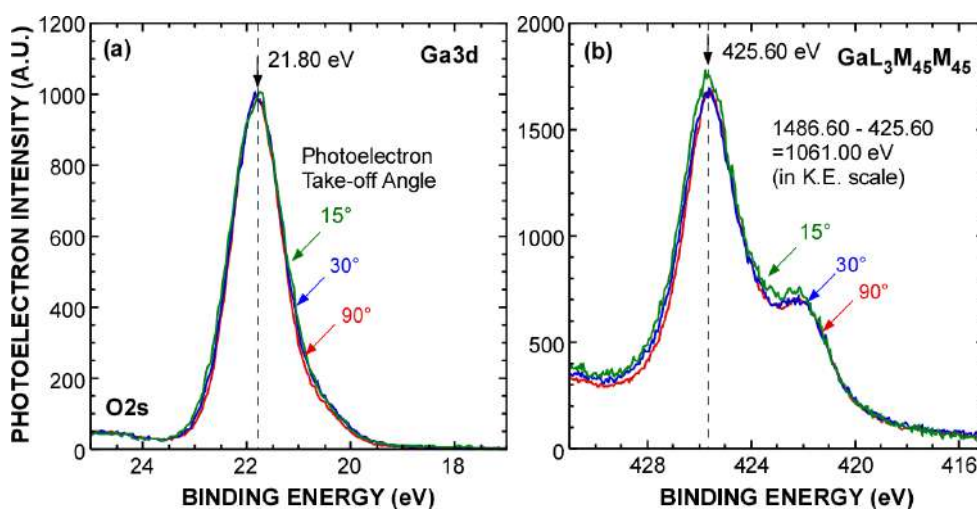


Fig. 1 (a) Ga 3d core-line and (b) Ga $L_3M_{45}M_{45}$ auger electron spectra taken for wet-cleaned Ga_2O_3 surface measured at photoelectron take-off angle of 90° , 30° , and 15° .

パラメータの文献値[4-8]と比較すると(図 2)、 Ga_2O_3 の報告値とほぼ一致することが確認できる。

次に、 $\text{Ga } 2p_{3/2}$ 内殻光電子のエネルギー損失スペクトルより、 Ga_2O_3 の E_g を評価した(図 3)。一次光電子のエネルギー損失には、大きく分けて、バンド間遷移とプラズモンによる二つの過程が存在し、一般的にバンド間遷移に比べてプラズモンによるエネルギー損失は十分に大きいため、エネルギー損失信号のしきい値を求めることで E_g が決定できる[9, 10]。エネルギー損失信号の強度は、光電子脱出角度を 90° から 15° に減少させると徐々に増加する。エネルギー損失信号が顕著な光電子脱出角 15° のスペクトルに、直線を外挿して求めたしきい値より、 Ga_2O_3 の E_g は $5.0 \pm 0.1 \text{ eV}$ と決定できた。

さらに、 $\text{Ga } 2p_{3/2}$ 内殻光電子のエネルギー損失スペクトルより、 $\beta\text{-Ga}_2\text{O}_3$ の ϵ_1 、 ϵ_2 を導出した(図 4)。具体的には、光電子脱出角 90° で測定したエネルギー損失信号から、損失エネルギー 0 eV 付近の 1 次光電子信号を除去したスペクトルを $\text{Im}(-1/\epsilon)$ として、クラマース・クローニツヒ変換することで、 $\text{Re}(1/\epsilon)$ を求めた。この $\text{Re}(1/\epsilon)$ と

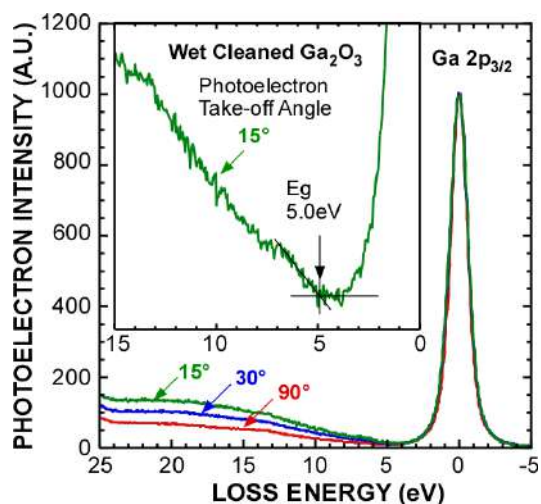


Fig. 3 Energy loss spectra for $\text{Ga } 2p_{3/2}$ core-line photoelectrons taken for the wet-cleaned Ga_2O_3 surface. The onset of the energy-loss spectrum was defined by linearly extrapolating the segment of the maximum negative slope to the background level.

$\text{Im}(-1/\epsilon)$ から、次に示す関係式を用いて ϵ_1 と ϵ_2 、 n と k を計算した。

$$\text{Im}\left(-\frac{1}{\epsilon}\right) = \frac{\epsilon_2}{\epsilon_1^2 + \epsilon_2^2}$$

$$\text{Re}\left(\frac{1}{\epsilon}\right) = \frac{\epsilon_1}{\epsilon_1^2 + \epsilon_2^2}$$

$$n = \sqrt{\frac{\epsilon_1 + \sqrt{\epsilon_1^2 + \epsilon_2^2}}{2}}$$

$$k = \sqrt{\frac{-\epsilon_1 + \sqrt{\epsilon_1^2 + \epsilon_2^2}}{2}}$$

図 4 中には、文献[11]で報告された分光エリプソメトリによって求められた $\beta\text{-Ga}_2\text{O}_3$ の光学定数から換算した ϵ_1 と ϵ_2 を参考に示す。参考値に比べ、XPS では 5 から 20 eV 付近のエネルギー範囲の値を評価でき、電子分極に起因するピークがおおよそ 8 eV 付近に観測される。さらに、導出した光学定数より求めた吸収係数の Tauc プロットを図 5 に示す。これより E_g を算出するとおおよそ 4.9 eV であり、図 3 より見積もった E_g と同等である。

XPS 測定において、高運動および低運動エネルギー端の光電子信号の立ち上がりのエネルギー

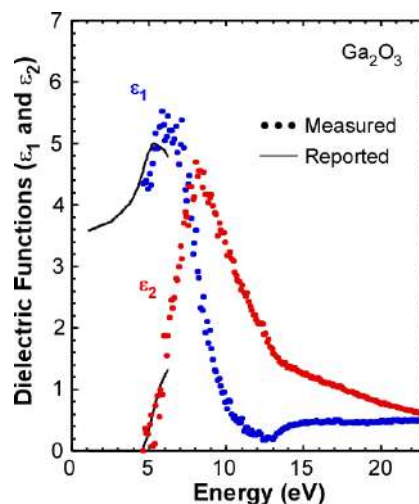


Fig. 4 Complex dielectric functions of wet-cleaned Ga_2O_3 evaluated from XPS. Reported value was also shown as a reference [11].

ギー差より、試料が金属の場合では、仕事関数を評価でき、半導体や絶縁膜の場合では、真空準位から価電子帯上端位置までのエネルギー (VBM) を求めることができる。図 6 に、化学溶液洗浄した Ga_2O_3 表面の価電子帯と二次光電子スペクトルを示す。低運動エネルギー側に観測される二次光電子信号は、試料に 25V の負バイアスを印加して計測し、印加電圧分は差し引

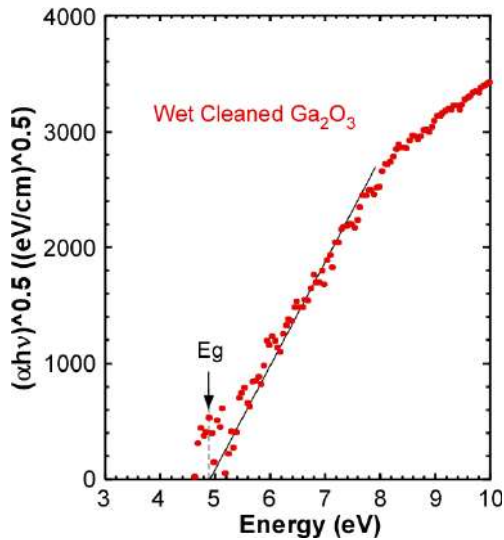


Fig. 5 Tauc plot for wet-cleaned Ga_2O_3 .

て表示している。図中には、 Ar^+ スパッタリングした $\text{Ag}(111)$ 表面と、サファイア基板上的のエピタキシャル $\text{GaN}(0001)$ 表面の結果[12]も参考として示す。また、各スペクトルの運動エネルギーは $\text{Ag}(111)$ の二次光電子信号で補正した。これより、仕事関数が既知である $\text{Ag}(111)$ を基準 (4.74 eV [13]) として、価電子帯スペクトルの立ち上がりより VBM を求めることができる。その結果、 Ga_2O_3 の VBM は 8.35 ± 0.05 eV であることが分かった。これは、エピタキシャル GaN の VBM (6.75 eV) より 1.60 eV ほど大きい。

図 7 に、 Ga_2O_3 と GaN の電子親和力 (χ) と VBM、 $\text{Ag}(111)$ の仕事関数を図示した。実測した E_g と VBM により、 Ga_2O_3 の χ は 3.35 ± 0.1 eV と決定できる。また、 GaN の χ は報告されている E_g (3.36 eV) [14] を用いると 3.39 eV であり、 Ga_2O_3 の χ と同等であることが分かった。

次に、化学溶液洗浄した Ga_2O_3 表面の E_g 内の電子占有準位のエネルギー分布を PYS 測定により評価した(図 8)。図 7 に示す Ga_2O_3 の伝導帯下端および価電子帯上端のエネルギー位置と実測した PYS スペクトルと比較すると、単色化紫外光の入射エネルギーが 8.3 eV 以上の領域

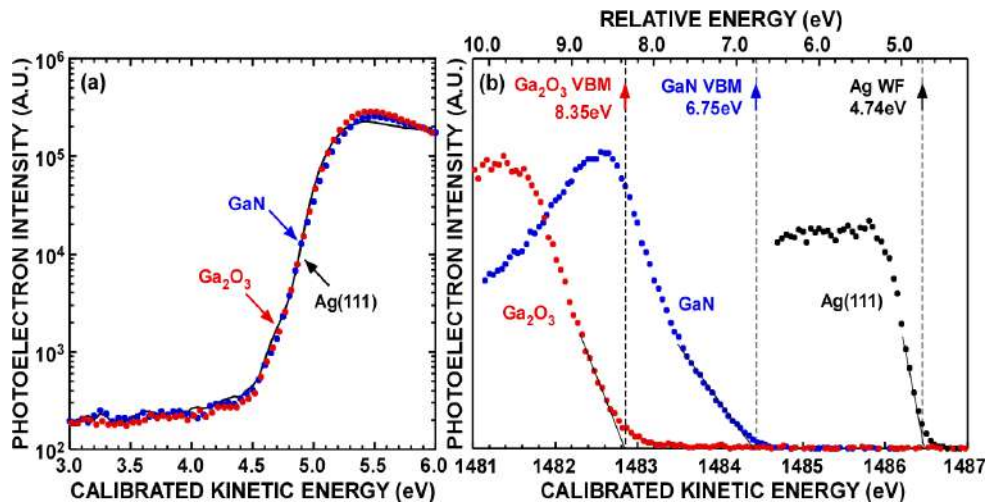


Fig. 6 (a) Measured signals for secondary photoelectron and (b) VB spectra taken for wet-cleaned Ga_2O_3 , GaN , and $\text{Ag}(111)$. Each spectrum was measured a photoelectron take-off angle of 90° . During the measurements of secondary photoelectrons, negative bias of -25.0 V was applied to the sample in order to detect such a low kinetic energy photoelectron with high sensitivity.

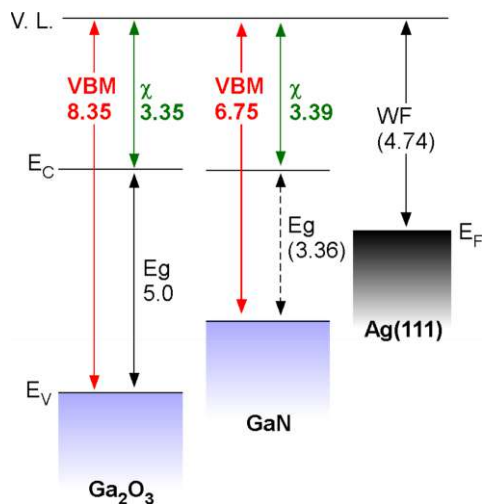


Fig. 7 Energy band line-up for Ga₂O₃, GaN, and Ag(111)

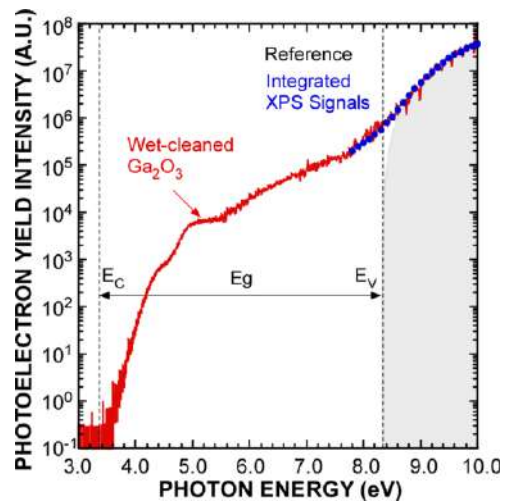


Fig. 8 Measured PYS spectrum taken for the wet-cleaned Ga₂O₃ surface. Integrated XPS signals in the energy region near the VBM shown in Fig. 7 were also shown as a reference.

で検出される顕著な PYS 信号は、Ga₂O₃ の価電子からの光電子放出に由来することが分かる。このことは、VBM 近傍のエネルギー領域で測定された PYS 信号は、XPS 測定より得られた価電子帯信号を入射エネルギーに対して積分した結果と一致することからも確認できる。加えて、PYS 測定では、XPS 分析に比べて Ga₂O₃ の価電子帯上端近傍の電子状態を高い感度で検出できていることが分かる。また、Ga₂O₃ の Eg に相当するエネルギー領域で観測される PYS 信号は、局在準位や表面準位などの電子が占有したギャップ内準位からの光電子放出に対応し、欠陥のない理想的な状態では信号は検出されない。実測した PYS スペクトルでは、入射エネルギーが 6.0 から 8.0 eV の範囲で顕著な信号が観測され、高密度な電子占有欠陥の存在が示唆される。これは表面だけでなく、基板中の欠陥から寄与も含まれている可能性が高い。

4. まとめ

化学溶液洗浄した β-Ga₂O₃(-201)表面を XPS および PYS により評価した。Ga 2p_{3/2} 内殻光電子のエネルギー損失信号より Ga₂O₃ の Eg は 5.0±0.1eV、二次光電子信号と価電子帯信号の立

ち上がりのエネルギー差より Ga₂O₃ の VBM は 8.35±0.05eV であることが分かった。これらより、χ は 3.35±0.1 eV と決定できた。また、Eg に相当する領域の PYS 信号より、伝導帯側に比べバンドギャップよりも価電子帯側のエネルギー領域で電子占有欠陥が多いことがわかった。

謝辞

本研究の一部は、科学研究費補助金 (課題番号 22H01524) の支援を受けて行った。

References

- [1] A. J. Green, et. al., *APL Mater.*, **10** (2022) 029201.
- [2] S. Miyazaki, T. Maruyama, A. Kohno, M. Hirose, *Microelectron. Eng.*, **48** (1999) 63.
- [3] A. Ohta, M. Ikeda, K. Makihara, S. Miyazaki, *Microelectron. Eng.*, **178** (2017) 85.
- [4] J. Hedman, N. Martensson, *Phys. Scr.*, **22** (1980) 176.
- [5] H. Iwakuro, C. Tatsuyama, S. Ichimura, *Jpn. J. Appl. Phys.*, **21** (1982) 94.
- [6] Y. Mizokawa, H. Iwasaki, S. Nakamura, *Jpn. J. Appl. Phys.*, **20** (1981) L491.

- [7] Y. Mizokawa, H. Iwasaki, R. Nishitani, S. Nakamura, *J. Electron Spectrosc. Relat. Phenom.*, **14** (1978) 129.
- [8] G. Schoen, *J. Electron Spectrosc. Relat. Phenom.*, **2** (1973) 75.
- [9] S. Miyazaki, *J. Vac. Sci. Technol., B* **19** (2001) 2212.
- [10] A. Ohta, H. Murakami, K. Makihara, and S. Miyazaki, *Jpn. J. Appl. Phys.*, **54** (2015) 06FH08.
- [11] T. Onuma, S. Saito, K. Sasaki, T. Masui, T. Yamaguchi, T. Honda, A. Kuramata, M. Higashiwaki, *Jpn. J. Appl. Phys.*, **55** (2016) 1202B2.
- [12] A. Ohta, N. X. Truyen, N. Fujimura, M. Ikeda, K. Makihara, S. Miyazaki, *Jpn. J. Appl. Phys.*, **57**, (2018) 06KA08.
- [13] H. B. Michaelson, *J. Appl. Phys.*, **48** (1977) 4729.
- [14] S. M. Sze, *Physics of Semiconductor Devices* 2nd ed

運営体制

運営委員：

久本 大（日立：運営委員長）、浦岡 行治（奈良先端大）、遠藤 哲郎（東北大）、
岡田 健治（Rapidus）、影島 博之（島根大）、金田 千穂子（東北大）、
白石 賢二（名大）、杉田 義博（ソシオネクスト）、高木 信一（東大）、
知京 豊裕（物材機構）、中山 隆史（千葉大）、丹羽 正昭（東大）、
野平 博司（東京都市大）、宮崎 誠一（名大）、渡部 平司（阪大）

実行・プログラム委員：

細井 卓治（関西学院大：実行委員長）、長田 貴弘（物材機構：副実行委員長）、
小川 慎吾（東レリサーチセンター：プログラム委員長）、
大田 晃生（福岡大：副プログラム委員長）、
田岡 紀之（愛工大：副プログラム委員長）、蓮沼 隆（筑波大：総務）、
秋山 亨（三重大）、芦原 洋司（KOKUSAI ELECTRIC）、井上 真雄（ルネサス）、
岩澤 和明（東京エレクトロン）、岡 博史（産総研）、岡本 大（富山県立大）、
角嶋 邦之（東工大）、喜多 浩之（東大）、朽木 克博（豊田中研）、
黒木 伸一郎（広大）、佐道 泰造（九大）、澤野 憲太郎（東京都市大）、
諏訪 智之（東北大）、武田 さくら（奈良先端大）、
辻川 真平（東京エレクトロン）、長川 健太（キオクシア）、寺本 章伸（広大）、
豊田 智史（シエンタオミクロン）、中塚 理（名大）、松下 大介（キオクシア）、
松村 亮（物材機構）、水林 亘（産総研）、村上 秀樹（久留米高専）、
矢嶋 赳彬（九大）、渡邊 孝信（早大）

諮問委員：

服部 健雄（東京都市大）、安田 幸夫（名大）

投稿システム・予稿集編集担当：

K's Research Support Office Inc.