**High-kゲート絶縁膜を用いたCMOSの開発 (14 point)**

**Development of CMOS with High-K gate oxide (14 point)**

電子 太郎1　界面 花子2　(11 point)

1　？大学 〒305-0044　茨城県つくば市123-1

2　？株式会社　？研究所 〒305-0044　茨城県つくば市123-1

Taro Zetsuenmaku 1, Jiro Denkyoku 2

*1 ??? University, 123-1 Tsukub, Ibaraki 305-0044, Japan*

*2 ??? Co. Ltd., 123-1 Tsukuba, Ibaraki 305-0044, Japan*

*Tel:+ 81-29-860-4???, Fax: + 81-29-860-4??? (e-mail:Zetsuenmaku@???.jp)*

**Abstract**

CMOS with high-k dielectric were developed by using gate-last process or gate-first process. In near future, …------ -------------------------- ------ -------------------- ----------------- (12 point)

**Abstactは英文**

１．はじめに (11 point)

高誘電率ゲート絶縁膜(high-k)を用いたCMOSは、ゲートファストプロセス或いはゲートラストプロセスで……

２．実験条件

　ｐ型シリコン基板（100）にHfO2膜をALD法で作製した。

Fig.1 Schematic illustration of CMOS structure (11 point)

**Figure Captionは英文**

３．結果および考察

中略

４．まとめ

ゲートファストプロセスでは従来プロセスを踏襲できる利点が、……

謝辞

本研究は、「？？？」によりサポートされた。

参考文献

[1] T. Zetsuennmaku et al., *Symp.on VLSI tech*, pp. 111-112, 2011

[2] T. Denshi et al., Jpn. J. Appl. Phys, **63**, 000000, (2024)

**原稿は2ページ以上6ページまで**