



応用物理学会

薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会

## 第30回電子デバイス界面テクノロジー研究会

### —材料・プロセス・デバイス特性の物理—

日時 2025年1月22日(水)～1月24日(金)

場所 静岡県総合コンベンション施設 プラサヴェルデ

協賛： 日本物理学会、日本化学会、日本金属学会、日本表面真空学会、  
電子情報通信学会、電気学会、触媒学会、電気化学会、  
表面技術協会、日本顕微鏡学会、日本セラミックス協会、  
精密工学会

開催助成： 静岡県東部地域コンベンションビューロー  
中部電気利用基礎研究振興財団

協賛企業： 株式会社アクシス、株式会社アールデック、  
株式会社アポロウェーブ、SSR株式会社、  
株式会社KOKUSAI ELECTRIC、東京エレクトロン株式会社、  
株式会社東レリサーチセンター、株式会社日立製作所

# 成膜レシピ制御型自動蒸着装置 ADS-E86

- 独自開発ソフトで、基板セット後は“ワンクリック”するだけ。
- 全自動で多層膜蒸着を行える研究開発用の蒸着装置。
- どなたにでも安全で簡単に操作可能。

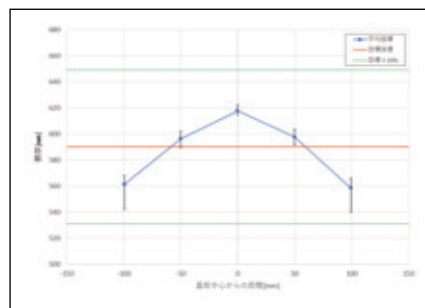
## 特 徴

- 高融点金属から半導体、酸化物まで蒸着が可能
- 多層膜連続成膜制御
- 高性能 6 連電子ビーム蒸着源
- リフトオフ蒸着に最適な基板冷却機構を装備
- 成膜条件を選択して『START』ボタンをクリックするだけで、真空排気から成膜完了まで自動制御
- 基板サイズ□10 mm ~ φ8 インチ
- 高速真空排気 (L/L 室 : 大気圧から E-3 Pa まで 3 分以内)

## アルミ蒸着試験参考データ (試験①)



バッチNo	膜厚 (nm)-50mm	膜厚 (nm)+50mm
①	594.6	594.1
②	596.2	597
③	589.5	591.7
④	597.5	598.8
⑤	601.8	600.9
⑥	595.6	597.7
⑦	594.9	597.8
⑧	599.8	603.4
⑨	600.8	598.7
⑩	591.5	595.3



データ提供：日本電子株式会社様

# 高感度昇温脱離ガス分析装置 HTDS-004 SEMI

- 超高真空下でサンプルを加熱昇温する際に脱離されるガスをリアルタイム測定し定性・定量分析。
- 半導体ウェハ、PCB 基板、電子部品からの脱離ガスを wt・ppm で分析可能。

## 特 徴

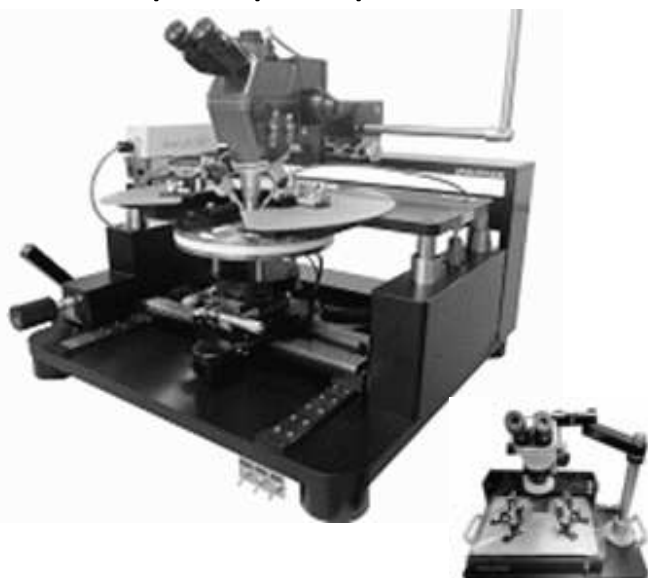
- 試料サイズ：最大φ10×30mm → **大きな実試料も測定可能**
- 測定範囲：質量数 200 amu → **CxHy 成分も測定可能**
- 加熱温度：室温 ~ 1000°C
- 分析室にタンデムターボポンプ採用 → 到達圧力：<math>< 5.0E-8Pa</math>  
**高感度リアルタイム分析**
- **定量ソフトで wt・ppm が簡単に計算可能**
- 水素標準リークシステム内蔵 → **長期間安定した測定が可能**



# 半導体デバイスの電気評価・解析用に

## マニュアルプローバー

α100/150/200/300



## セミオートプローバー

AP-150/200



## 真空プローバー

極低温から超高温

MJ-8/MJ-10



## 電子顕微鏡用ナノプローブ



IV/CV  
測定

パワーデバイス  
HV/HC測定

高低温での  
測定

液体窒素温度  
での測定

SEMの中で  
電気測定

## 株式会社アポロウェーブ

URL [www.apollowave.co.jp](http://www.apollowave.co.jp)

E-MAIL [info@apollowave.co.jp](mailto:info@apollowave.co.jp)

〈本社〉

〒532-0011 大阪市淀川区西中島6-7-8 大昭ビル4F

TEL 06-6838-3233

〈東京営業所〉

〒132-0022 東京都江戸川区大杉5-13-17 アムスシーダ102

TEL 03-5879-3436



技術と対話で未来をつくる



冬の立山連峰

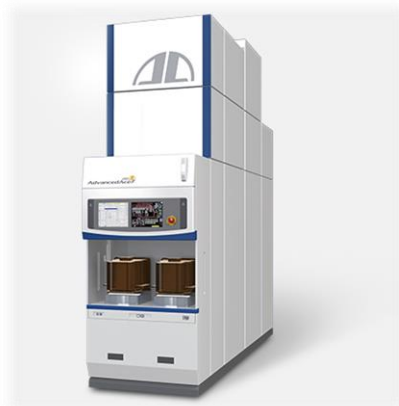


High Quality & High Performance  
Thermal Process System

**TSURUGI-C<sup>2</sup>**<sup>®</sup>



Radical Treatment Process System  
**MARORA**<sup>®</sup>



Batch Thermal Process System  
**AdvancedAce**<sup>®</sup>

TSURUGI-C<sup>2</sup>, AdvancedAce and MARORA are registered trademarks of KOKUSAI ELECTRIC CORPORATION.

◆担当窓口  
株式会社KOKUSAI ELECTRIC  
人事総務本部 人財戦略部

〒939-2393  
富山県富山市八尾町保内2-1  
TEL 076-455-9278(担当直通)  
<https://www.kokusai-electric.com/>

動画公開中



2026年度  
新卒採用マイページ





## 卓上型液体窒素プロローバシステム

AX-LPS-TS02



### <<システム構成>>

液体窒素クライオスタット  
真空チャンバー  
温度センサー、温調用ヒーター  
マニピュレーター4式  
CCDカメラ、液晶モニター

### <<システム仕様>>

液体窒素量 : 約1L  
温調範囲 : 80K~500K  
試料サイズ : □20mm  
移動量 : X.Y18mm, Z10mm  
サイズ : □480mm, H428mm

## 小型無冷媒マグネット & トップロードクライオスタット



### <<マグネット仕様>>

冷凍機 : 1W GM冷凍機  
磁場強度 : 6 Tesla  
均一度 : ±0.4%/10mmDSV  
励磁速度 : 約10分 (6 Tesla)  
冷却時間 : 約12時間

### <<クライオスタット仕様>>

冷凍機 : 0.5W GM冷凍機  
最低温度 : 2K以下  
温調範囲 : 4K~300K  
試料空間 : φ32mm  
冷却時間 : 約5時間 (10K以下)

### クライオパーツ取扱い

☆スタイキャスト

☆GE7031ワニス

☆同軸変換/気密コネクタ

☆ニトフィックス

☆インジウムワイヤ

☆回転ホルダー その他



株式会社アクシス

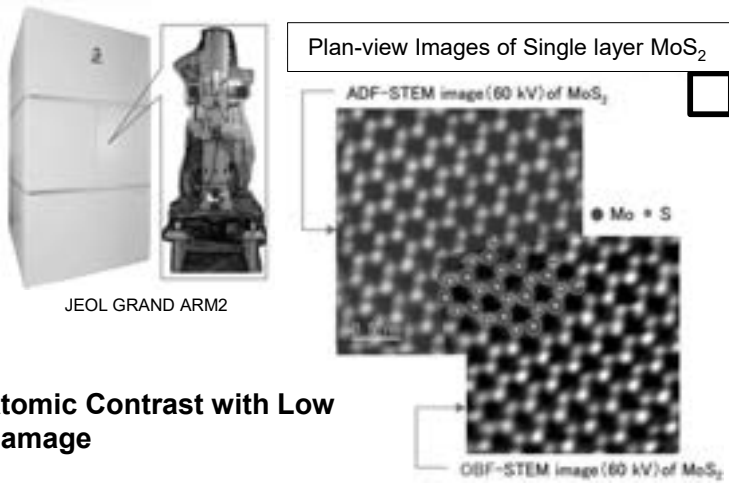
〒305-0043 茨城県つくば市大角豆646-2  
TEL:029-849-2220 FAX:029-849-2221

Mail: [info@axj.co.jp](mailto:info@axj.co.jp) URL: <https://axis.company>

# Toray Research Center, Inc.

"Contributing to society with advanced technology"  
 Providing through analytical techniques and physical property evaluation.

## Atomic Resolution STEM

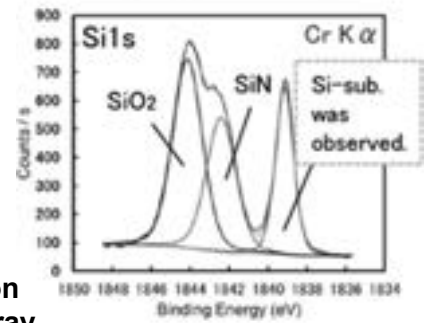


Atomic Contrast with Low Damage

## HAXPES



X-ray (Al K $\alpha$ , Cr K $\alpha$ )



Selectable Detection Depth with Dual X-ray (Al K $\alpha$ , Cr K $\alpha$ )

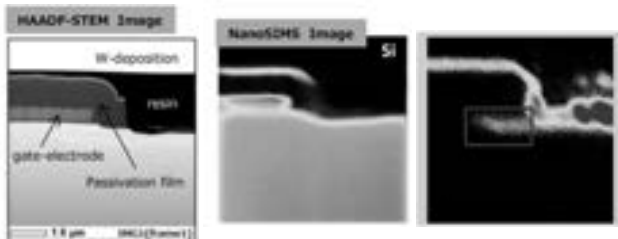
Deeper Detection Depth by Cr K $\alpha$  X-ray

## Nano SIMS



Nano-SIMS

Cross-Sectional Elemental Images of SiC-MOSFET

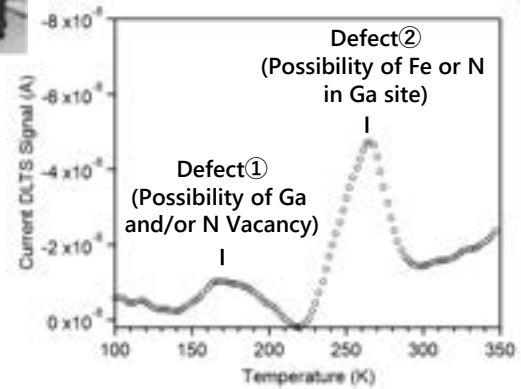
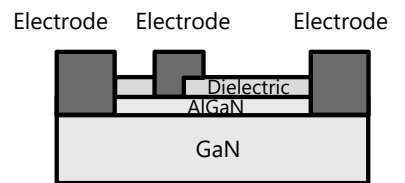


Clear Image of Doped Al in p-well

## DLTS



GaN-HEMT



Highly Sensitive Detection of Defect States

- CONTACT US -

E-mail : [bunseki.trc.mb@trc.toray](mailto:bunseki.trc.mb@trc.toray)  
<https://www.toray-research.co.jp/en/>

# スペクトル超解像

SSRで一步先の分析を

## スペクトル超解像 (SSR) とは？

「スペクトル超解像技術 (Spectral Super-Resolution)」は分光測定と情報学的手法を連動させることによって、波形データの解像度を飛躍的に向上させる、大学発の新技术です。SSRにより、これまでは観察できなかった波形データの形状を明確にし、フィッティングなしで高精度にピーク位置を決定することができます。また、X線光電子分光(XPS)などのデータに対しては、低解像度で測定を行い、SSRで解像度を上げることで測定時間を短縮することも可能です。

スペクトル超解像  
(新技术)



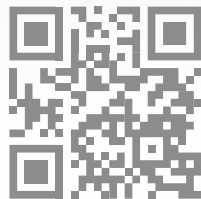
測定精度を担保して波形データの解像度を飛躍的に向上させる技術



名古屋大学 未来材料・システム研究所  
原田 俊太  
info@spectralsr.com



# TEL



**Technology  
Enabling Life**

2025年1月22日(水)

開始時間	終了時間	時間	内容	タイトル	所属	講演者
19:00	20:30	1:30	チュートリアル	まだまだ奥深いALD (原子層堆積) 技術	NIMS	生田目 俊秀

2025年1月23日(木)

開始時間	終了時間	時間	内容	タイトル	所属	講演者
9:00	9:10	0:10	Opening	開会のあいさつ		
<b>1 基調講演I</b>						
9:10	10:00	0:50	基調講演	NANDフラッシュメモリの開発経緯及び次世代メモリに期待すること	国立精華大学	白田 理一郎
10:00	10:20	0:20	休憩			
<b>2 メモリ・表面・薄膜</b>						
10:20	10:50	0:30	招待講演	高速メモリ応用を見据えたChannel-All-Around型強誘電体トランジスタの動作実証	キオクシア	株柳 翔一
10:50	11:10	0:20	一般講演	オゾンを用いたプリア酸化及びポスト酸化によるAl <sub>2</sub> O <sub>3</sub> /Ge MOS界面の研究	千葉大学	高橋 大輝
11:10	11:30	0:20	一般講演	ALD-GeO <sub>2</sub> 界面層を用いたGeSn/Ge pnダイオードの表面パッシベーション	名古屋大学	加藤 芳規
11:30	11:50	0:20	一般講演	WSe <sub>2</sub> 上のALD実現に向けたUV-O <sub>3</sub> 暴露と真空アニールによる最表面へのSe欠陥導入	千葉大学	小島 拓也
11:50	12:10	0:20	一般講演	高導電性Ceドープ水素化酸化インジウム(ICO:H)薄膜の開発	産総研	工藤 晃哉
12:10	13:30	1:20	休憩			
<b>P ポスターセッション</b>						
13:30	15:10	1:40	ポスター			
15:10	15:20	0:10	休憩			
<b>3 基調講演II</b>						
15:20	16:10	0:50	基調講演	ダイヤモンド量子センサの可能性	東京科学大学	波多野 睦子
16:10	16:40	0:30	休憩/写真撮影			
<b>4 量子コンピュータ・SiC・GaN</b>						
16:40	17:10	0:30	招待講演	ノイズ耐性を向上するConcatenated Continuous Drivingを用いたシリコン量子ビット操作技術	日立製作所	久野 拓馬
17:10	17:30	0:20	一般講演	第一原理計算を用いた4H-SiC中の基底面転位(BPD)拡張メカニズムの解明	名古屋大学	佐野 雅季
17:30	17:50	0:20	一般講演	第一原理計算を用いたNOアニール後のSiC(1-100)/SiO <sub>2</sub> 界面の電子状態解析	神戸大学	杉山 耕生
17:50	18:10	0:20	一般講演	GaNエピタキシャル成長におけるMg不純物取り込み機構の解析	名古屋大学	大木 淳平
18:10	18:30	0:20	休憩			
<b>交流会</b>						
18:30	20:10	1:40	交流会			

2025年1月24日(金)

開始時間	終了時間	時間	内容	タイトル	所属	講演者
8:55	9:00	0:05	2日目案内			
<b>5 薄膜・デバイス</b>						
9:00	9:30	0:30	招待講演	CSD法を用いた機能性酸化物薄膜及びデバイス応用に関する検討	村田製作所	宮迫 毅明
9:30	9:50	0:20	一般講演	高性能多結晶Ge薄膜トランジスタに向けた低温粒界制御成長	筑波大学	居倉 功汰
9:50	10:10	0:20	休憩			
<b>6 企画セッション</b>						
10:10	12:10	2:00	企画セッション	最先端半導体デバイスの開発動向		
				先端ロジックデバイスの開発動向：2nmからBeyond 2nmへ	東京大学	平本 俊郎
				2D FETの研究状況や応用へ向けた課題	東京科学大学	若林 整
				車載パワーデバイスの技術動向とその課題	豊田中央研究所	山下 侑佑
				最新3Dフラッシュメモリ技術動向と将来展望	キオクシア	大内 和也
12:10	13:30	1:20	昼食			
<b>7 理論・エネルギーハーベスティング</b>						
13:30	14:00	0:30	招待講演	第一原理量子論で見るシリコンテクノロジー	名古屋大学	白石 賢二
14:00	14:20	0:20	一般講演	キャパティ付き集積熱電デバイスの微細化効果	早稲田大学	三浦 拓也
14:20	14:40	0:20	一般講演	マイクロ集積熱電デバイスの熱電レグ部に印可される温度差の特定	早稲田大学	荒山 瀧一朗
14:40	15:00	0:20	一般講演	アルカリ金属で作製されるアモルファスSiO <sub>2</sub> 薄膜エレクトレットの第一原理計算による帯電状態評価	名古屋大学	桐越 大貴
15:00	15:20	0:20	休憩			
<b>8 Si表面・MOS界面</b>						
15:20	15:50	0:30	招待講演	CMOSイメージセンサの特性向上に寄与する新たな機能性シリコンウエーハの研究	SUMCO	奥山 亮輔
15:50	16:20	0:30	招待講演	シリコン酸化膜のためのReaxFF開発と原子レベルプロセス評価	日本サムスン	野秋 淳一
16:20	16:40	0:20	一般講演	レーザー角度分解光電子分光法を用いたホールサブバンドの高分解能測定	東レリサーチセンター	坂田 智裕
16:40	16:50	0:10	休憩			
<b>表彰式・閉会式</b>						
16:50	17:10	0:20	Closing	表彰式など		



ポスターセッション	ID	タイトル	所属	講演者
1月23日 13:30-15:10	P01	4H-SiC表面近傍に誘起した炭素欠陥の高温水素雰囲気による低減効果	東京大学	呂 楚陽
コアタイム IDが奇数の講演者 前半(13:30-14:20) IDが偶数の講演者 後半(14:20-15:10)	P02	4H-SiC表面に対するNラジカル窒化とNOアニール窒化の表面N密度飽和挙動を決定する因子の違い	東京大学	吉田 遥希
	P03	電子線照射により生成したSiO <sub>2</sub> /Si界面欠陥分布の評価	筑波大学	清水 峻央
	P04	実験室系HAXPESによる不純物濃度の異なる基板を用いたMOS構造の電圧印加特性評価	明治大学	箕輪 卓哉
	P05	エッチング溶液中C-V測定によるSiO <sub>2</sub> 膜中固定電荷分布評価	筑波大学	渡部 智也
	P06	MOSFET極低温動作におけるバンド端準位の影響：mK帯SS温度依存性の定量的理論検討	東京理科大学	小林 唯華
	P07	200nmSOI-MOSFETの極低温での正方向の基板バイアス依存性 -極低温でのみ発生するBox界面でのトラップ現象-	金沢工業大学	李 龍聖
	P08	ALD酸化剤へのH <sub>2</sub> O <sub>2</sub> の適用によるHf <sub>0.5</sub> Zr <sub>0.5</sub> O <sub>2</sub> 薄膜の低温結晶化の促進	東京大学	車 浩銘
	P09	Hf <sub>0.5</sub> Zr <sub>0.5</sub> O <sub>2</sub> を用いたMFMキャパシタの電気的特性の温度変化	愛知工業大学	手島 蒼生
	P10	トンネルFET用Ti <sub>0.3</sub> Zn <sub>0.7</sub> O <sub>1.3</sub> チャネルの電子物性に対して界面形成プロセスが与える影響	明治大学	小川 健太
	P11	SiH <sub>4</sub> 照射による極薄Ni膜のシリサイド化反応制御	名古屋大学	谷田 駿
	P12	成長したGeS薄膜における複屈折効果の観察	NIMS	張 秦強
	P13	CVD単層MoS <sub>2</sub> を用いたMISキャパシタにおけるCV特性評価	千葉大学	中村 志穂
	P14	二次元半導体材料の界面準位密度評価手法	筑波大学	佐藤 優
	P15	グラフェン/スマネン/グラフェン積層構造の抵抗変化現象	東京都市大学	川合 遼一
	P16	F6-TCNNQ単分子層成膜によるWSe <sub>2</sub> 上へのALD成膜評価	千葉大学	松田 健生



# 第30回 電子デバイス界面テクノロジー研究会 チュートリアル

## まだまだ奥深いALD(原子層堆積)技術

物質・材料研究機構  
生田目 俊秀

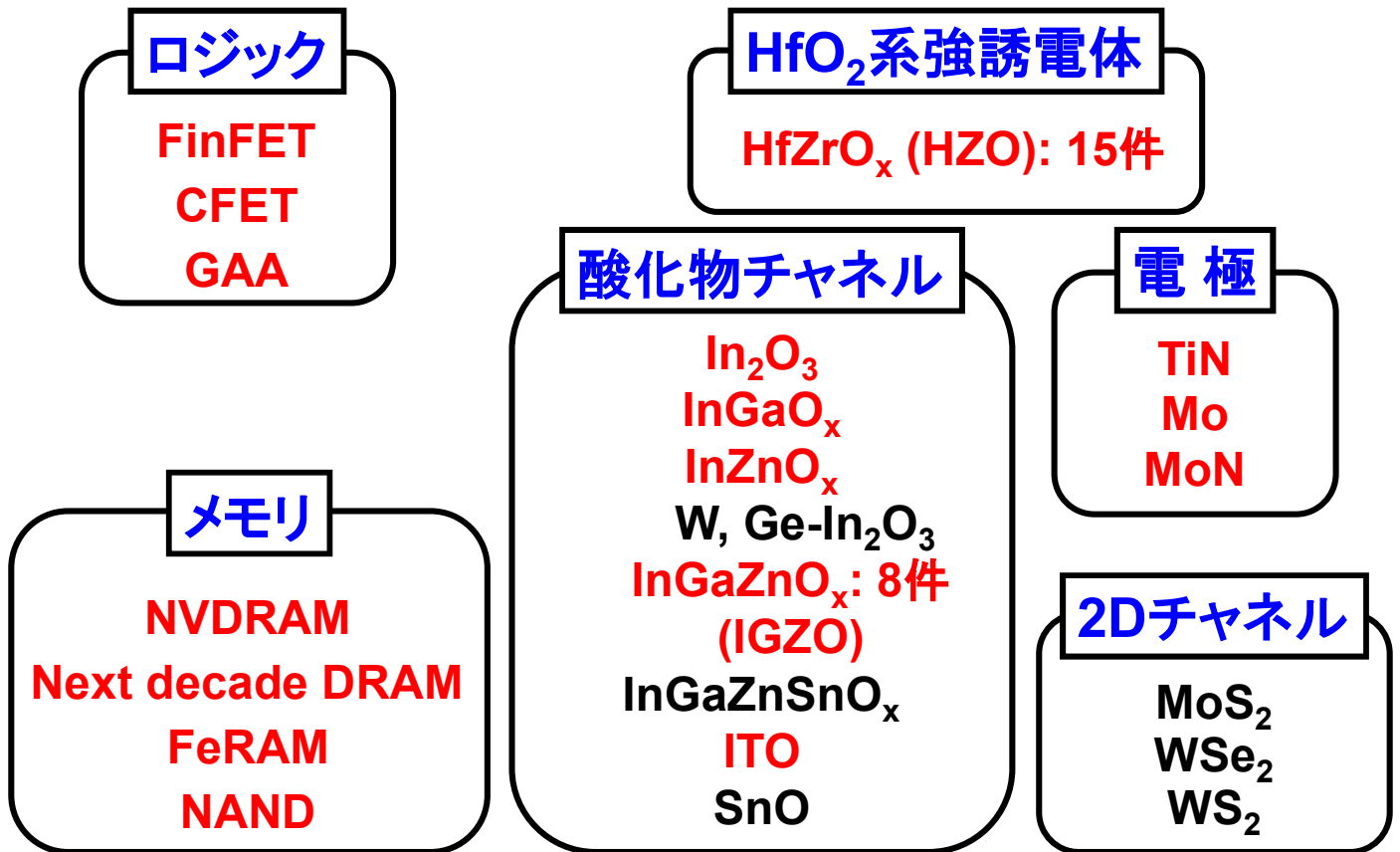
EDIT30\_2025.1.22

### 目次

---

1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
4. 酸化ガスの連続供給技術
5. 原料ガスの吸着律速と選択ALD
6. 2DへのALD技術

# VLSI2024から見えるALD技術

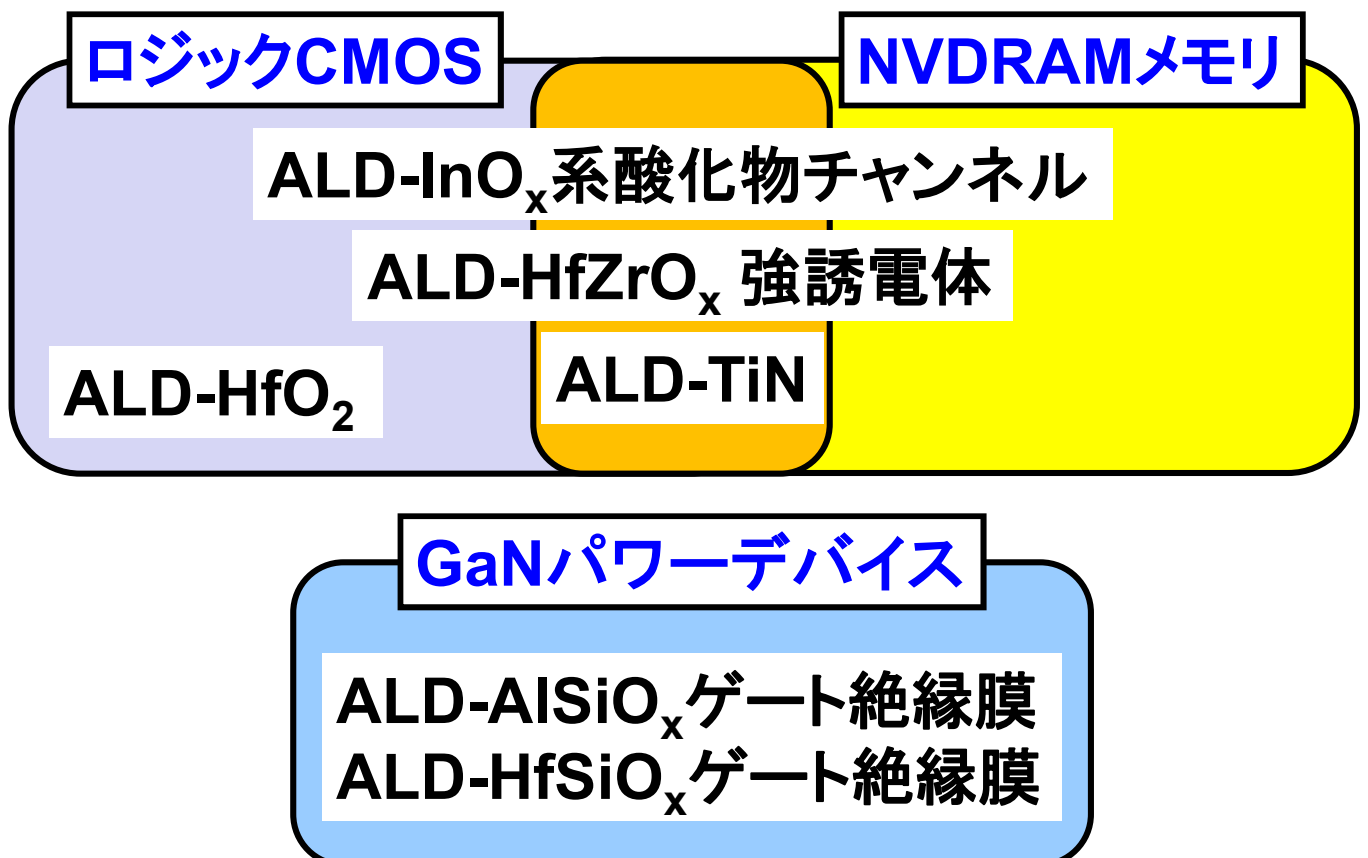


赤色:ALDが用いられている。

EDIT30\_2025.1.22

Toshihide Nabatame

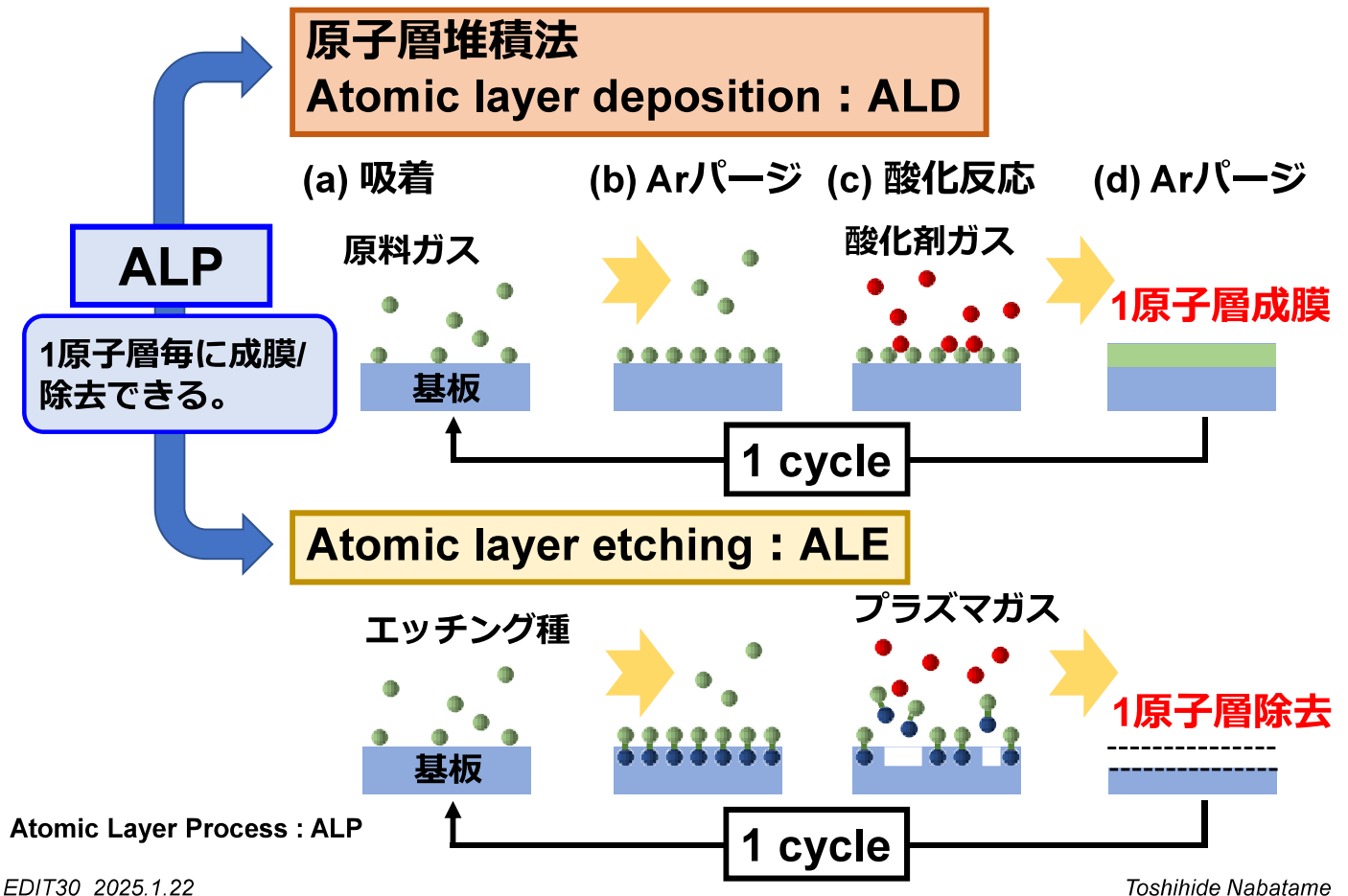
## ALD技術が用いられている最先端電子デバイス



EDIT30\_2025.1.22

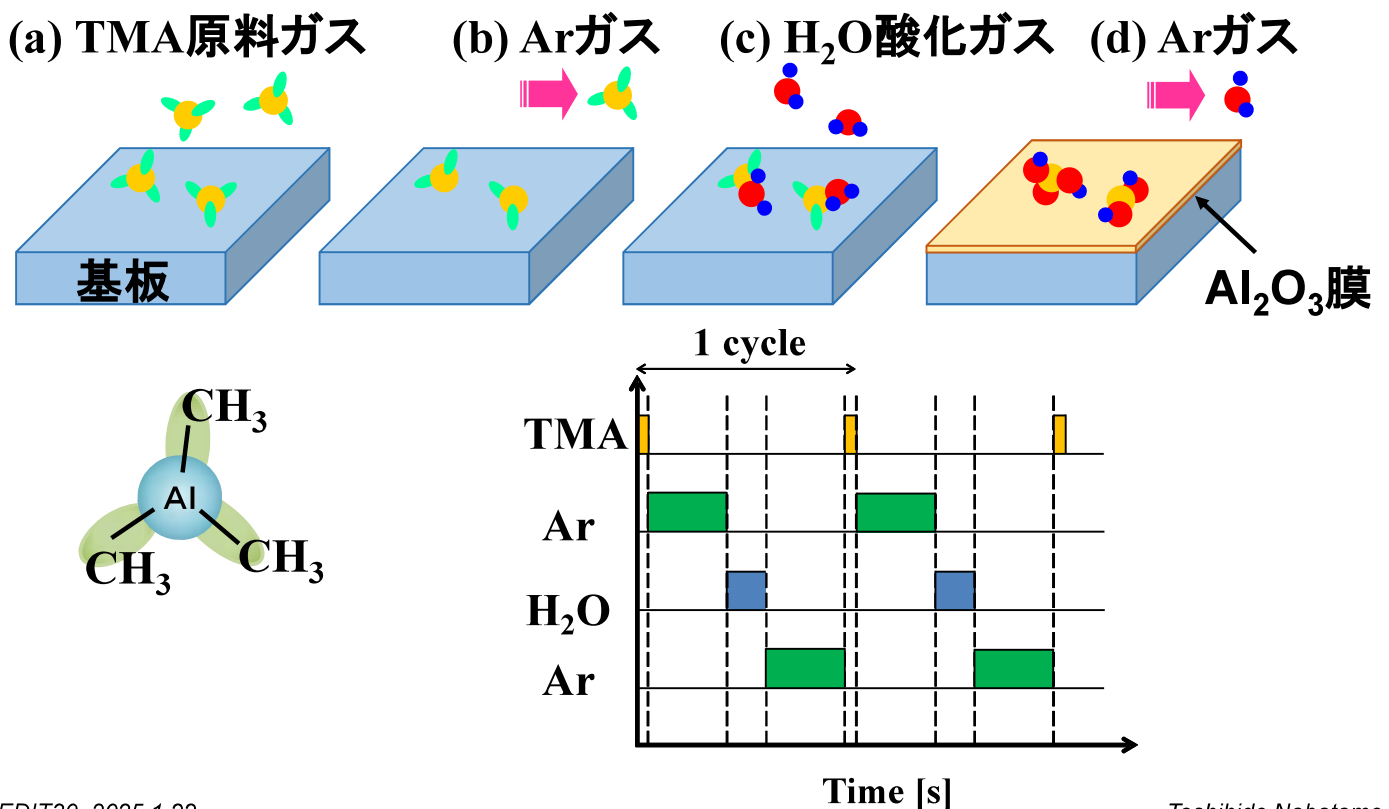
Toshihide Nabatame

# 原子層プロセス (ALP) とは？



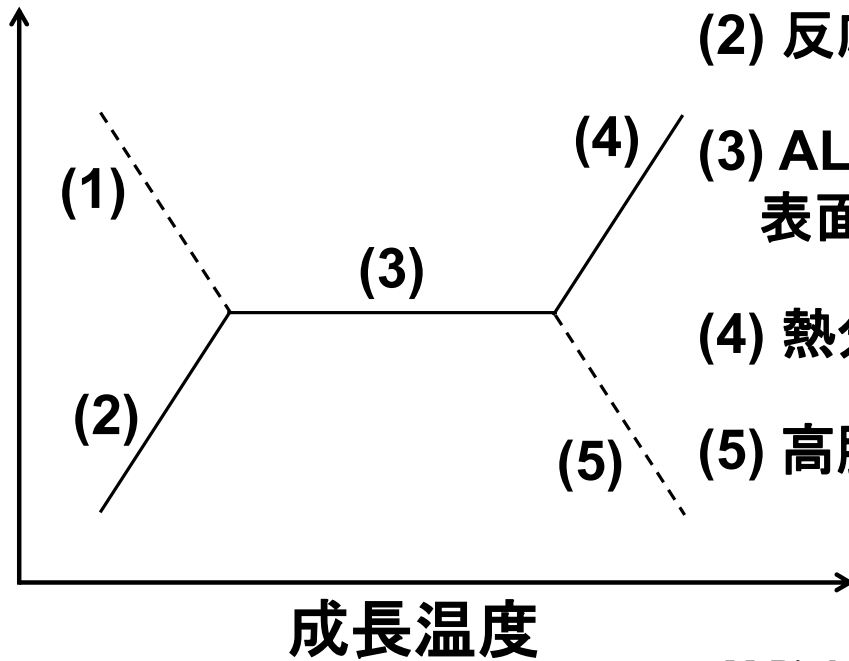
## ALD法について

### Al(CH<sub>3</sub>)<sub>3</sub> (TMA)原料を用いたAl<sub>2</sub>O<sub>3</sub>膜の作製



# どこがALDモード？

成長速度



(1) 物理吸着モード

(2) 反応律速モード

(3) ALDモード  
表面飽和吸着律速

(4) 熱分解反応モード

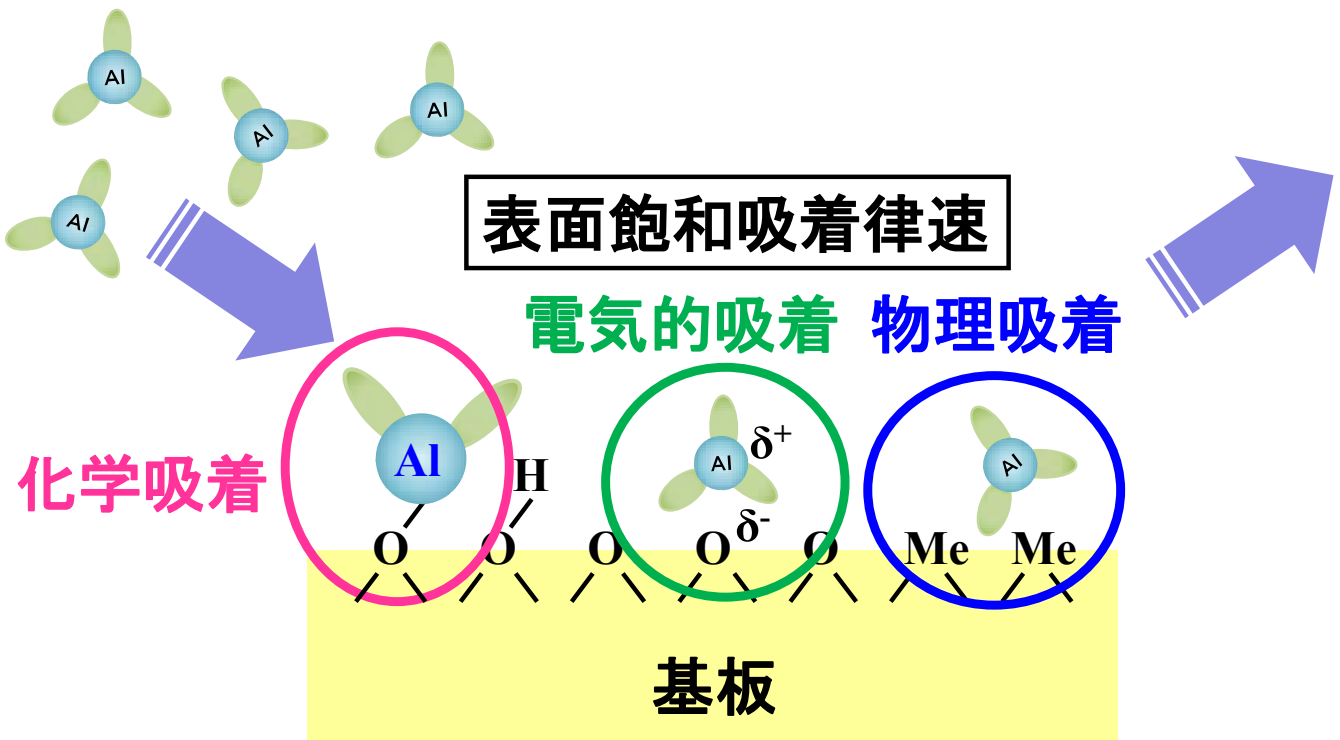
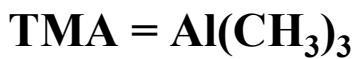
(5) 高脱離モード

M. Ritala, handbook of thin film materials

EDIT30\_2025.1.22

Toshihide Nabatame

## (3)ALDモード

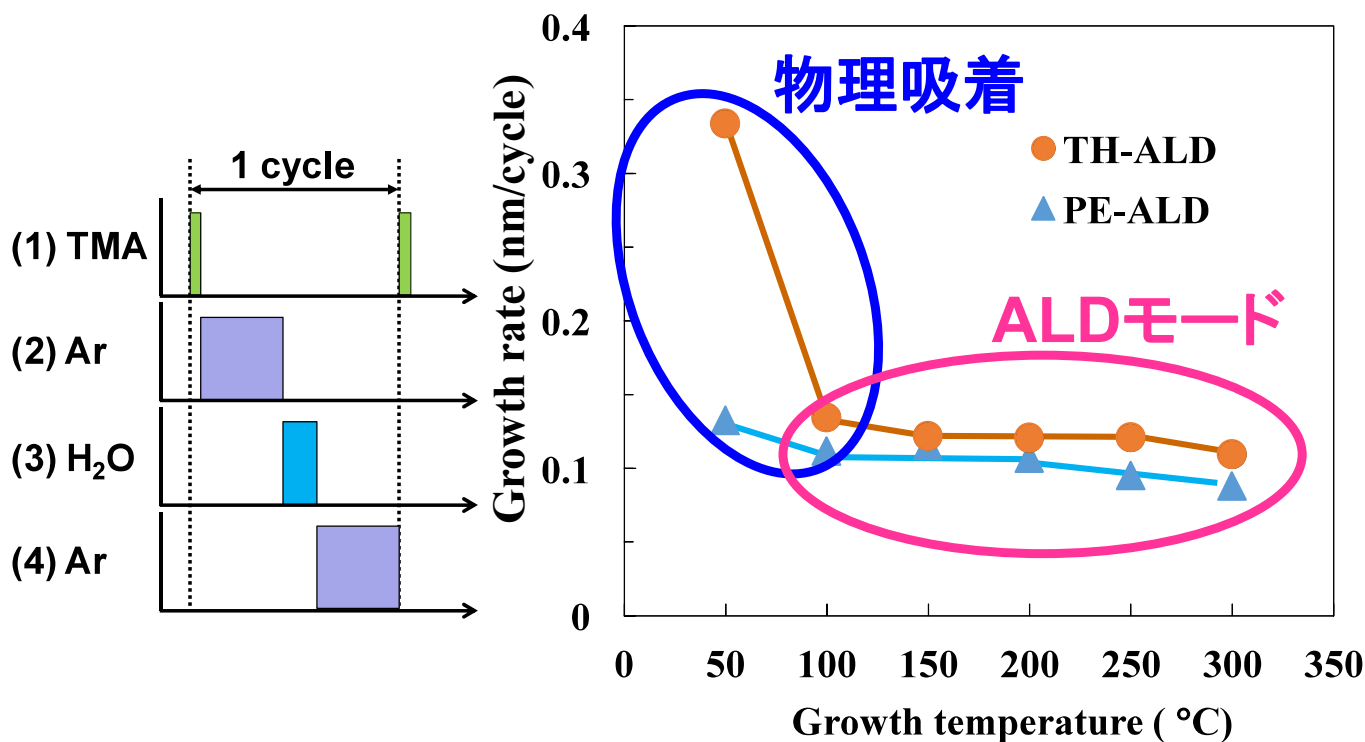


EDIT30\_2025.1.22

Toshihide Nabatame



# ALD-Al<sub>2</sub>O<sub>3</sub> 膜の成長モード



ALDモードと物理吸着が現れる。

EDIT30\_2025.1.22

Toshihide Nabatame

## ALDモードの利点

### (3) ALDモード 表面飽和吸着律速

- ★3次元構造の溝内部へも均質膜を成膜
- ★低温度成膜が可能
- ★原子レベルで膜厚を制御

EDIT30\_2025.1.22

Toshihide Nabatame

# ALDの歴史

1974  
50年前

Helsinki大

R. L. Puurunen et al., Chem. Vap. Deposition 20, 332 (2014).

Suntolaの特許

United States Patent [19]

[11] 4,058,430

Suntola et al.

[45] Nov. 15, 1977

[54] METHOD FOR PRODUCING COMPOUND THIN FILMS

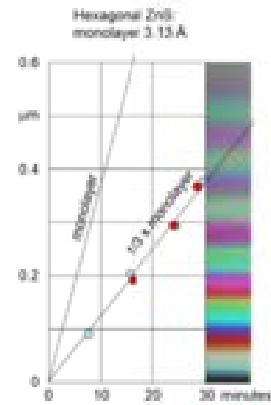
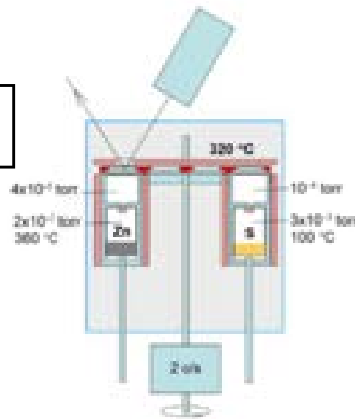
OTHER PUBLICATIONS

[76] Inventors: Tuomo Suntola, Riihikallio, 02610 Espoo 61, Finland; Jorma Antton, Urheilutie 22, 01350, Vantaa 35, Finland

Curzon et al., J. Phys. D: Appl. Phys. vol. 5, No. 5 (1972), pp. 1046-1048.

Primary Examiner—Harry J. Gwinnell  
Attorney, Agent, or Firm—Steinberg & Blake

ZnS film



# ALDの歴史

1974

Helsinki大

Suntolaの特許

St. Petersburg

1981

西澤先生@東北大

1983

ALE-EL Display

Helsinki-Vantaa Airport



2000

High-k絶縁膜 in CMOS

現在

選択-ALD  
常圧-ALD  
粒子へのALD

# ALD法で検討されている元素

周期表

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
1	H																2	
2	3	4										5	6	7	8	9	10	
	Li	Be										B	C	N	O	F	Ne	
3	11	12										13	14	15	16	17	18	
	Na	Mg										Al	Si	P	S	Cl	Ar	
4	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36
	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54
	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	55	56	ランタノイド系	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86
	Cs	Ba		Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	87	88	アクチノイド系	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118
	Fr	Ra		Rf	Db	Sg	Bh	Hs	Mt	Ds	Rg	Cn	Nh	Fl	Mc	Lv	Ts	Og
			ランタノイド系	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71
				La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu
			アクチノイド系	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103
				Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr

元素数: 50

R. L. Puurunen., J. Appl. Phys. 97, 121301 (2005).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD法による膜形成 (NIMS)

周期表

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	
1	H																2	
2	3	4											5	6	7	8	9	10
	Li	Be											B	C	N	O	F	Ne
3	11	12											13	14	15	16	17	18
	Na	Mg											Al	Si	P	S	Cl	Ar
4	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36
	K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
5	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54
	Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
6	55	56	ランタノイド系	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86
	Cs	Ba		Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
7	87	88	アクチノイド系	104	105	106	107	108	109	110	111	112	113	114	115	116	117	118
	Fr	Ra		Rf	Db	Sg	Bh	Hs	Mt	Ds	Rg	Cn	Nh	Fl	Mc	Lv	Ts	Og
			ランタノイド系	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71
				La	Ce	Pr	Nd	Pm	Sm	Eu	Gd	Tb	Dy	Ho	Er	Tm	Yb	Lu
			アクチノイド系	89	90	91	92	93	94	95	96	97	98	99	100	101	102	103
				Ac	Th	Pa	U	Np	Pu	Am	Cm	Bk	Cf	Es	Fm	Md	No	Lr

酸化膜

金属膜

酸化物半導体膜

元素数: 15

EDIT30\_2025.1.22

Toshihide Nabatame

# 目次

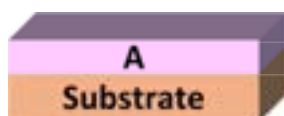
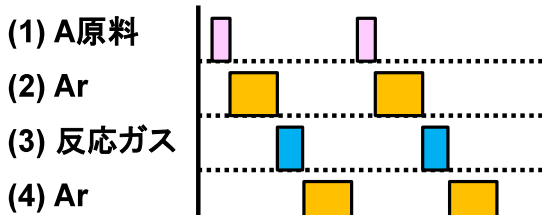
1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
4. 酸化ガスの連続供給技術
5. 原料ガスの吸着律速と選択ALD
6. 2DへのALD技術

EDIT30\_2025.1.22

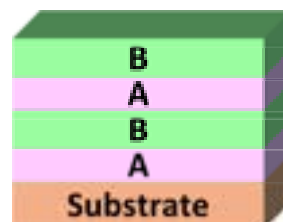
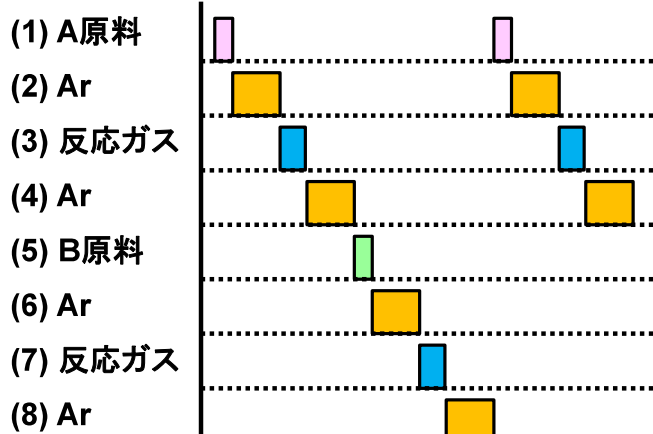
Toshihide Nabatame

## ALDシーケンス(単相、A/Bラミネート)

### (a) 単層膜



### (b) A/Bラミネート膜

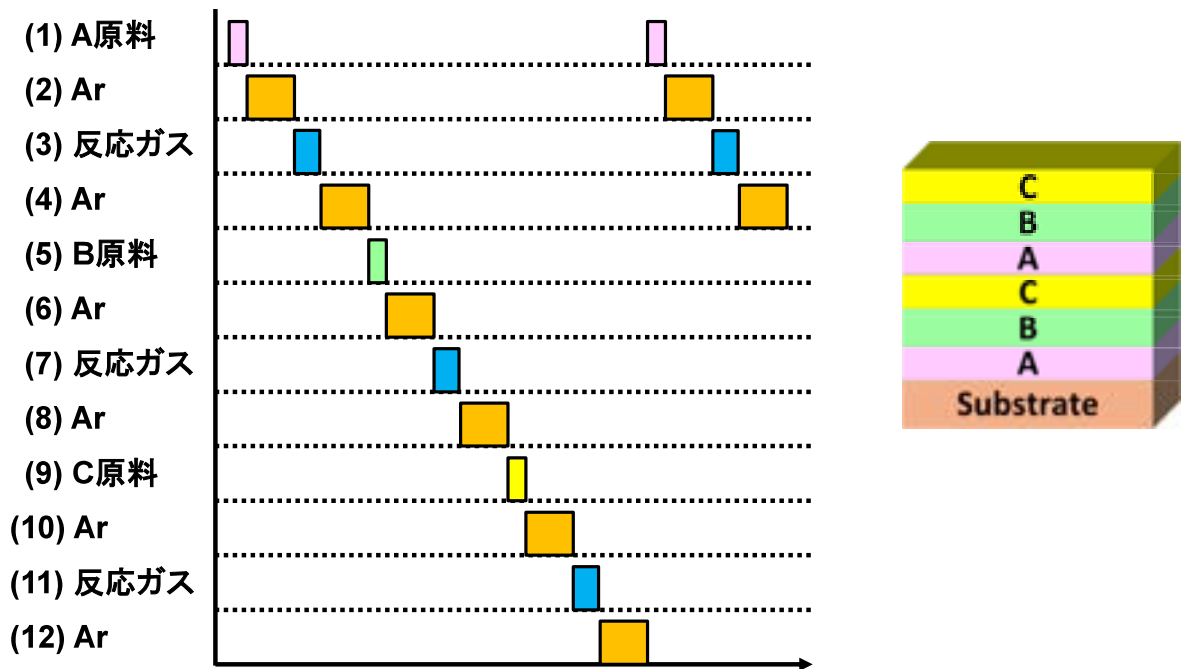


EDIT30\_2025.1.22

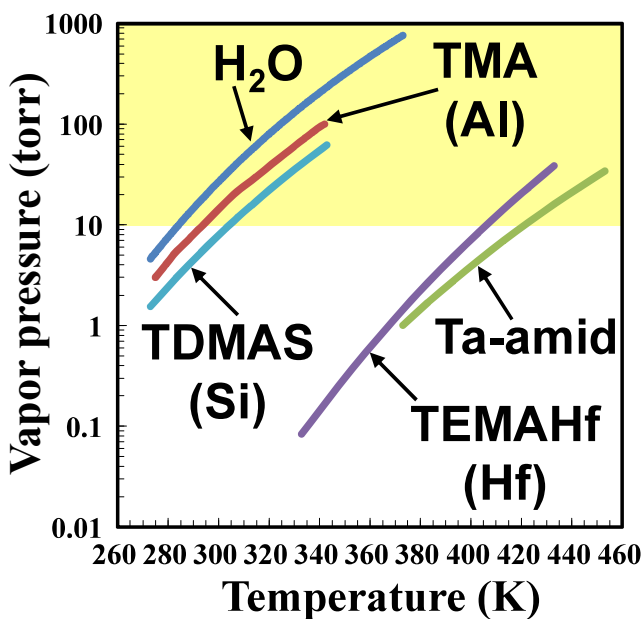
Toshihide Nabatame

# ALDシーケンス (A/B/Cラミネート)

(c) A/B/Cラミネート膜



## ALD原料に要求される事

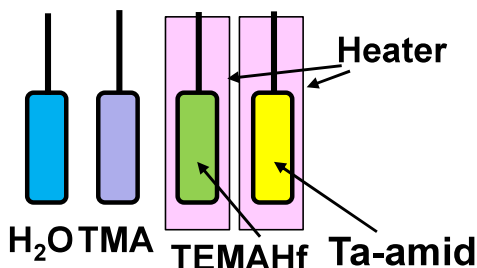


(a) 高い蒸気圧  
低い ⇒ ボトルを保温

(b) 高い熱的安定性  
自己分解反応しない

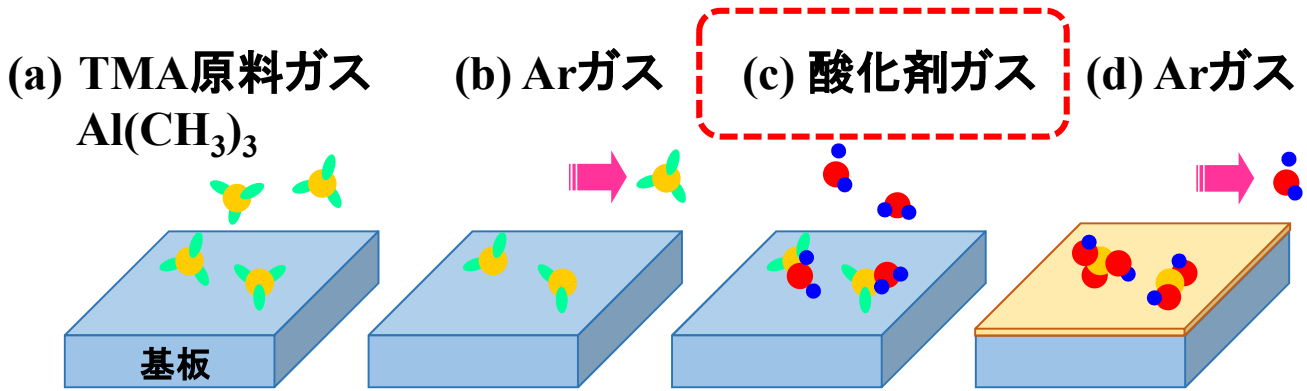
(c) 高い反応性  
残留不純物を低減

(d) 液体





# 原子層堆積(ALD)法と特徴(酸化剤ガス)



酸化剤ガスの違いによる $\text{Al}_2\text{O}_3$ 膜の膜質は？

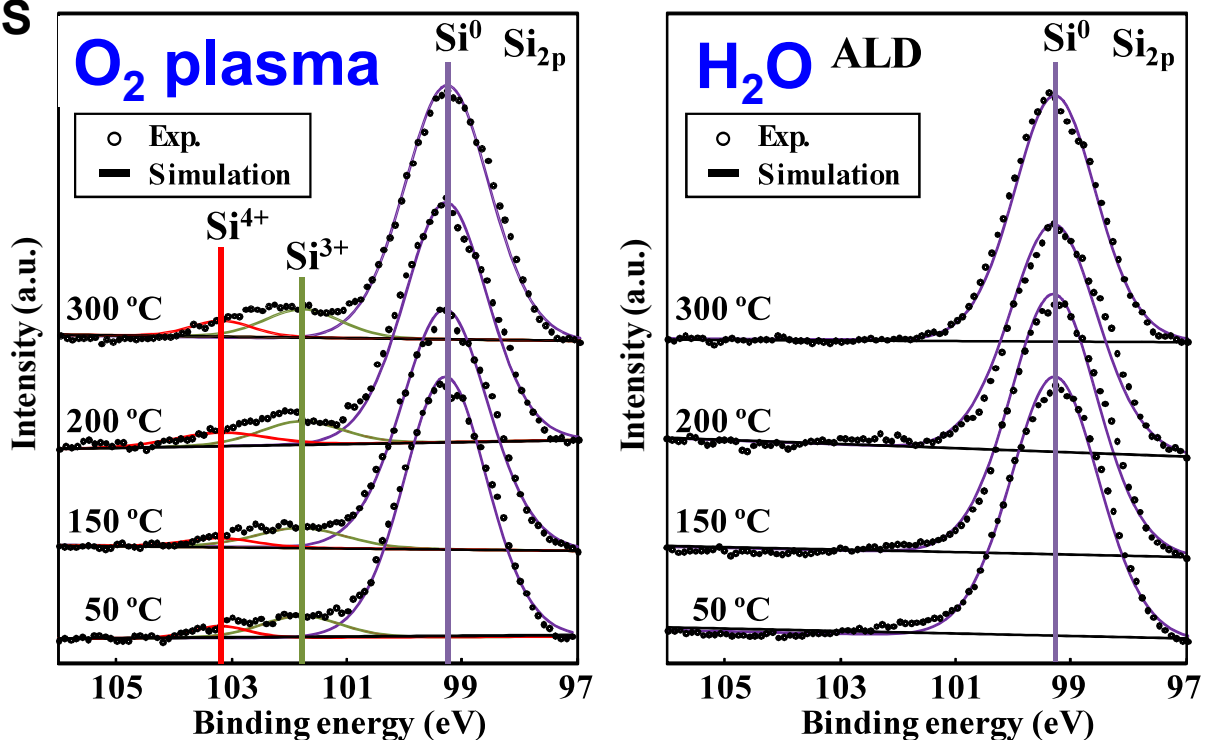
- ・ $\text{H}_2\text{O}$
- ・ $\text{O}_2$  plasma

EDIT30\_2025.1.22

Toshihide Nabatame

## $\text{H}_2\text{O}$ と $\text{O}_2$ plasmaの酸化力の違い

NIMS

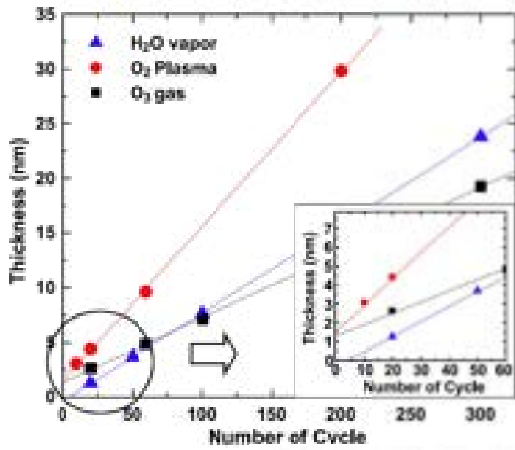


T. Nabatame et al., Vac. and Surf. Sci. 61, 280 (2018).

EDIT30\_2025.1.22

Toshihide Nabatame

# 酸化剤 (H<sub>2</sub>O vs O<sub>3</sub> vs O<sub>2</sub> plasma)

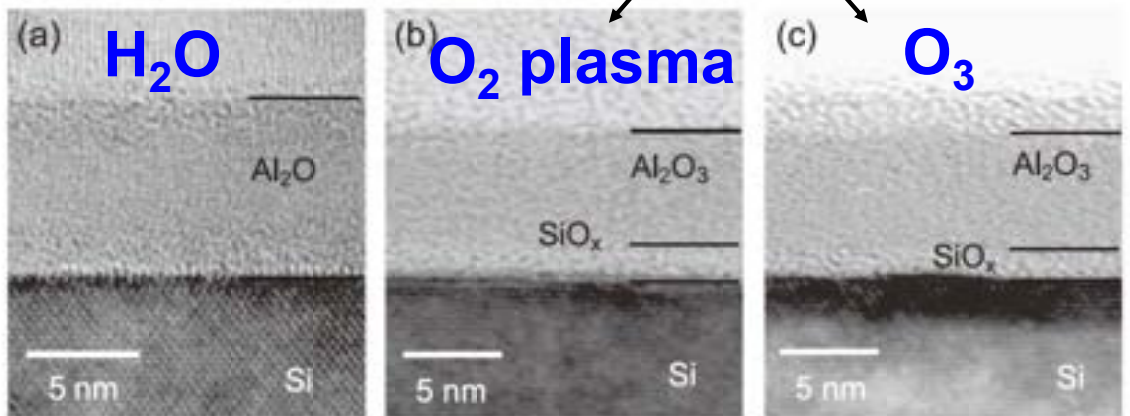


酸化能力の強さ

O<sub>2</sub> plasma > O<sub>3</sub> > H<sub>2</sub>O

H<sub>2</sub>O<sub>2</sub>

SiO<sub>x</sub> 界面層の成長



S-C. Ha et al, Thin Solid Films 476, 252 (2005).

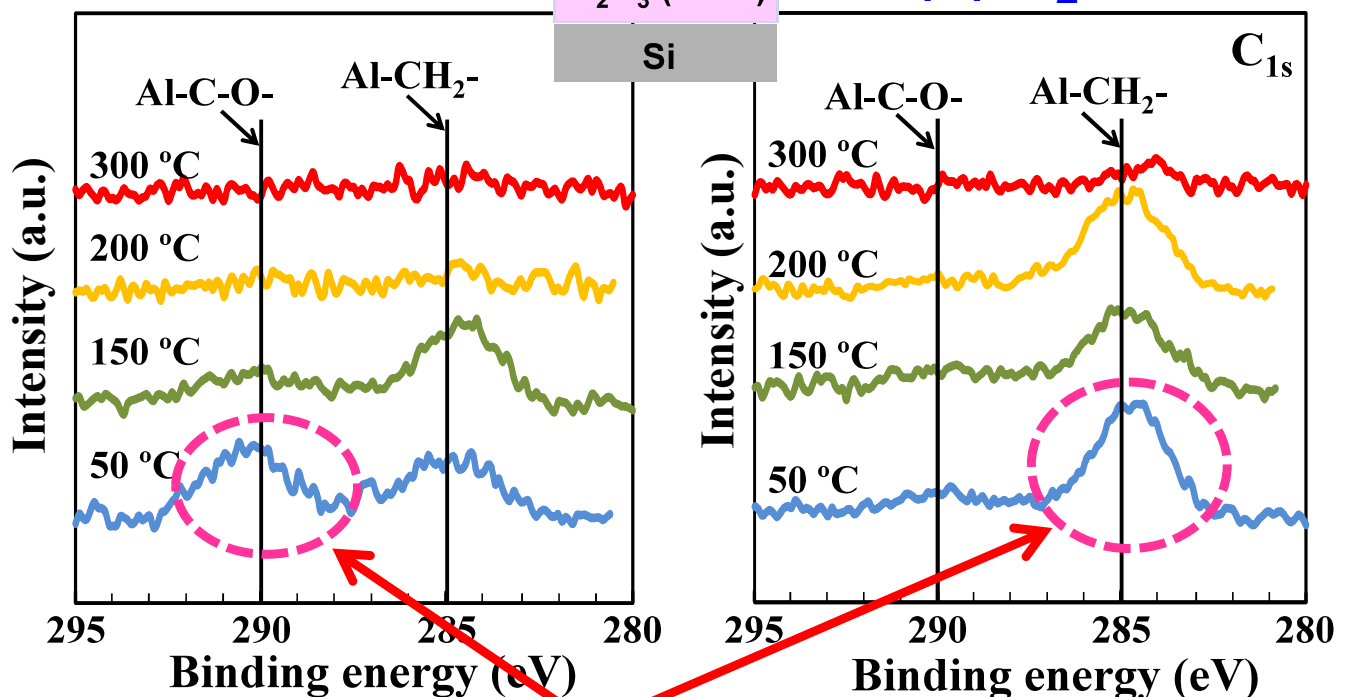
Toshihide Nabatame

EDIT30\_2025.1.22

# H<sub>2</sub>OとO<sub>2</sub> plasmaの酸化力の違い

(a) O<sub>2</sub> plasma

(b) H<sub>2</sub>O



酸化ガスの相違で、分解の中間生成物が異なる。

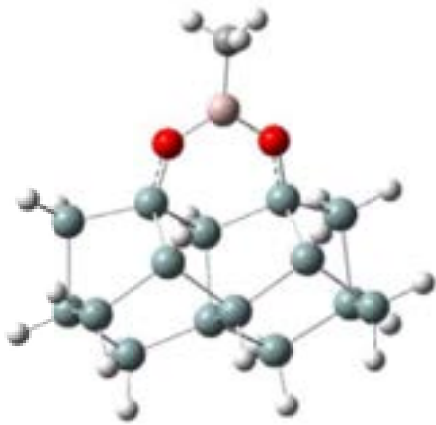
T. Nabatame et al., Vac. and Surf. Sci. 61, 280 (2018).

Toshihide Nabatame

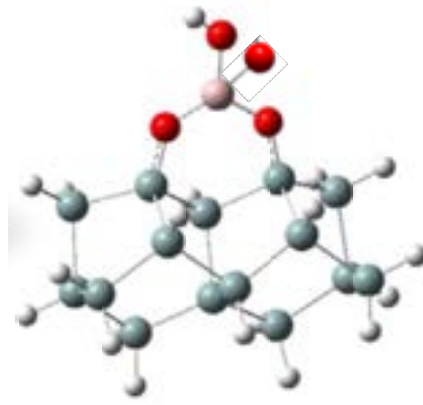
EDIT30\_2025.1.22

# H<sub>2</sub>O<sub>2</sub>酸化剤と酸化の強さ

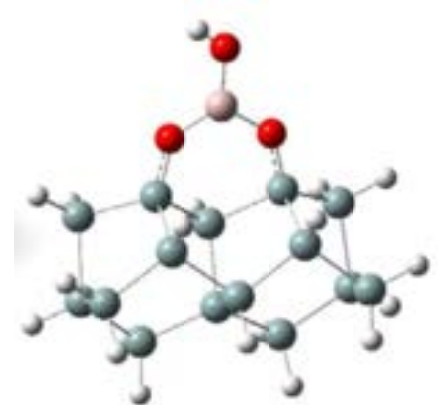
## H<sub>2</sub>O<sub>2</sub>酸化剤ガス



Al-CH<sub>3</sub>\*



Al-O<sub>2</sub>H\*



Al-OH\*

S. Seo et al, Appl. Surf. Sci. 45, 376 (2018).

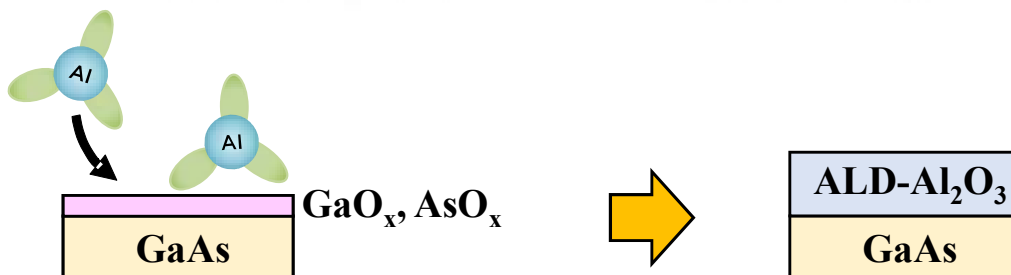
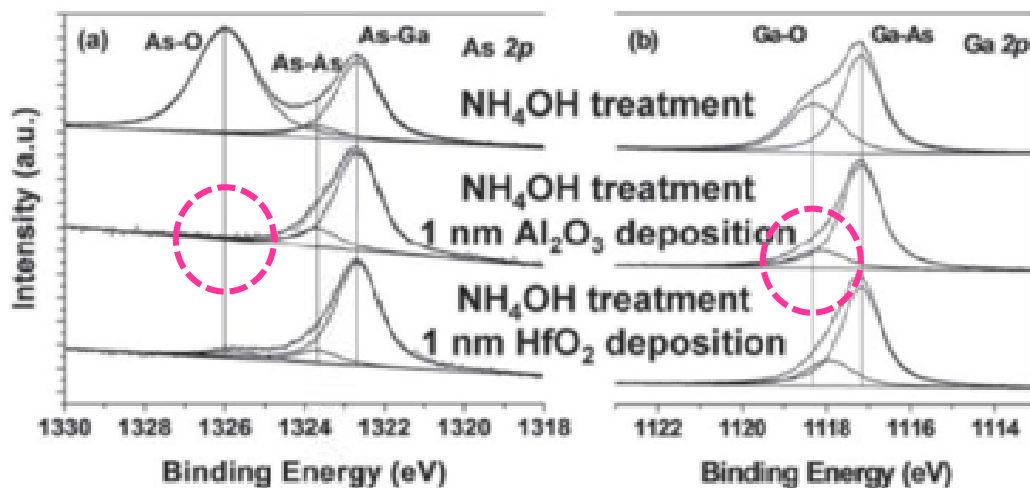
### 酸化の強さ

O<sub>2</sub> plasma > O<sub>3</sub> > H<sub>2</sub>O<sub>2</sub> >> H<sub>2</sub>O

EDIT30\_2025.1.22

Toshihide Nabatame

# TMA吸着によるGaO<sub>x</sub>&AsO<sub>x</sub>の酸素除去



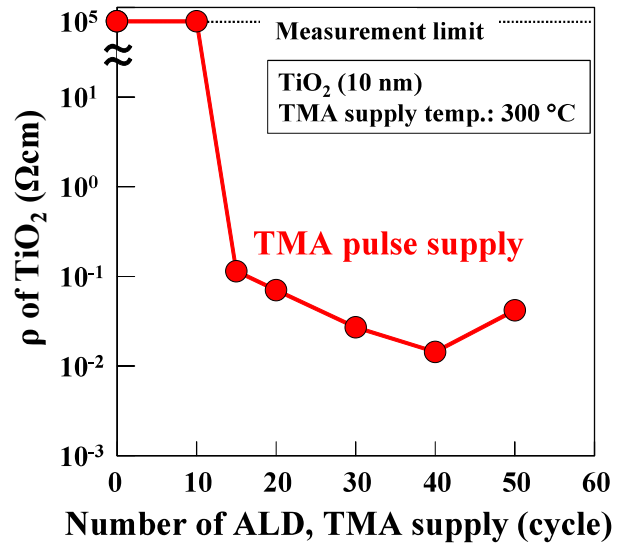
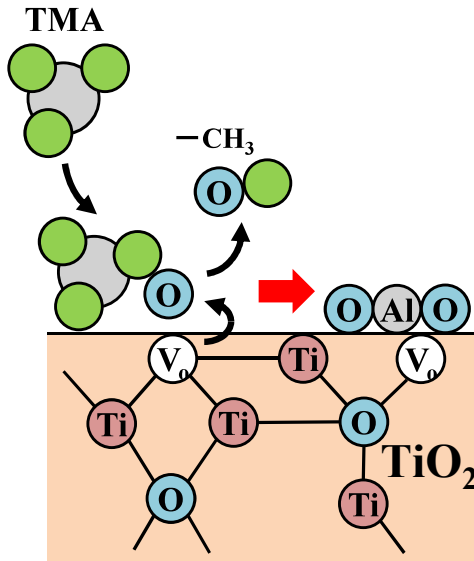
C. L. Hinkle et al., Appl. Phys. Lett. 92, 071901 (2008).

EDIT30\_2025.1.22

Toshihide Nabatame

# TiO<sub>2</sub>基板でのTMA効果

## NIMS



T. Nabatame et al., ECS Trans. 92, 15 (2019).

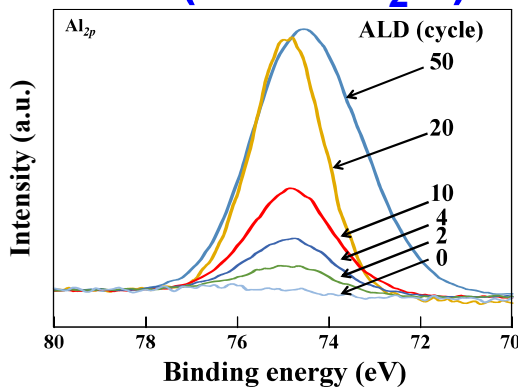
EDIT30\_2025.1.22

Toshihide Nabatame

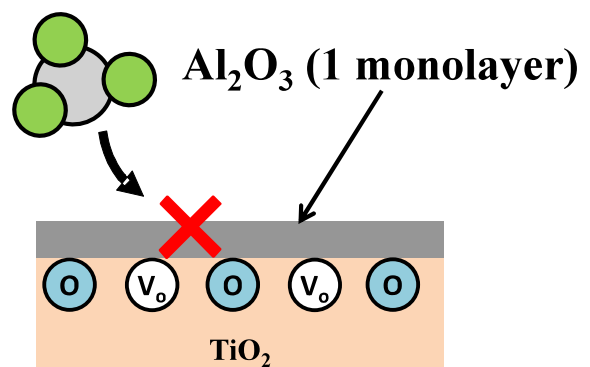
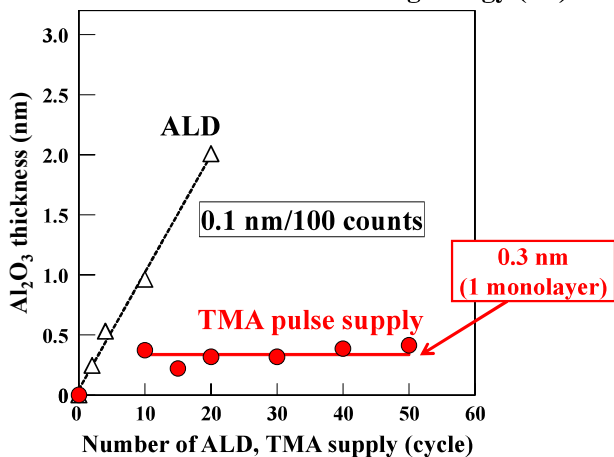
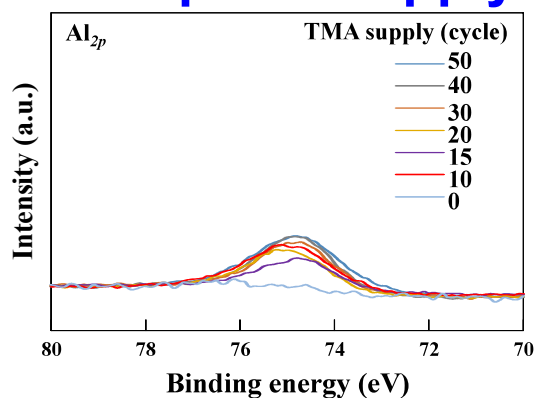
# TiO<sub>2</sub>基板でのTMA効果

## NIMS

### ALD (TMA+H<sub>2</sub>O)



### TMA pulse supply

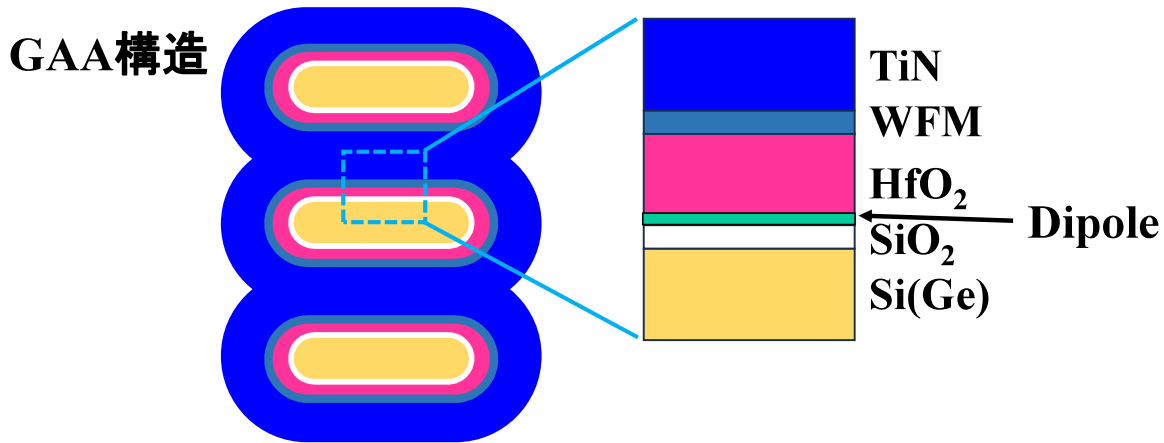


T. Nabatame et al., ECS Trans. 92, 15 (2019).

EDIT30\_2025.1.22

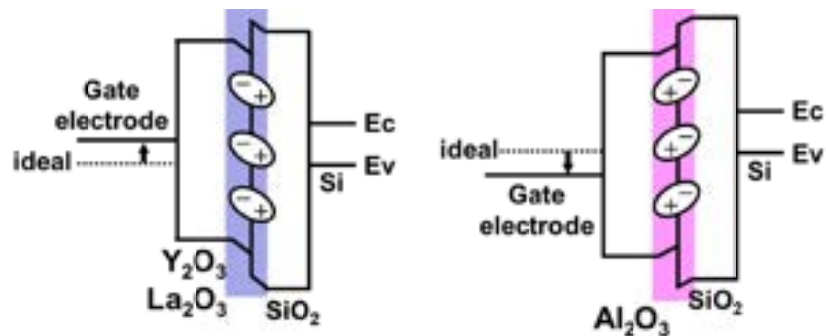
Toshihide Nabatame

# SiロジックでのALD技術



(a) N-Dipole

(b) P-Dipole



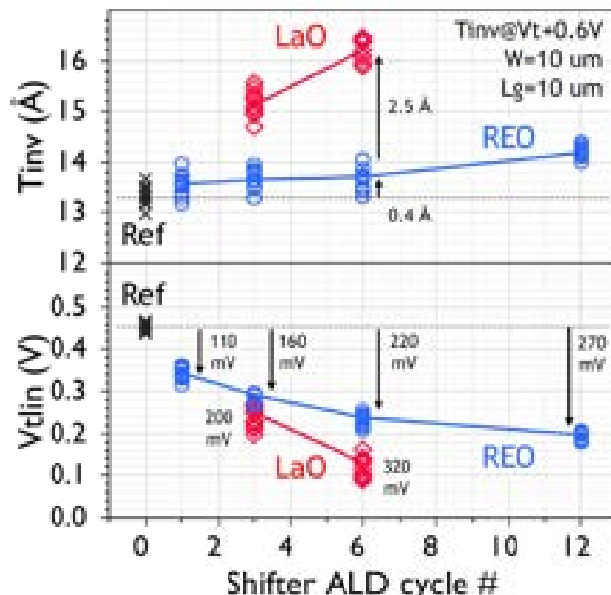
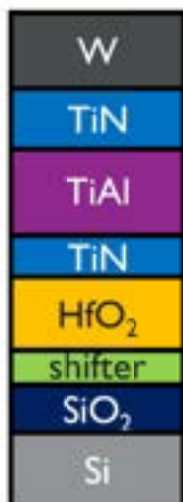
EDIT30\_2025.1.22

Toshihide Nabatame

# SiロジックでのALD技術

○ 3D構造で、チャネル材料が変わってもゲート絶縁膜及び電極の成膜は、ALD技術が継続。

○ **ALD数サイクルでの膜厚制御が要求。**



imec

H. Arimura et al., VLSI2024, T11.1 (2024).

Toshihide Nabatame

EDIT30\_2025.1.22



# SiロジックでのALD技術

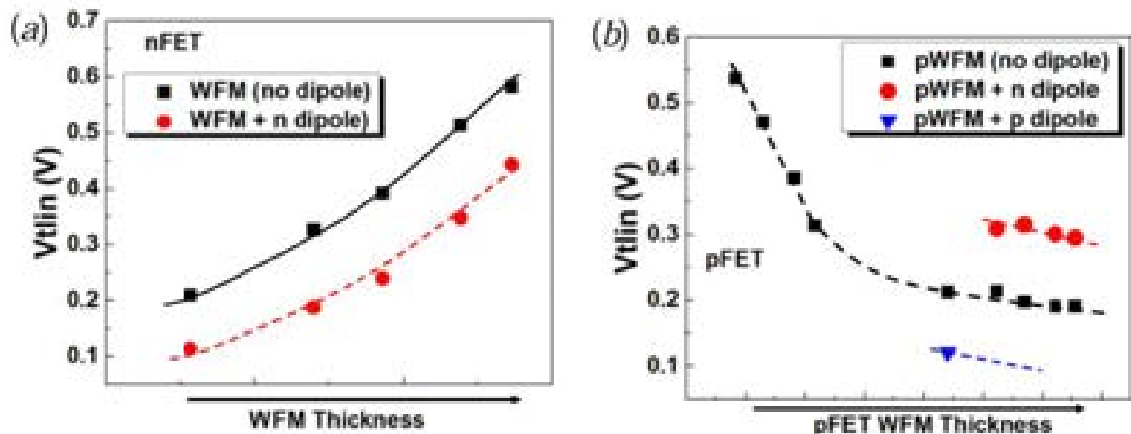


Fig. 14.  $V_t$  sensitivity to pFET WFM thickness in metal multi- $V_t$  for nFET and pFET. There is a  $V_t$  saturation for pFET  $V_t$  modulation with pWFM thickness. p-dipole can help pFET  $V_t$  reduction.

IBM & Rapius

R. Bao et al., IEDM2024, 2.3 (2024).

EDIT30\_2025.1.22

Toshihide Nabatame

## 目次

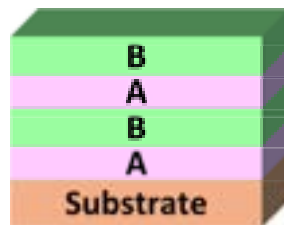
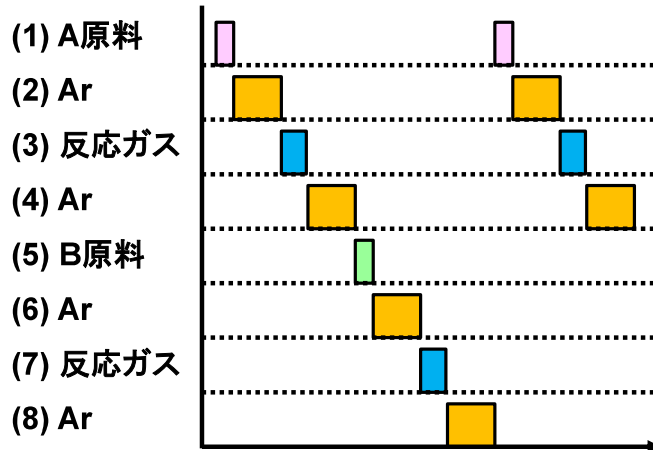
1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
4. 酸化ガスの連続供給技術
5. 原料ガスの吸着律速と選択ALD
6. 2DへのALD技術

EDIT30\_2025.1.22

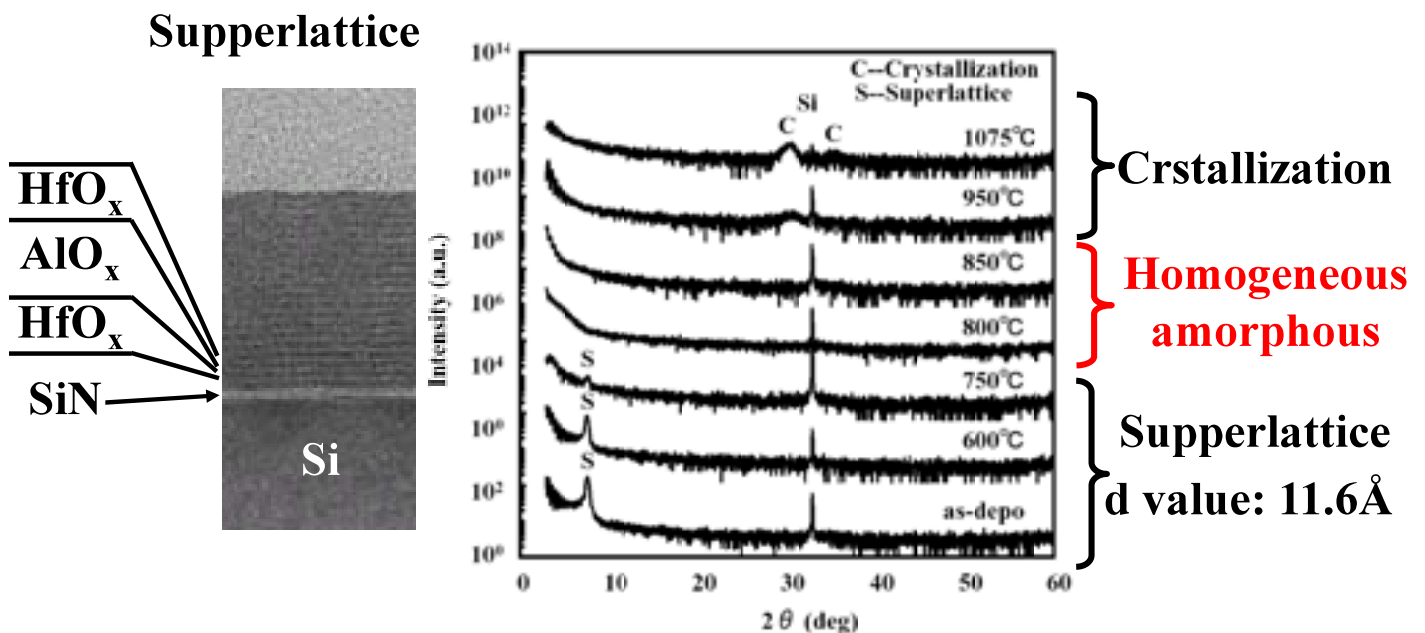
Toshihide Nabatame

# ALDシーケンス (A/Bラミネート)

(b) A/Bラミネート膜

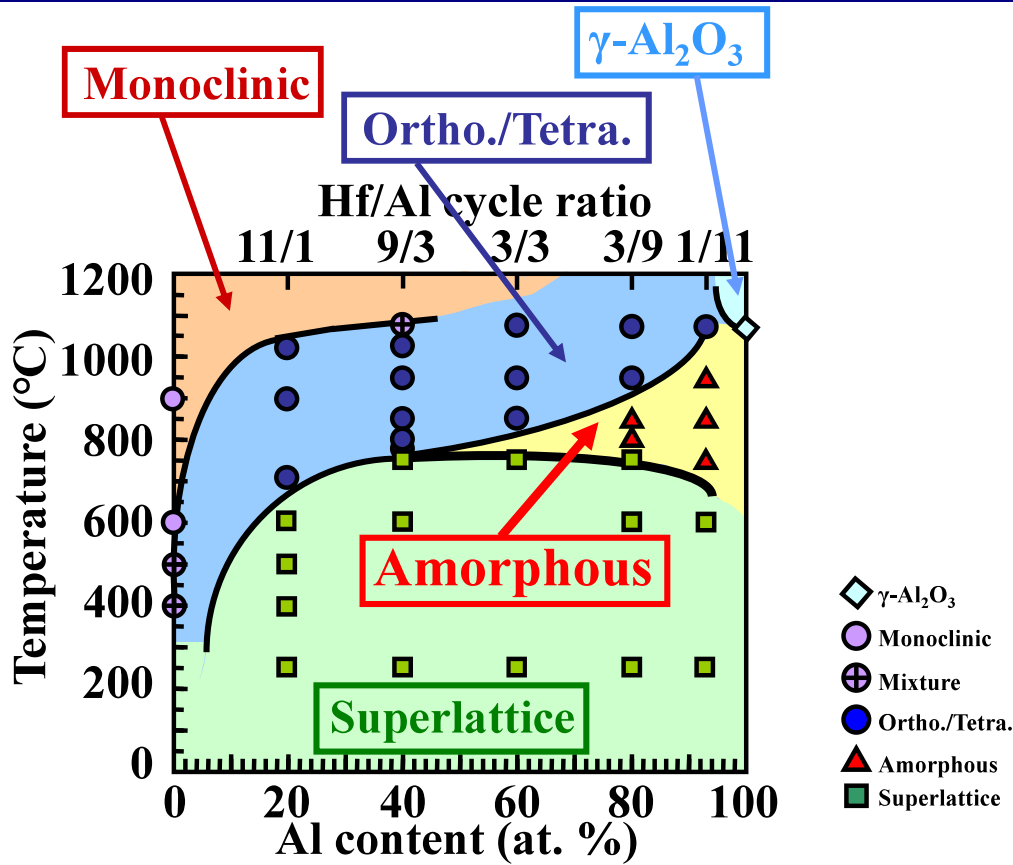


## ALD-HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> (3/9Å) ナノラミネート膜



As-grown HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>層は、長周期構造を形成する。  
 HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>層間のHf/Al原子の相互拡散は、800°Cより生じる。

# ALD-HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> ナノラミネート膜



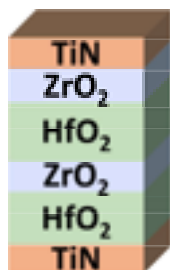
A. Toriumi et al., Microelectron. Eng. 80, 195 (2005).

Toshihide Nabatame

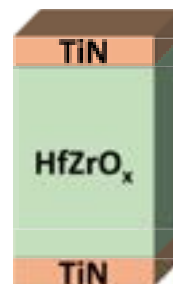
EDIT30\_2025.1.22

## カクテル原料(Hf/Zr)

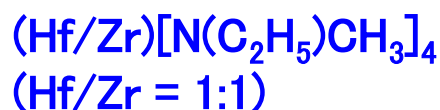
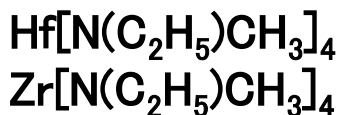
(a) HfO/ZrO  
ラミネート膜



(b) HZO  
一括成膜



Hf/Zrカクテル  
1ボトル



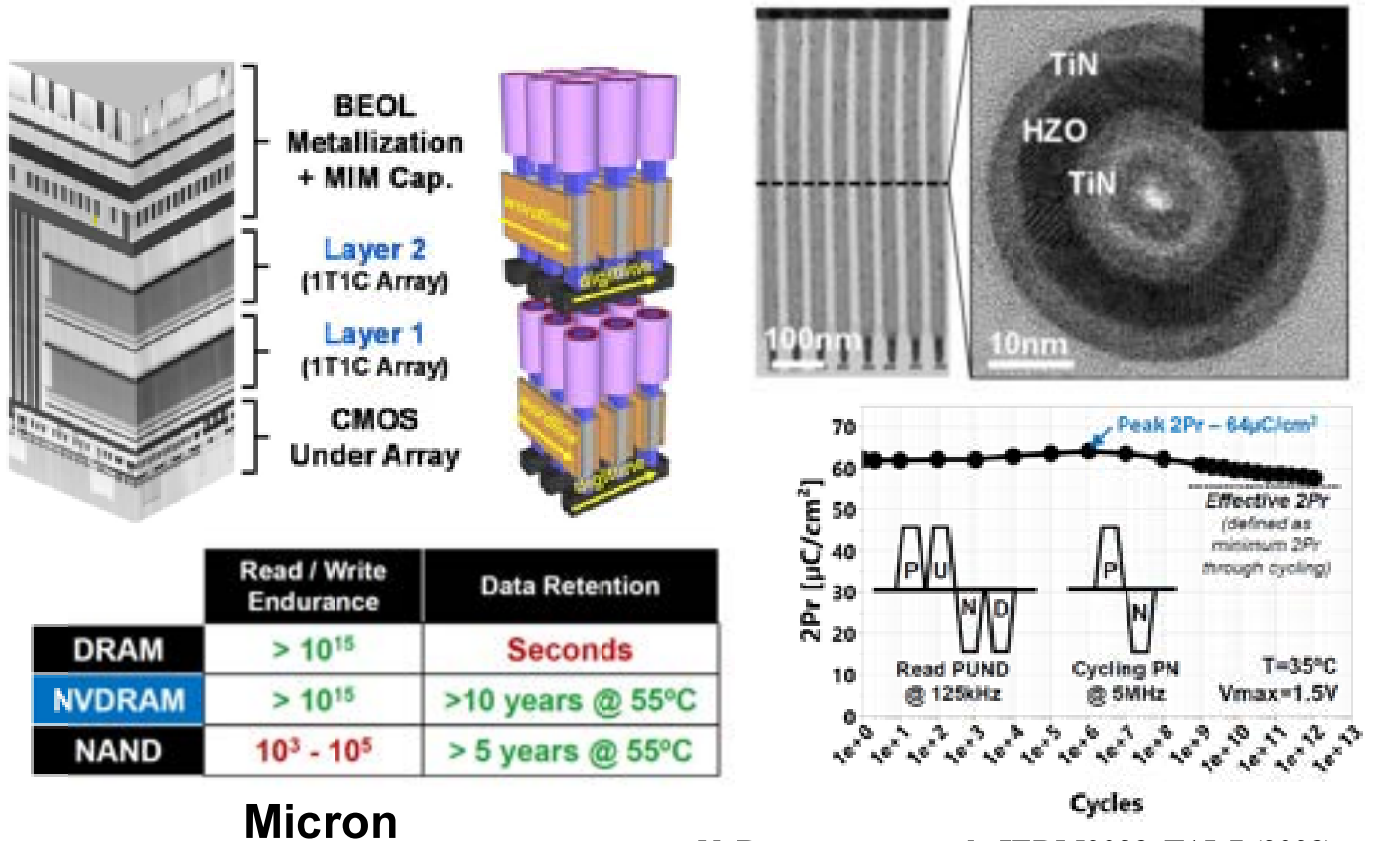
300 °C

H<sub>2</sub>O

EDIT30\_2025.1.22

Toshihide Nabatame

# Hf<sub>x</sub>Zr<sub>1-x</sub>O<sub>2</sub> (HZO) 強誘電体膜のNVD RAM



Micron

N. Ramaswamy et al., IEDM2023, T15-7 (2023).

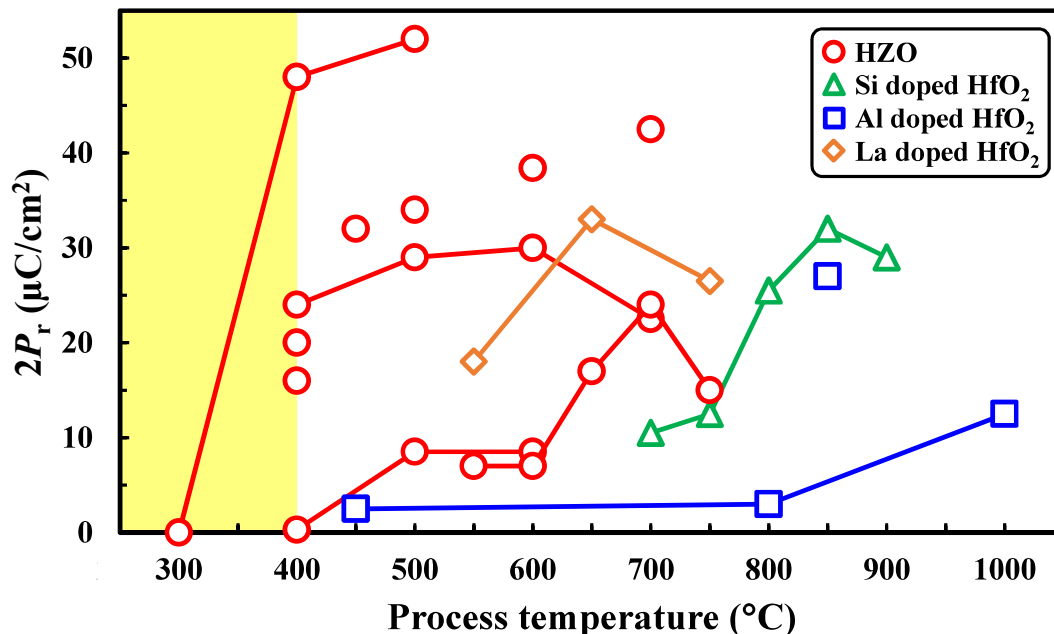
EDIT30\_2025.1.22

Toshihide Nabatame

## Hf<sub>x</sub>Zr<sub>1-x</sub>O<sub>2</sub> (HZO) デバイスでの要求

HZO膜は、幅広いHf:Zr組成で安定な特徴がある。

➡ FeFET & FeRAMの強誘電体デバイスでは、**400°C以下の低温度作製**が要求されている。

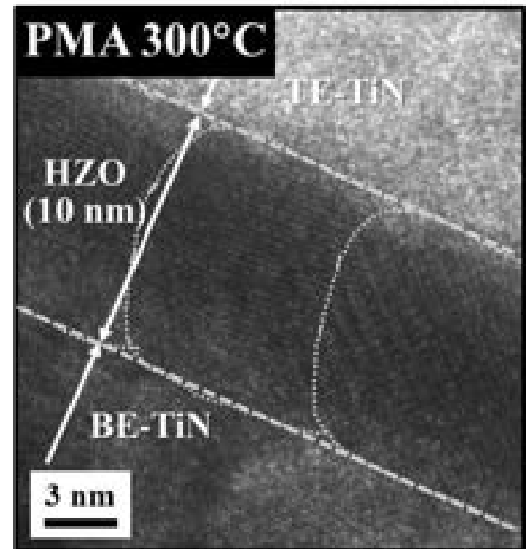
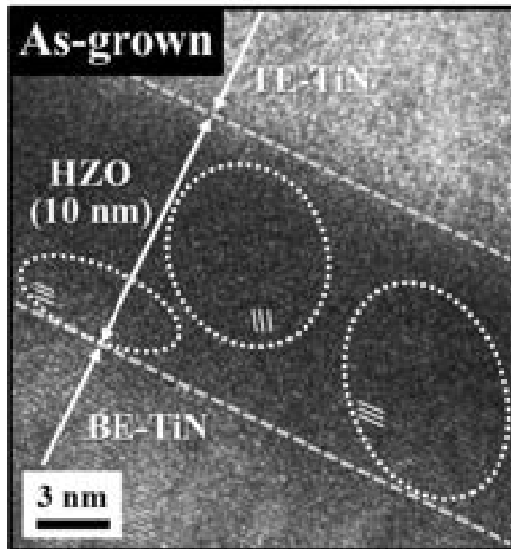


EDIT30\_2025.1.22

Toshihide Nabatame

# HZO一括成膜の効果

NIMS



300°C成膜したas-grown HZO膜は、**ナノ粒子 (~5 nm)**が認められる。

300°CのPMA処理で、粒サイズ10–20 nmに粒成長した。

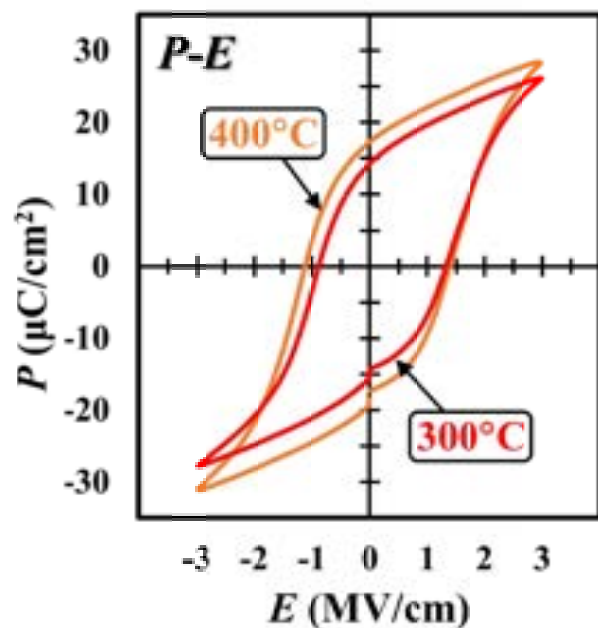
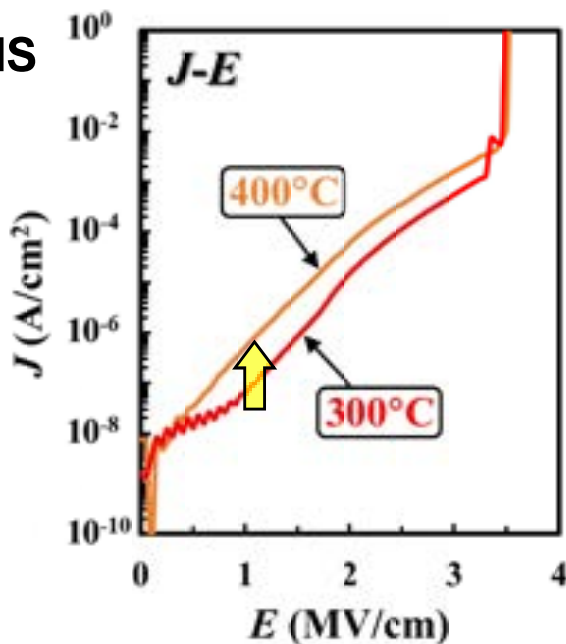
T. Onaya et al., *Microelectron. Eng.* 215, 111013 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

# HZO一括成膜の効果

NIMS



PMA300°C及び400°Cで作製したキャパシタは、ほぼ同じ絶縁破壊電界(~3.5 MV/cm)を示した。

大きな分極特性( $2P_r = 29 \mu\text{C}/\text{cm}^2$ )を示した。

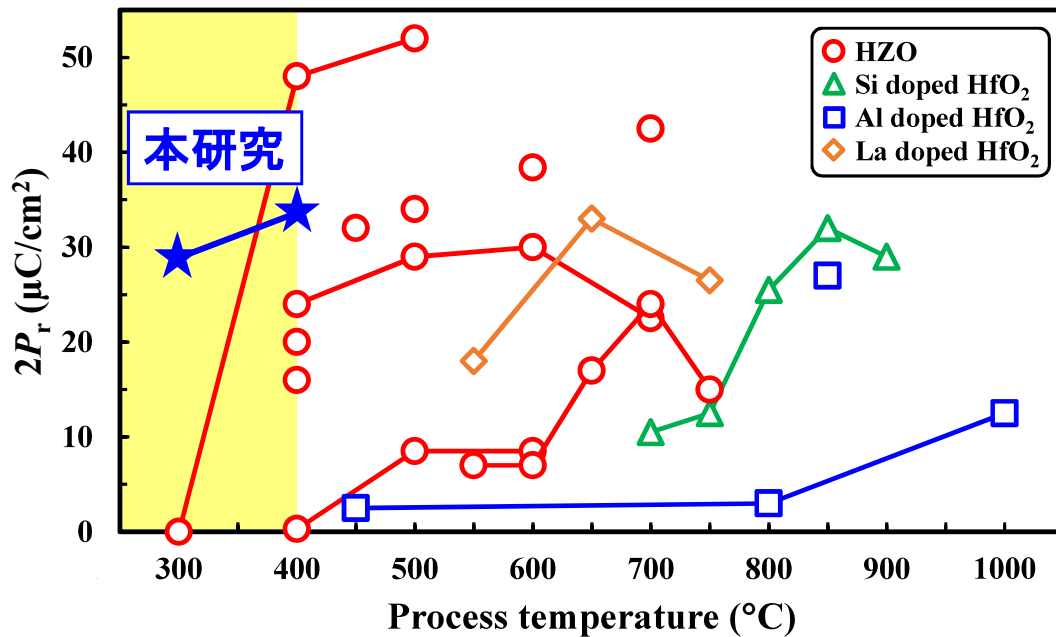
T. Onaya et al., *Microelectron. Eng.* 215, 111013 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

# HZO一括成膜の300°C低温形成したHZO膜

NIMS



Hf/Zrカクテル原料を用いたALDによって、300°Cの低温プロセスで、大きな分極特性を示すHZO強誘電体膜を作製できた。

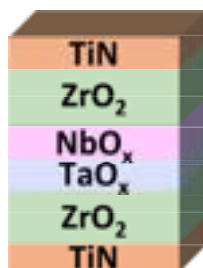
T. Onaya et al., *Microelectron. Eng.* 215, 111013 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

## カクテル原料(Ta/Nb)

(a) TaO<sub>x</sub>/NbO<sub>x</sub>  
ラミネート膜



(b) TaNbO<sub>x</sub>  
一括成膜



Ta/Nbカクテル  
1ボトル

Ta[NtAm)(NMe<sub>2</sub>)]<sub>3</sub>  
Nb[NtAm)(NMe<sub>2</sub>)]<sub>3</sub>

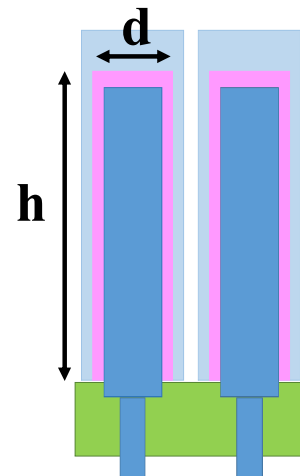
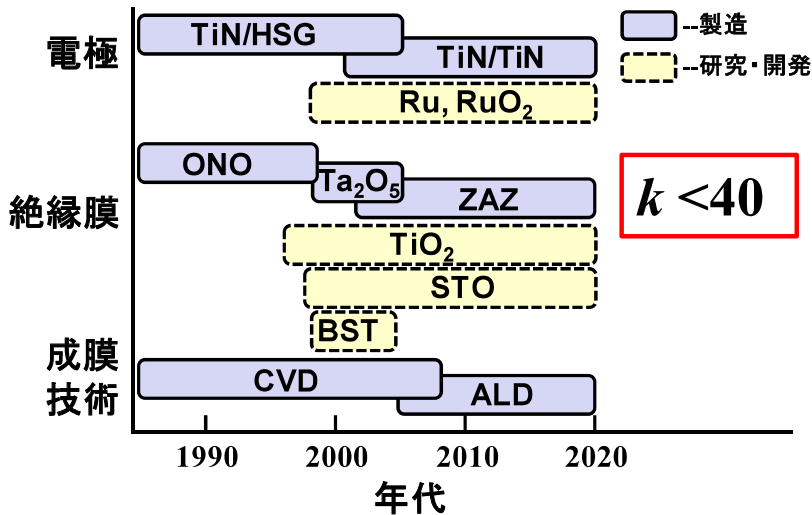
(Ta/Nb)[NtAm)(NMe<sub>2</sub>)]<sub>3</sub>  
(Ta/Nb = 1:1)

200 °C  
H<sub>2</sub>O

EDIT30\_2025.1.22

Toshihide Nabatame

# DRAMスケーリングの律速は？



アスペクト比(h/d)を増大

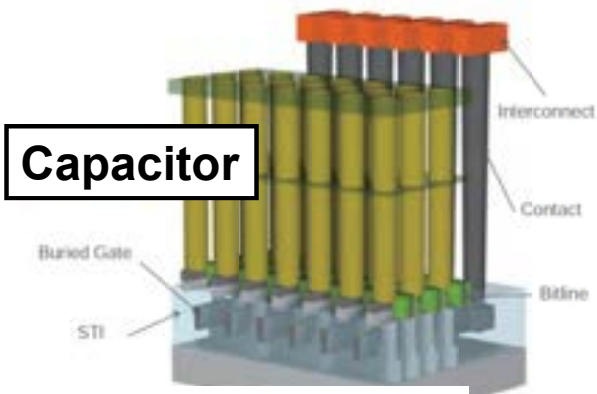
$$C = \frac{k \cdot A}{T_{ox}}$$

技術世代	1X-nm	1Y-nm	1Z-nm	1α-nm	1β-nm
DRAM pitch	18 nm	17 nm	16 nm	15 nm	14 nm
Capacitor	10fF	8fF	8fF	6fF	6fF
Structure	Cy	Cy	Cy/Pi	Pi	Pi
Hole/Pi 径	38 nm		32/26 nm		19 nm
Bits	8G	8G	8/16G	16G	16G
状況	量産	量産立上げ/開始		開発中	

EDIT30\_2025.1.22

Toshihide Nabatame

## 半導体へのALD-TiN, ZrO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>膜

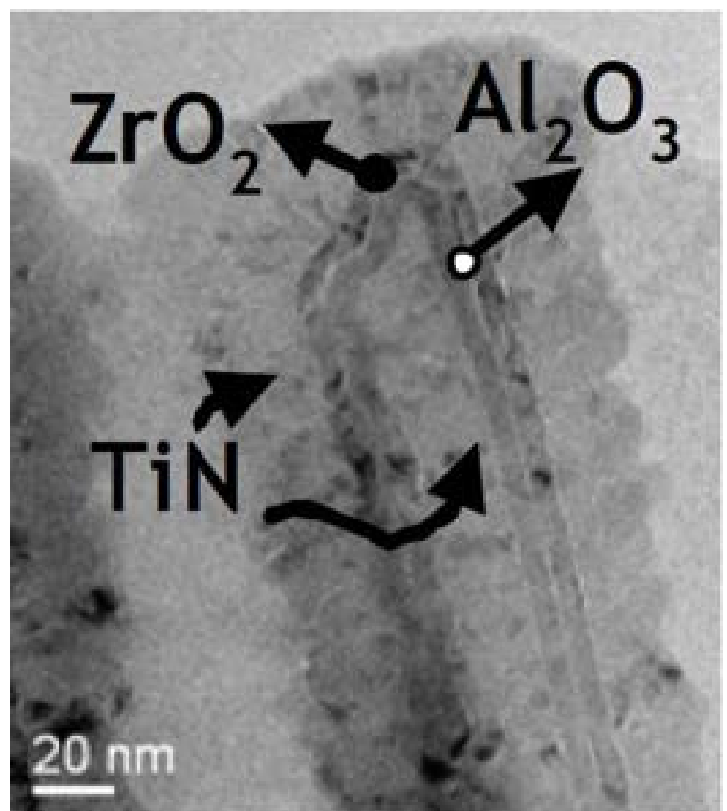


DRAM Structure



Pillar構造 (Pi)

Hynix Semiconductor Inc.



D.-S. Kil et al., VLSI 2006 p.38.

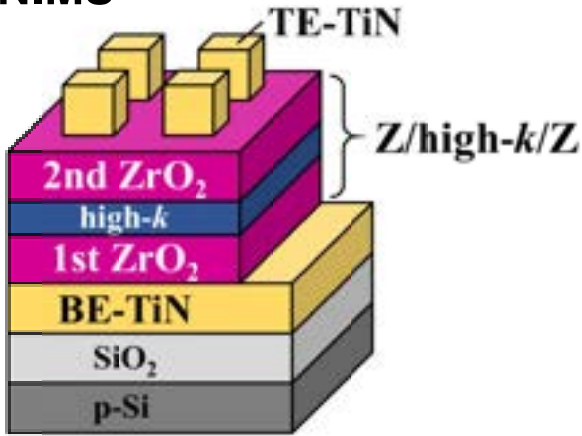
EDIT30\_2025.1.22

Toshihide Nabatame

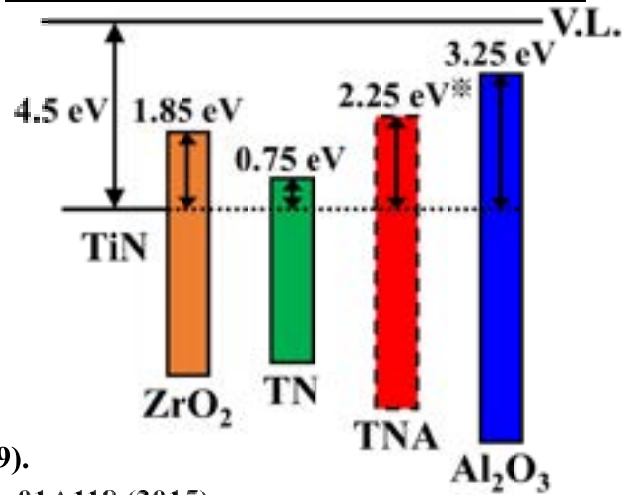
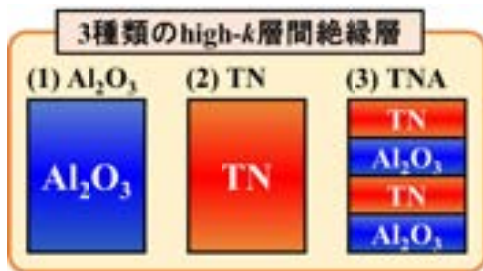


# 3層構造で、Al<sub>2</sub>O<sub>3</sub>に代わるhigh-k探索

NIMS



	k値	結晶構造
Al <sub>2</sub> O <sub>3</sub>	~9	アモルファス
(Ta/Nb)O <sub>x</sub> (TN)	~29	アモルファス
(Ta/Nb)O <sub>x</sub> -Al <sub>2</sub> O <sub>3</sub> (TNA)	17*	アモルファス



T. Onaya et al., Thin Solid Films 65, 48 (2009).

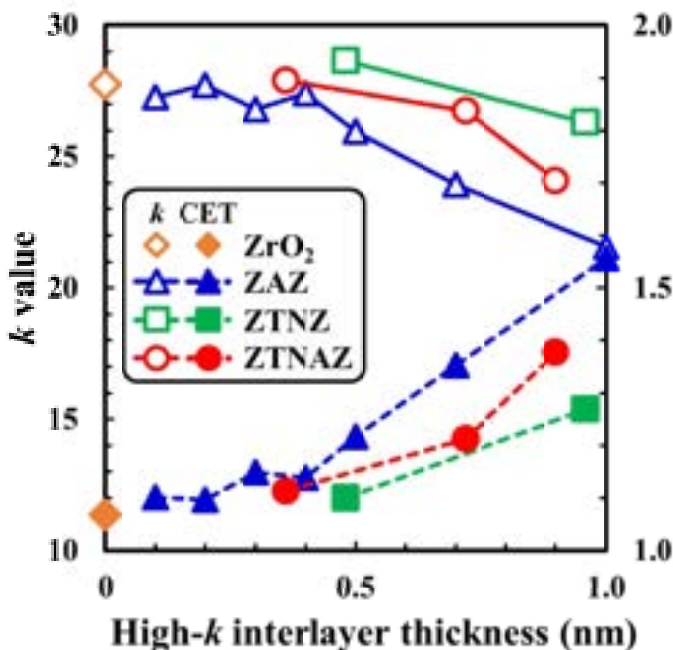
\*T. Nabatame et al., J. Vac. Sci. Technol. A 33, 01A118 (2015).

EDIT30\_2025.1.22

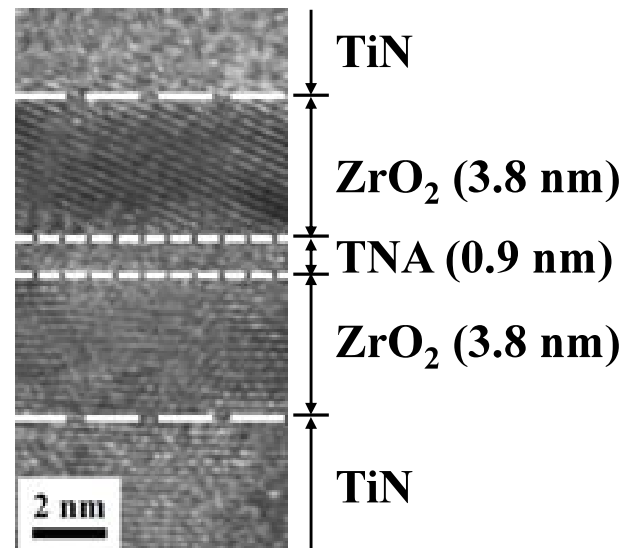
Toshihide Nabatame

## Z/high-k/Zのk値&CET値

NIMS



### ZTNAZ構造のTEM像



T. Onaya et al., Thin Solid Films 65, 48 (2009).

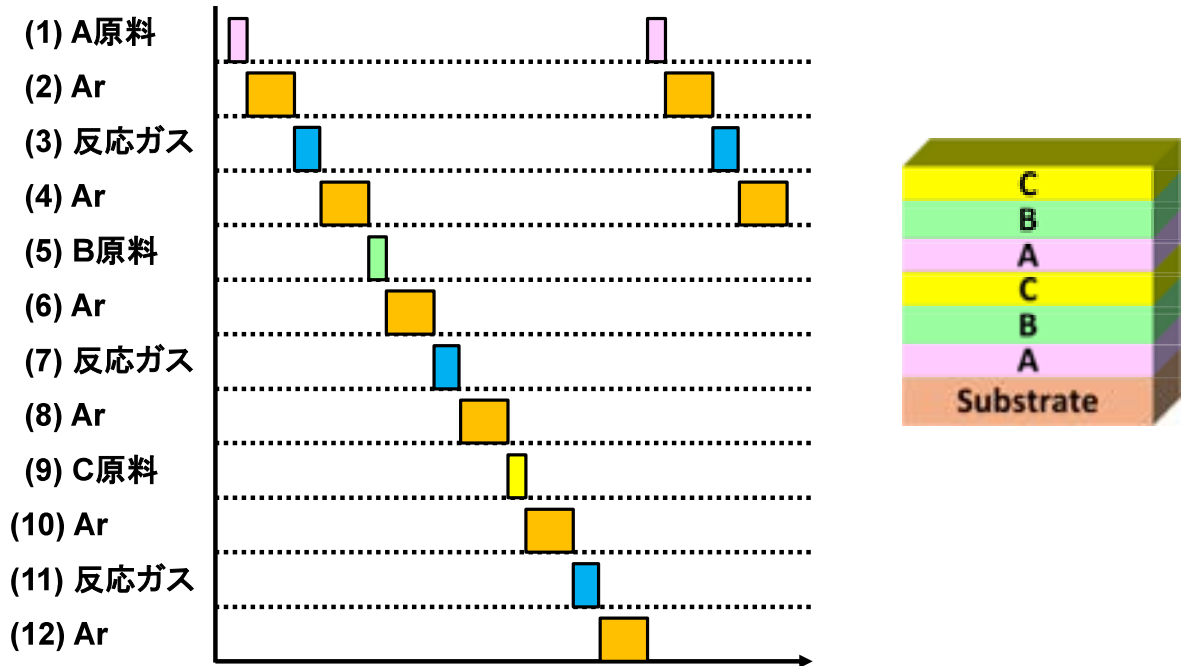
EDIT30\_2025.1.22

Toshihide Nabatame



# ALDシーケンス

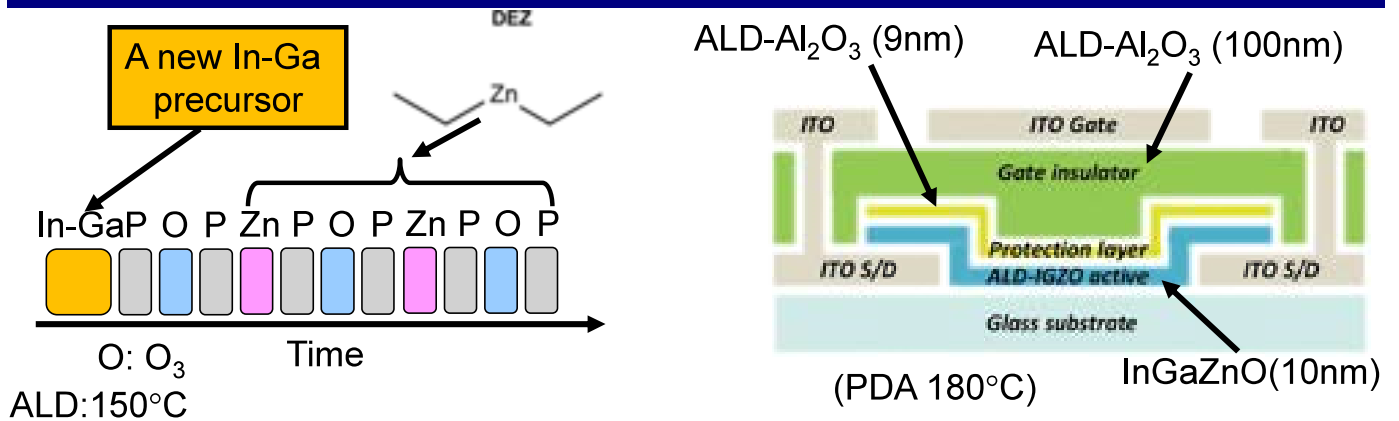
## (c) A/B/Cラミネート膜



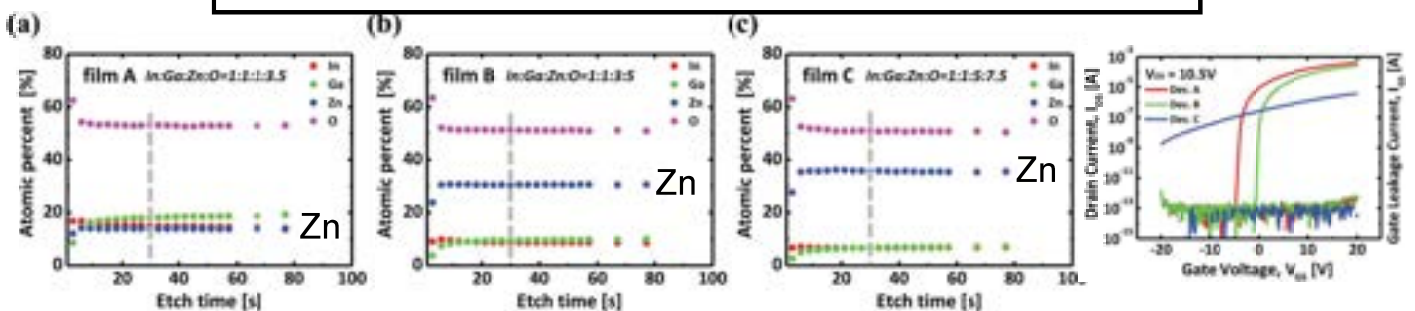
EDIT30\_2025.1.22

Toshihide Nabatame

## ALD-InGaZnO FET (新In-Ga原料)



In-Ga原料の特徴: ALDシーケンスがシンプル。  
In/Ga比は一定。



Kyung Hee Univ.

S.-B. Ko et al., J. Mater. Chem. C 7, 6059 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

# 目次

---

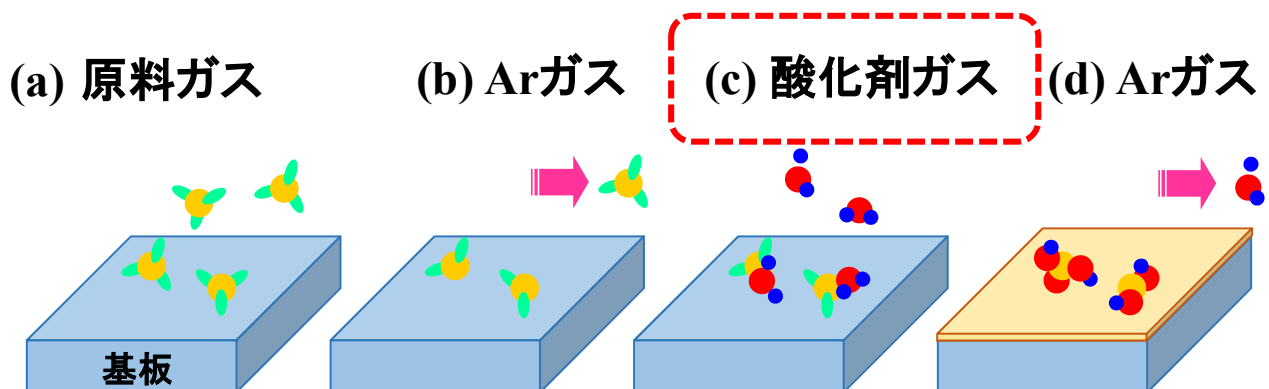
1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
- 4. 酸化ガスの連続供給技術**
- 5.原料ガスの吸着律速と選択ALD
6. 2DへのALD技術

EDIT30\_2025.1.22

Toshihide Nabatame

## 酸化剤ガスの工夫

---



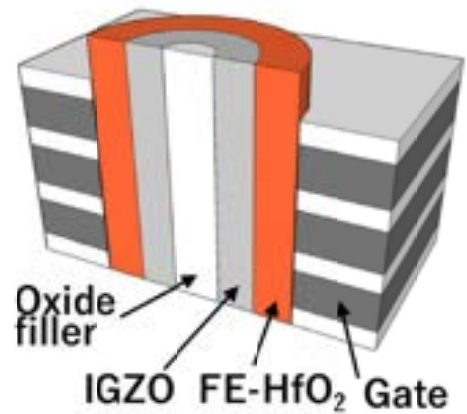
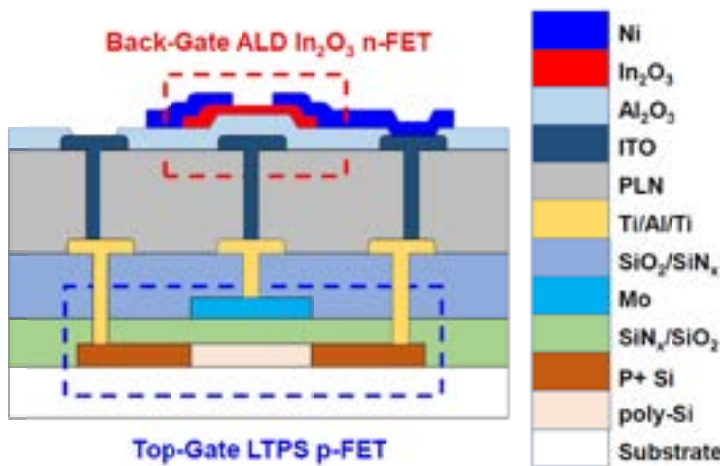
EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-InO<sub>x</sub>系チャネルに望まれる事

(a) n-FET in BEOL

(b) 3D vertical FeFET



W. Tang et al., IEDM, p.483, 2022.

F. Mo et al., IEEE J. Electron. Devices Soc. 8, 717 (2020).

プロセス温度 (<350°C)	内壁の均質膜
$V_{on} > 0V$ (ノーマリオフ)	

In<sub>2</sub>O<sub>3</sub>: 金属的、 $V_{on} < 0V$

InGaZnO:  $V_{on} > 0V$

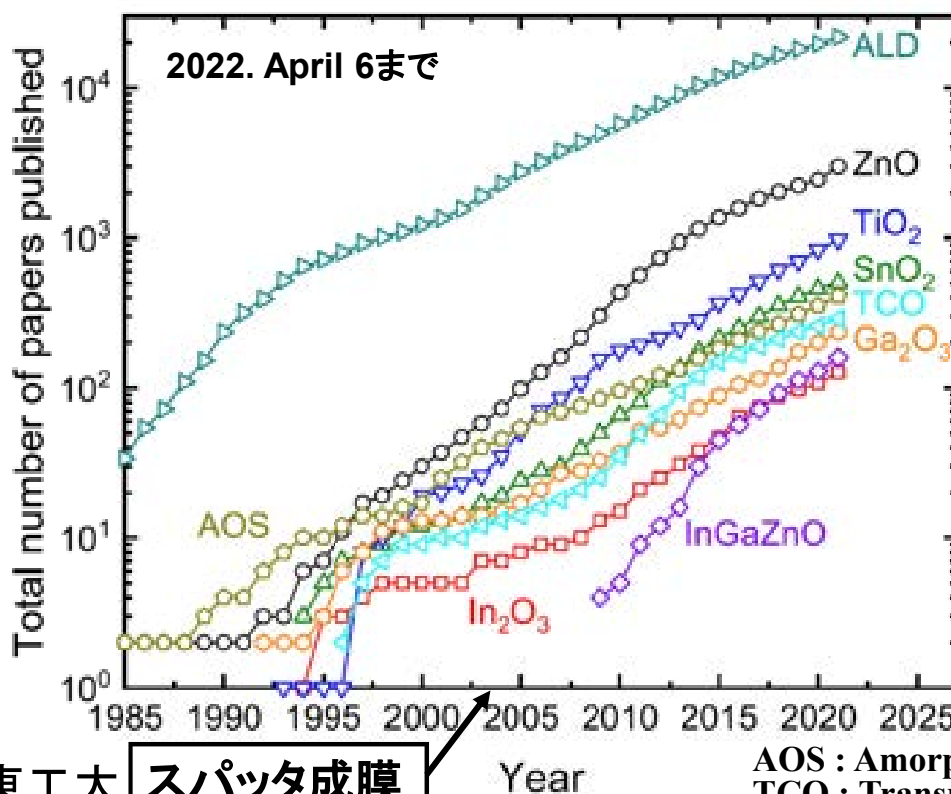


ALDの特徴

EDIT30\_2025.1.22

Toshihide Nabatame

## ALDによる酸化物半導体の報告例



2009年～  
ALD-InGaZnO

ALD成膜のみも  
含む。

東工大 **スパッタ成膜**

Year

AOS : Amorphous oxide semiconductor  
TCO : Transparent conductive oxide

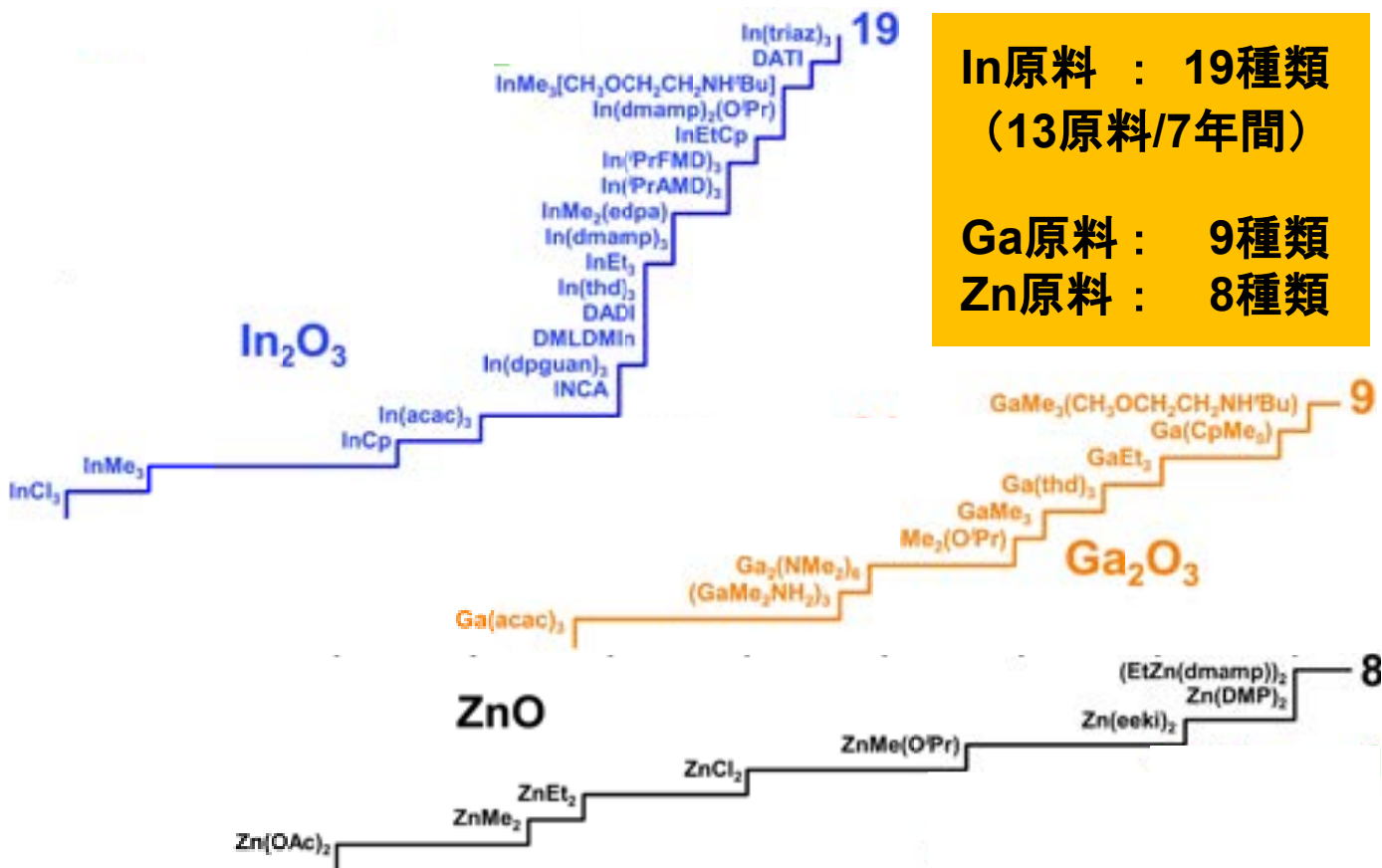
K. Nomura et al., Science 300, 1269 (2003).  
K. Nomura et al., Nature 432, 488 (2004).

B. Macco et al., Appl. Phys. Rev. 9, 04313 (2022).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-In<sub>2</sub>O<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>, ZnO原料



In原料 : 19種類  
(13原料/7年間)

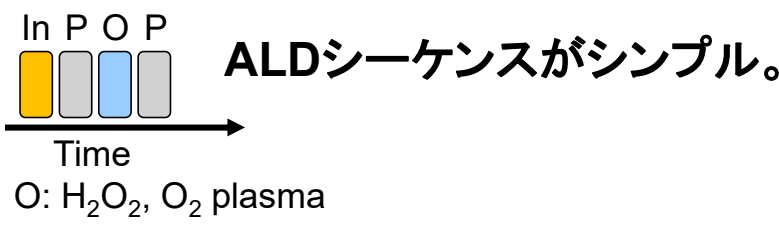
Ga原料 : 9種類  
Zn原料 : 8種類

B. Macco et al., Appl. Phys. Rev. 9, 04313 (2022).

Toshihide Nabatame

EDIT30\_2025.1.22

## ALD-InO TFTの課題 (~2018)



ALD-InO : 5-20nm

Precursor		ALD (°C)	PMA (°C)	V <sub>th</sub> (V)	V <sub>on</sub> (V)	μ (cm <sup>2</sup> /Vs)	SS	Ref.
InCp	In <sub>2</sub> O <sub>3</sub>	160	300	-3.7		7.8	0.32	1
Me <sub>2</sub> In(EDPA)	In <sub>2</sub> O <sub>3</sub>	90	350		-1.0	18	0.17	2
Et <sub>2</sub> InN(SiMe <sub>3</sub> ) <sub>2</sub>	InO <sub>x</sub>	200	350	-1.2		39.2	0.27	3

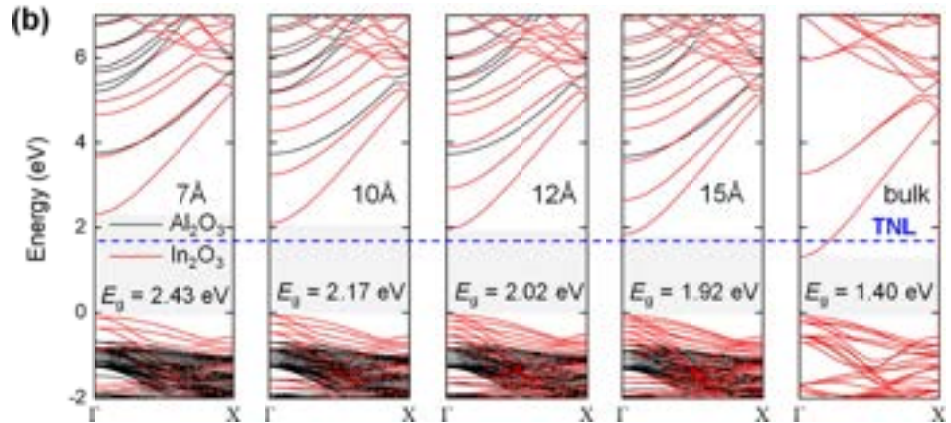
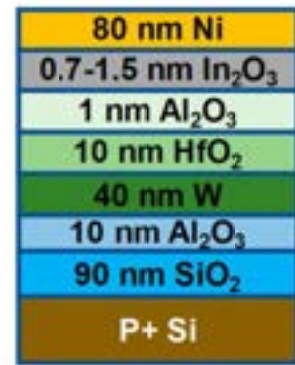
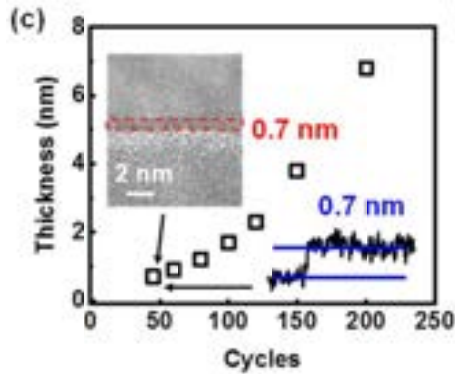
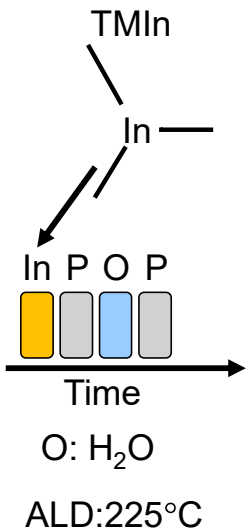
V<sub>on</sub> < 0Vで、ノーマリオフが得られない。

1. Q. Ma, et al., Nanoscale Res. Lett., 13, 2 (2018).
2. H.-I. Yeom, et al., J. Mater. Chem., C, 4, 6873 (2016).
3. H. Y. Kim et al., ACS Appl. Mater. Interfaces, 8, 26924 (2016).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-InO極薄膜化 (~0.7nm)



Purdue Univ.  
(Peide D. Ye)

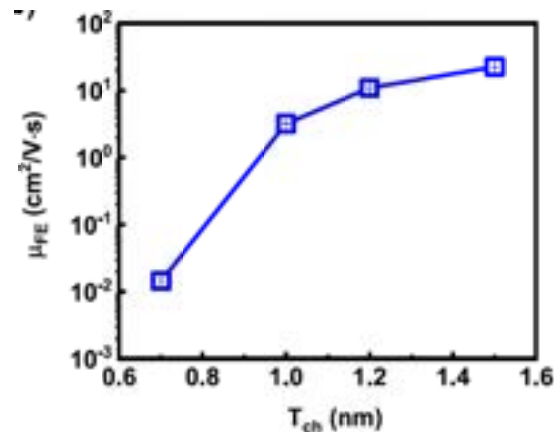
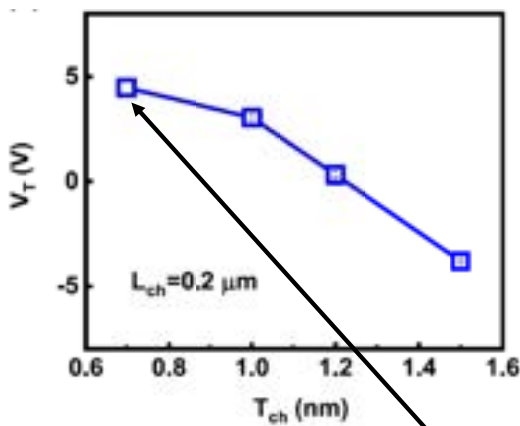
M. Si et al., Nano Lett. 21, 500 (2021).

M. Si et al., IEEE Electron Device Lett. 42, 184 (2021).

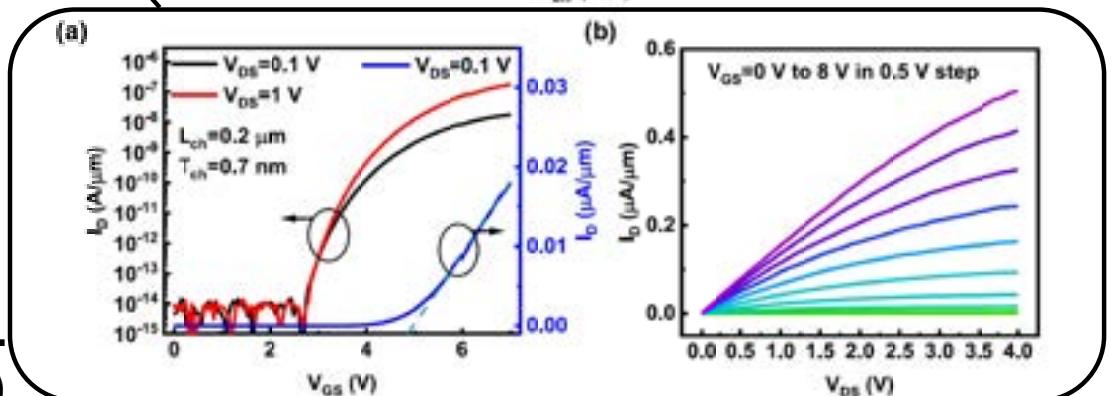
Toshihide Nabatame

EDIT30\_2025.1.22

# ALD-InO極薄膜化 (~0.7nm)



Purdue Univ.  
(Peide D. Ye)



M. Si et al., Nano Lett. 21, 500 (2021).

M. Si et al., IEEE Electron Device Lett. 42, 184 (2021).

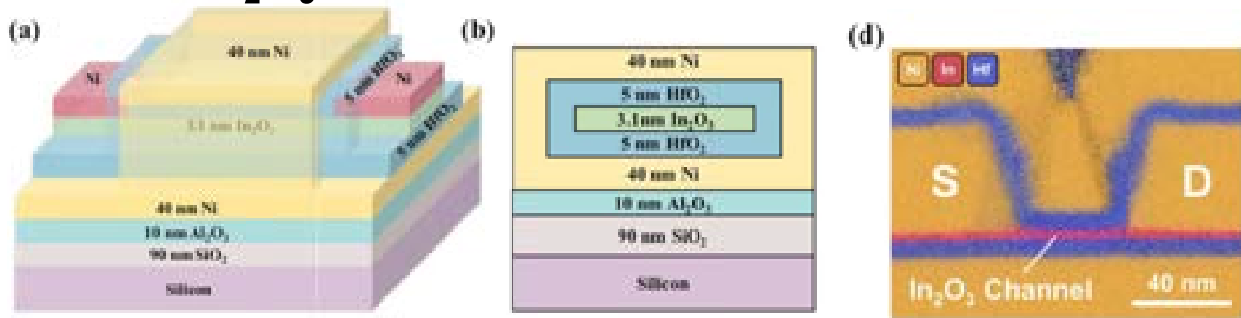
Toshihide Nabatame

EDIT30\_2025.1.22



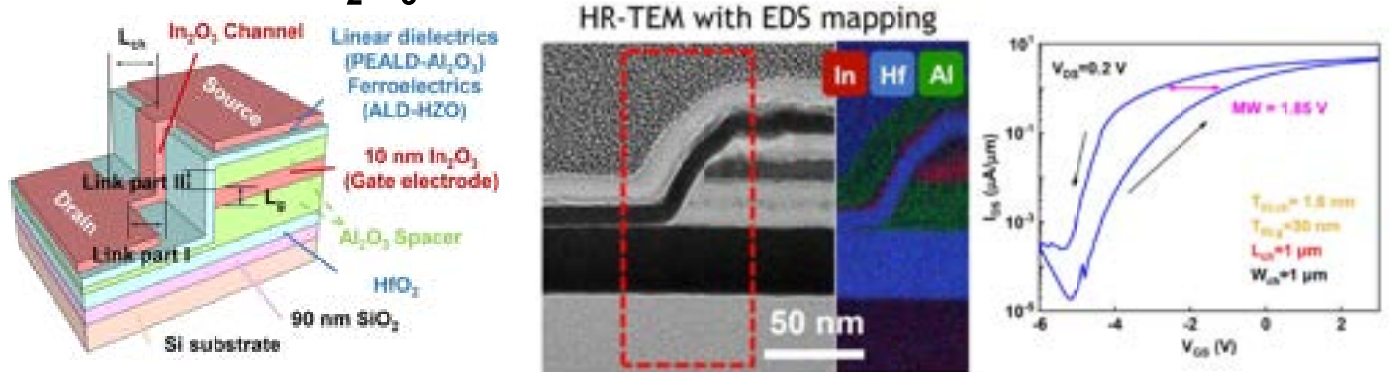
# ALD-InO<sub>3</sub>のGAA&HZO FeFET

## ALD-In<sub>2</sub>O<sub>3</sub> GAA-nanoribbon FET



Z. Zhang et al., IEEE Electron Device Lett. 43, 1905 (2022).

## Vertical ALD-In<sub>2</sub>O<sub>3</sub>/HZO FeFET



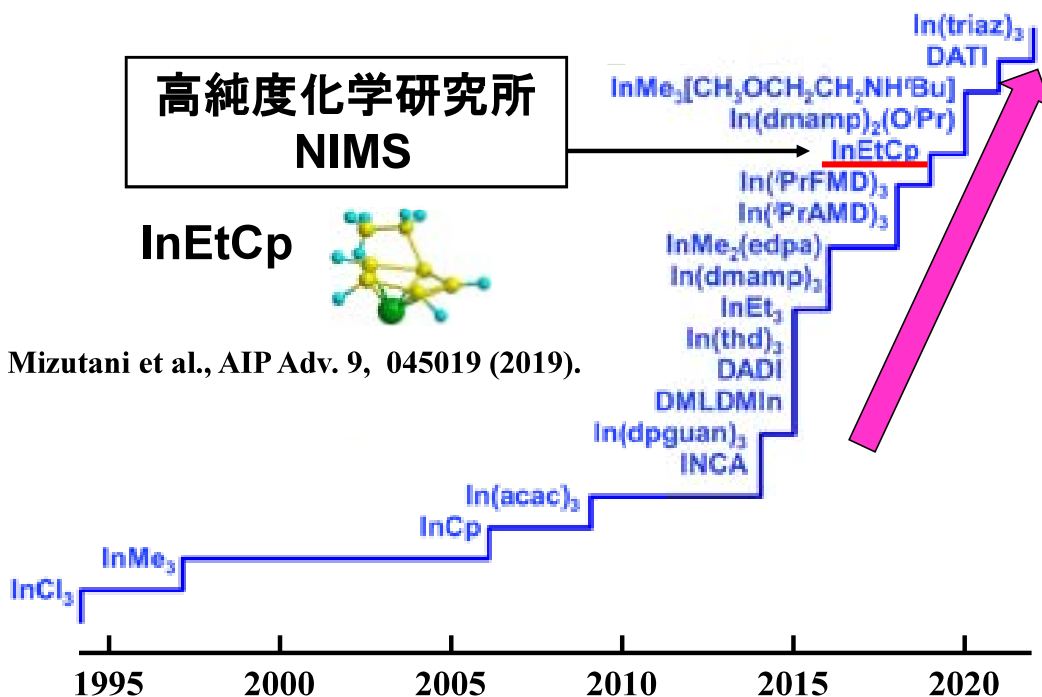
Purdue Univ. (Peide D. Ye)

Z. Lin et al., VLSI2024 T4-1 (2024).

EDIT30\_2025.1.22

Toshihide Nabatame

## 13種類のALD-In原料の開発(7年間)



F. Mizutani et al., AIP Adv. 9, 045019 (2019).

B. Macco et al., Appl. Phys. Rev. 9, 04313 (2022).

EDIT30\_2025.1.22

Toshihide Nabatame

# H<sub>2</sub>O/O<sub>3</sub> コンビネーションのALD-In<sub>2</sub>O<sub>3</sub>

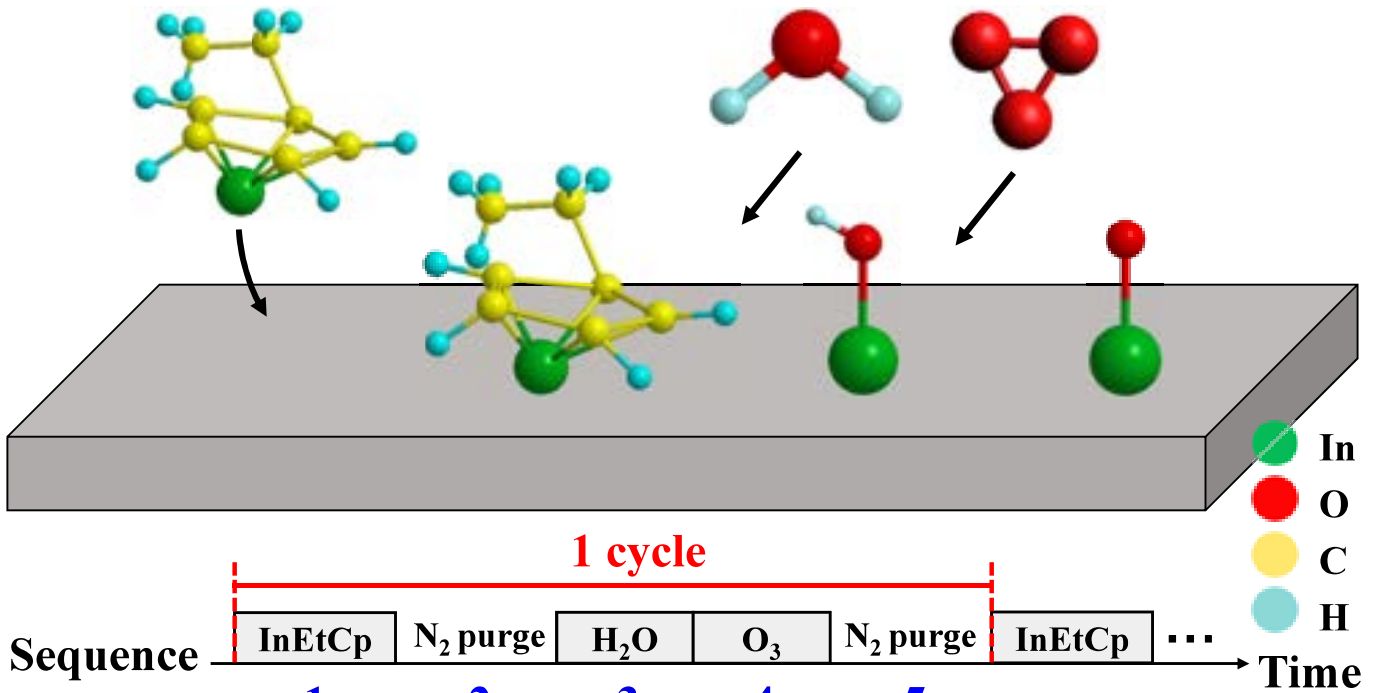
1. InEtCp

2. N<sub>2</sub> purge

3. H<sub>2</sub>O

4. O<sub>3</sub>

5. N<sub>2</sub> purge



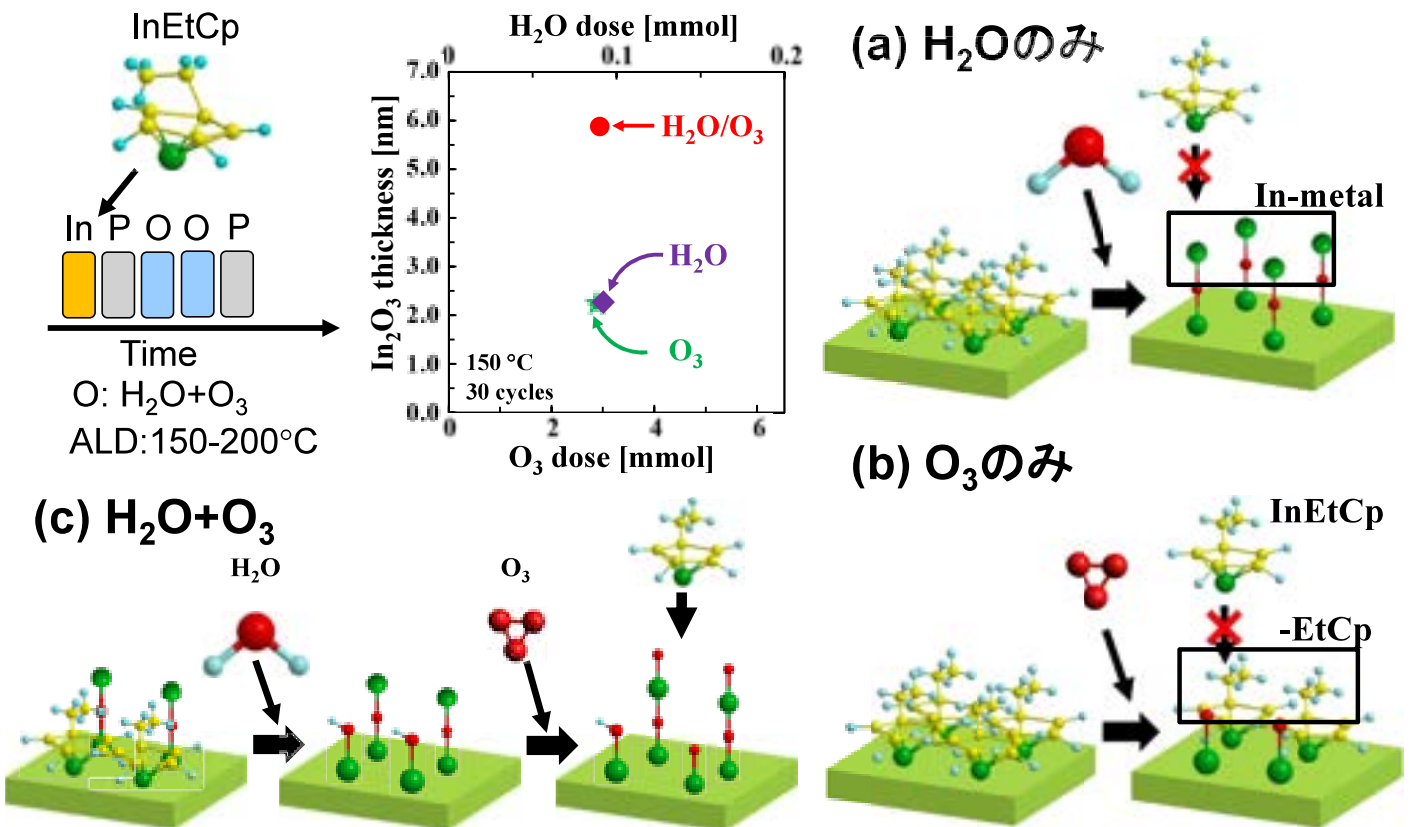
NIMS

R. Kobayashi et al., J. Appl. Phys. 60, 030903 (2021).  
R. Kobayashi et al., ECS Trans. 92, 3 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

## ALD-C-doped-InO



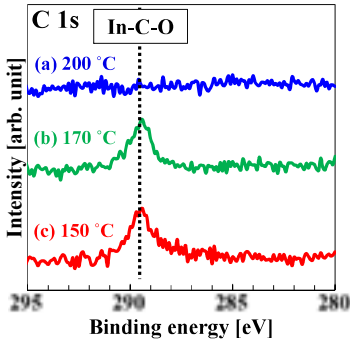
NIMS

R. Kobayashi et al., ECS Trans. 92, 3 (2019).

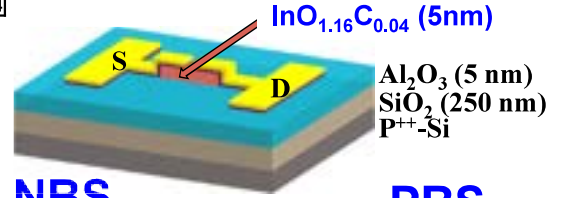
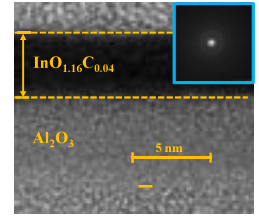
EDIT30\_2025.1.22

Toshihide Nabatame

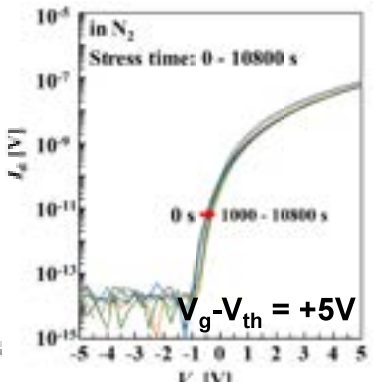
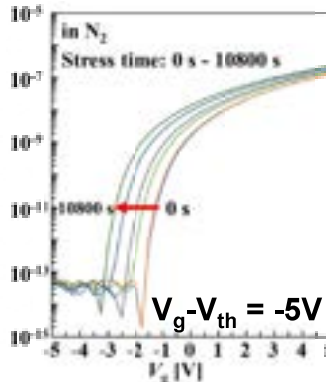
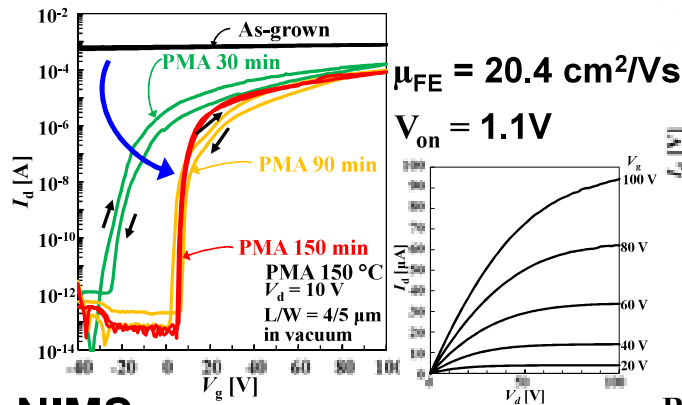
# ALD-C-doped-InO



$T_g$ [°C]	In [at.%]	O [at.%]	C [at.%]	$\text{InO}_{1.2-x}\text{C}_x$
200	45.6	54.4	0.0	$\text{InO}_{1.2}$
170	44.2	54.3	1.5	$\text{InO}_{1.17}\text{C}_{0.03}$
150	44.1	54.2	1.7	$\text{InO}_{1.16}\text{C}_{0.04}$



## $\text{InO}_{1.16}\text{C}_{0.04}$ TFT (PMA 150°C in $\text{O}_3$ )

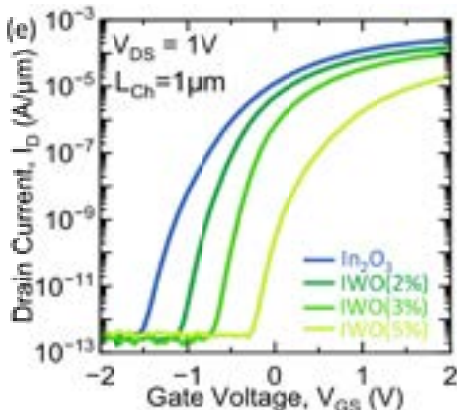
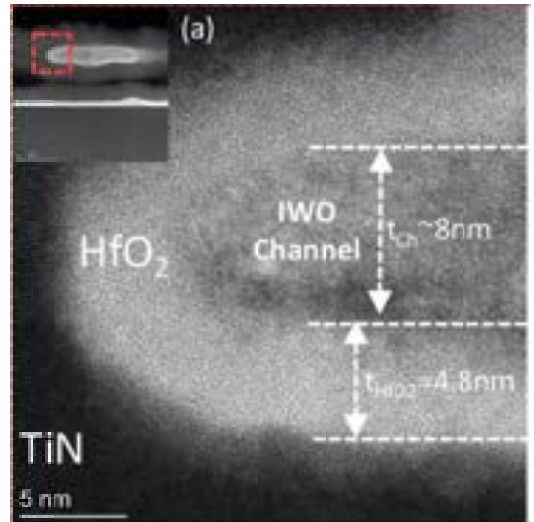
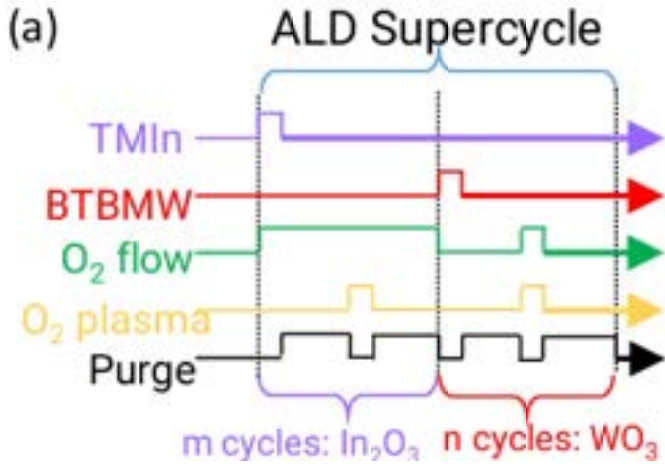


NIMS

EDIT30\_2025.1.22

R. Kobayashi et al., J. Appl. Phys. 60, 030903 (2021).  
R. Kobayashi et al., ECS Trans. 92, 3 (2019).  
Toshihide Nabatame

# ALD-InWOの報告例



Georgia Institute of Technology

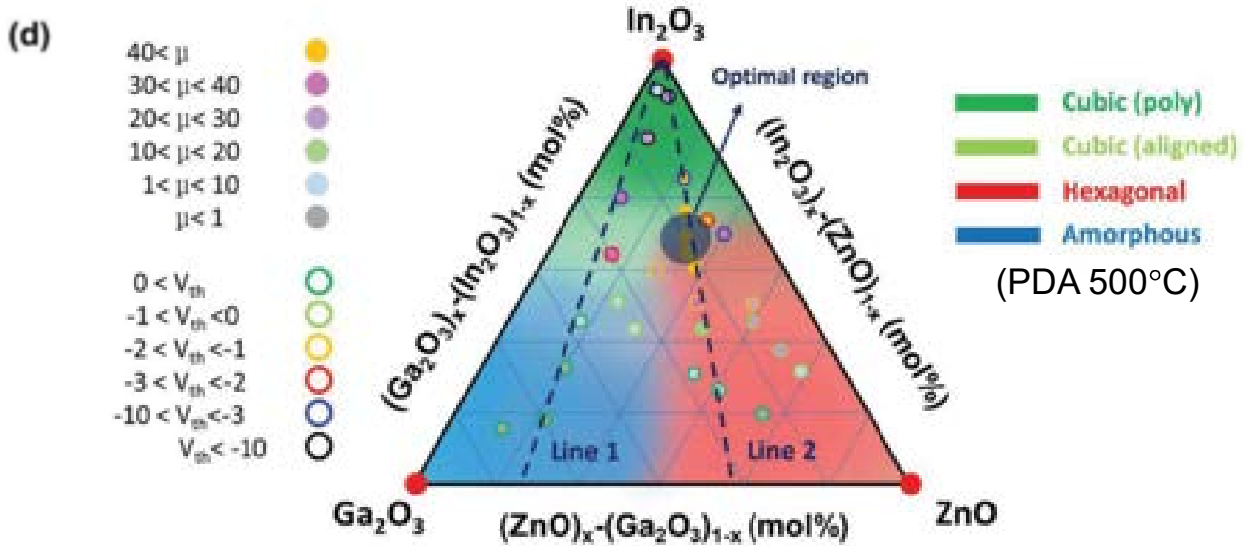
E. Sarkar et al., IEDM2024 12.1 (2024).

EDIT30\_2025.1.22

Toshihide Nabatame



# ALD-InGaZnOの報告例その2



各々のALDサイクルを変える。



$In_2O_3:Ga_2O_3:ZnO$ の最適組成の探索が可能である。

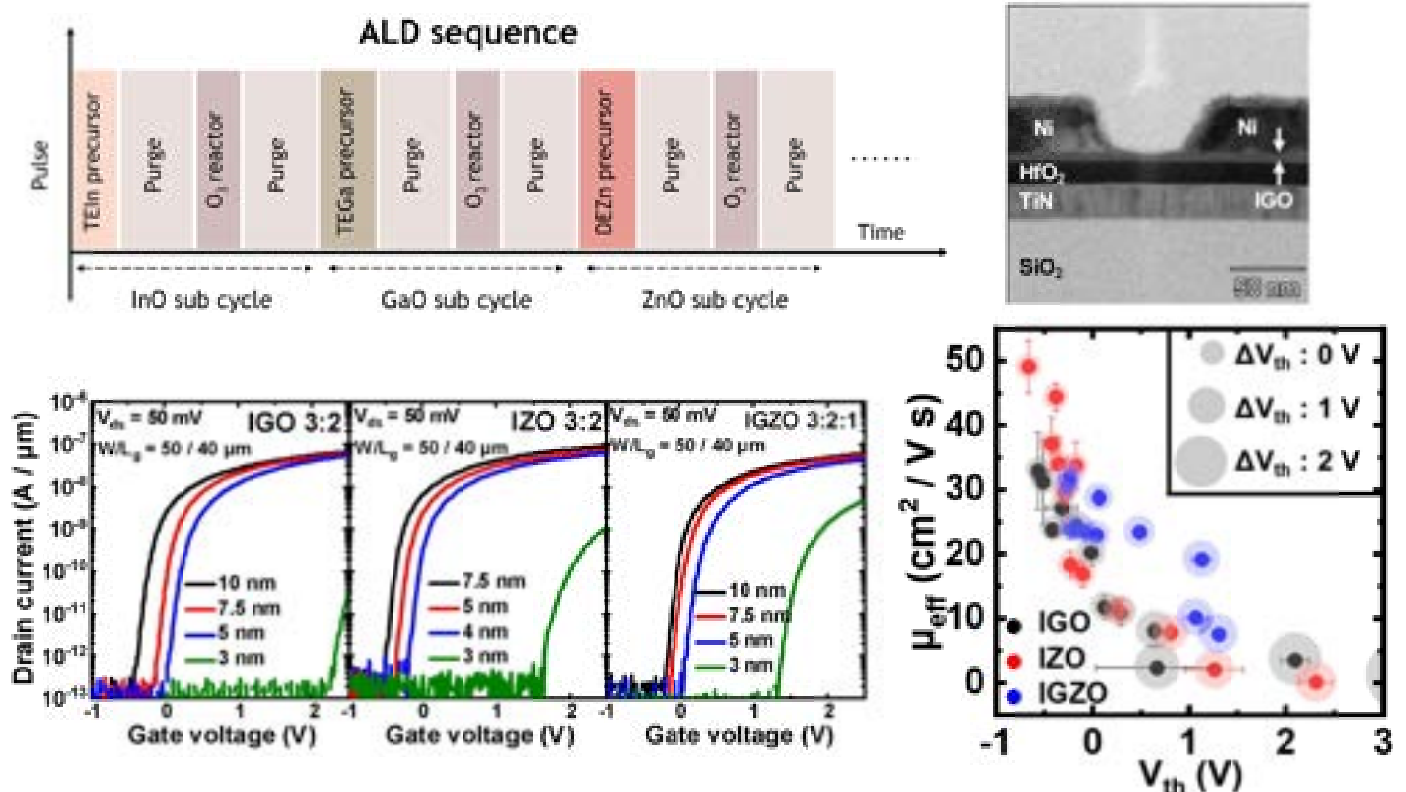
Hangyang Univ.

T. Hong et al., Adv. Electron. Mater. 2201208 (2023).

EDIT30\_2025.1.22

Toshihide Nabatame

## ALD-InGaZnO FET



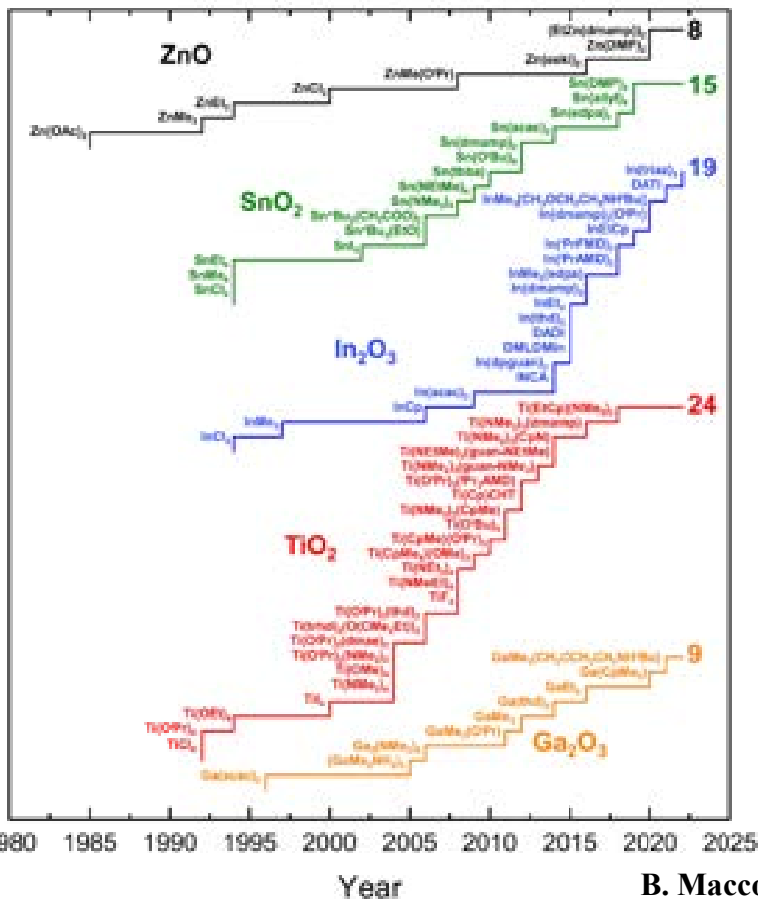
東大 (小林先生) & 奈良先端大 (浦岡先生、高橋先生)

K. Hitaka et al., VLSI2024 T4-1 (2024).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-InGaZnO



In原料 : 19種類  
Ga原料 : 9種類  
Zn原料 : 8種類

Samsung

High density ALD-IGZO  
New precursor



Reliability improved

$$\text{In} \times \text{Ga} \times \text{Zn} = 19 \times 9 \times 8 = 1,368 \text{通り}$$

B. Macco et al., Appl. Phys. Rev. 9, 04313 (2022).

Toshihide Nabatame

EDIT30\_2025.1.22

## InGaZnOの課題(水素)

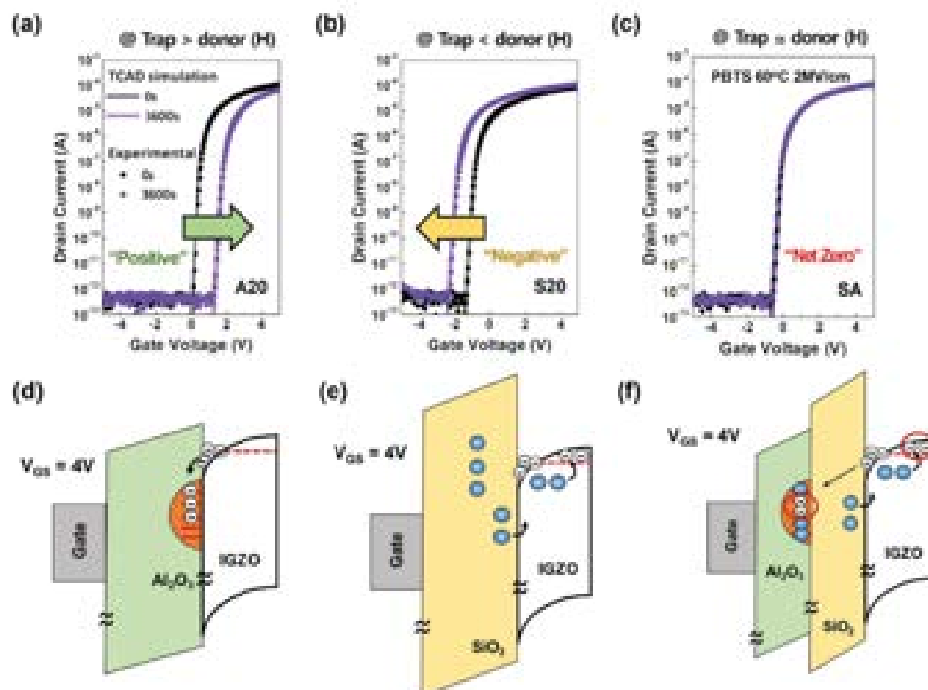


Figure 4. a-c) TCAD simulation of the device behaviors under PBTS. The dotted lines represent experimental TFT characteristics, and the solid lines consist of the TCAD fitting results using density of states (DOS) modeling. d-f) Possible degradation mechanisms in the A20, S20, and SA TFTs.

Y.-S. Kim et al., Adv. Mater. Interfaces 11, 2301097 (2024).

EDIT30\_2025.1.22

Toshihide Nabatame

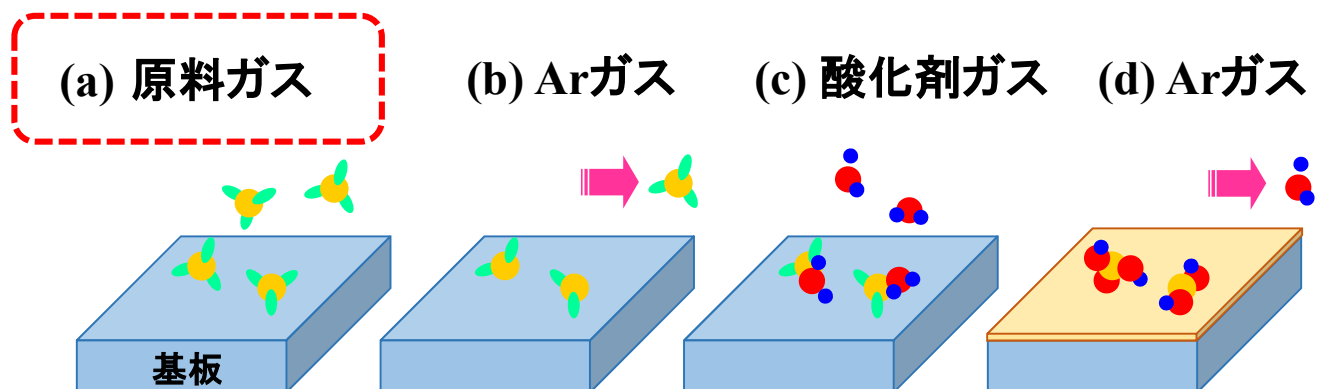
# 目次

1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
4. 酸化ガスの連続供給技術
- 5.原料ガスの吸着律速と選択ALD**
6. 2DへのALD技術

EDIT30\_2025.1.22

Toshihide Nabatame

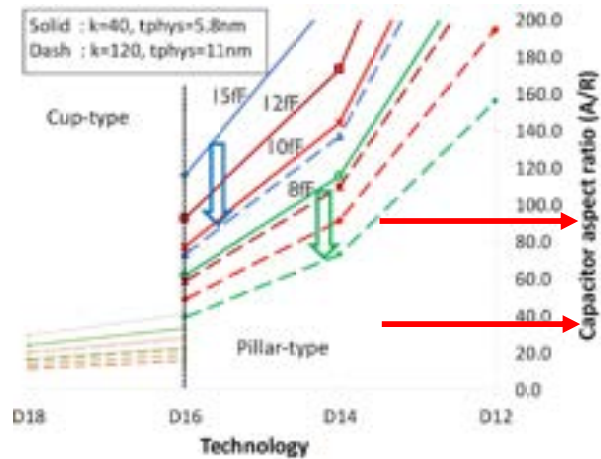
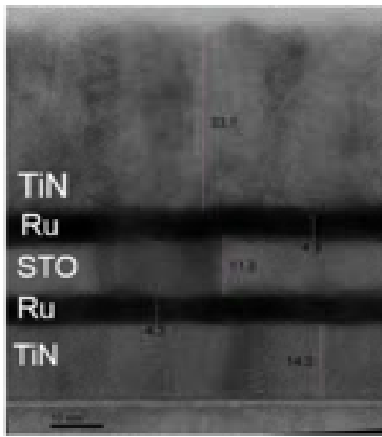
## 原料ガスの吸着律速



EDIT30\_2025.1.22

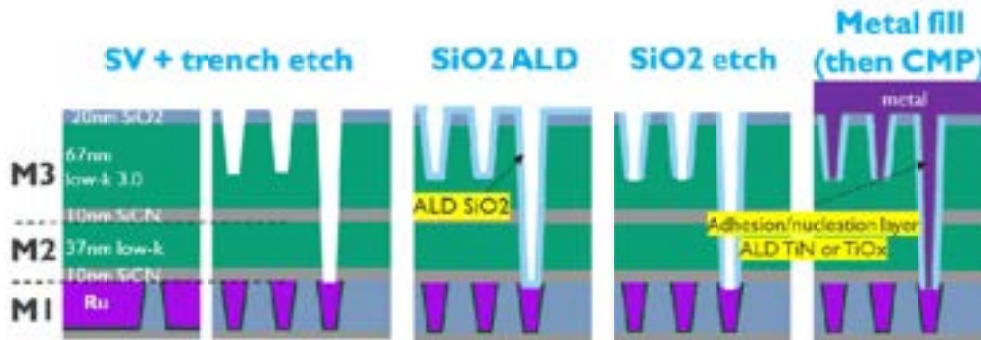
Toshihide Nabatame

# DRAMのRu電極とBEOLのVia Ru



imec

M. Popovici et al., IEDM 2018 p.51.



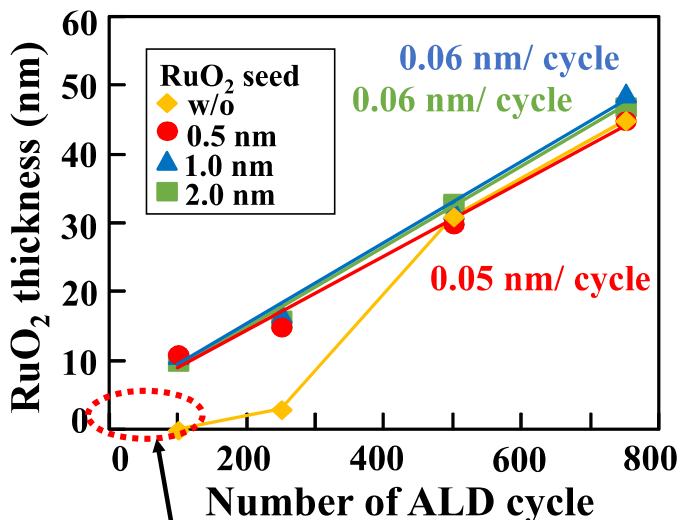
V. Vega-Gonzalez et al., 2021 IEEE International Interconnect Technology.

EDIT30\_2025.1.22

Toshihide Nabatame

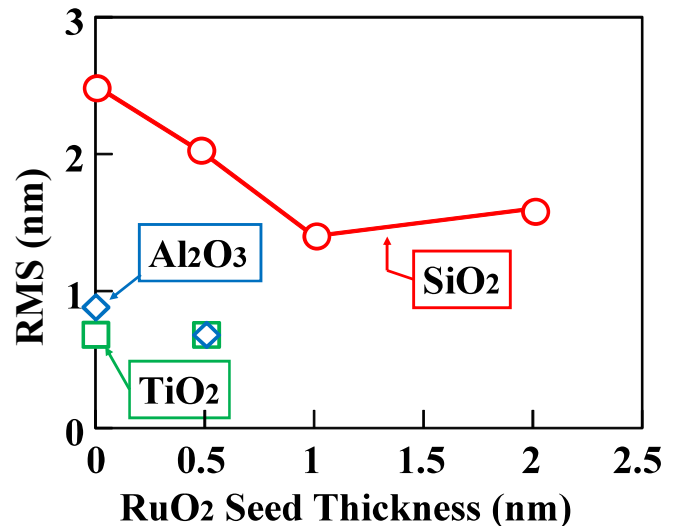
## ALD-Ru成膜でのインキュベーション

(a) インキュベーションタイム

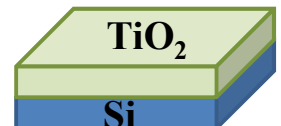
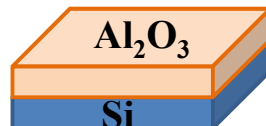
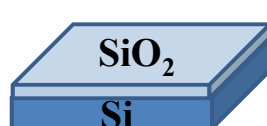
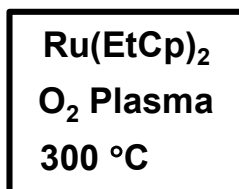


インキュベーションが現れる。

(b) RuO<sub>2</sub>膜の表面粗さ



NIMS

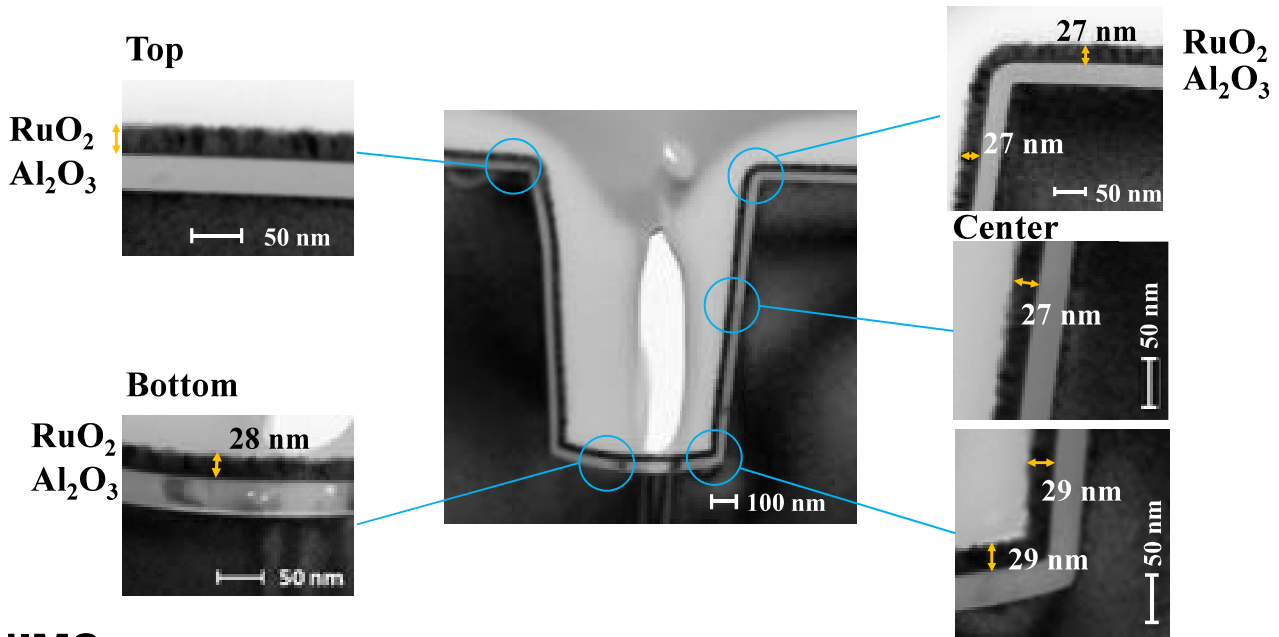


T. Sawada et al., J. Vac. Sci. Technol. A 35, 061503 (2017).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-Ru成膜でのインキュベーション



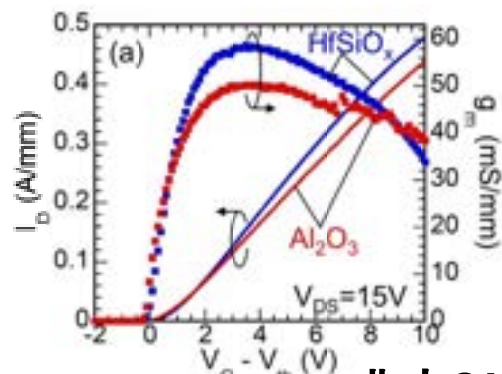
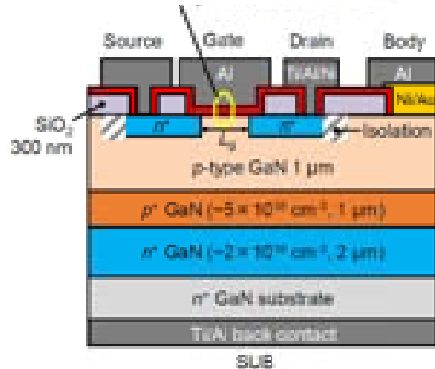
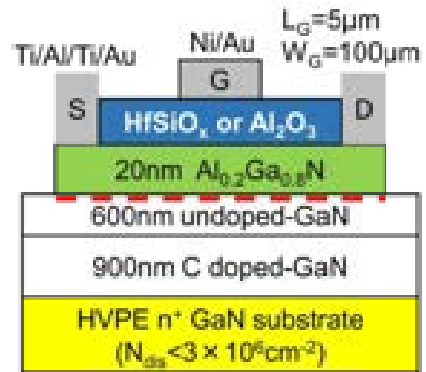
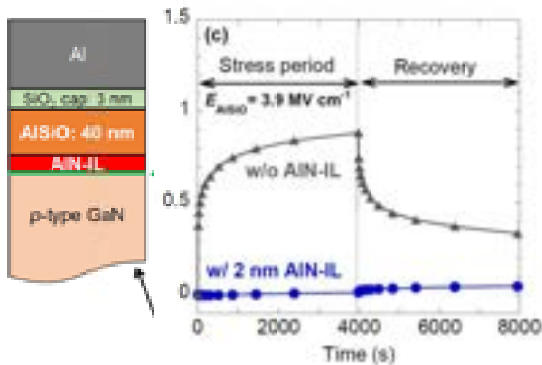
NIMS

T. Sawada et al., J. Vac. Sci. Technol. A 35, 061503 (2017).

EDIT30\_2025.1.22

Toshihide Nabatame

# GaNパワーデバイスのALD-絶縁膜



トヨタ中研&名大

K. Ito et al., IEDM2023, T26-2 (2023).

北大&NIMS

R. Ochi et al., AIP Advances 10, 065215 (2020).

T. Nabatame et al., Appl. Phys. Express 12, 011009 (2019).

EDIT30\_2025.1.22

Toshihide Nabatame

# HfSiO<sub>x</sub>、AlSiO<sub>x</sub>絶縁膜の(MeO)<sub>m</sub>/(SiO<sub>2</sub>)<sub>n</sub> ラミネートからの作製

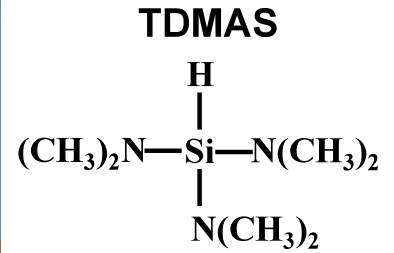
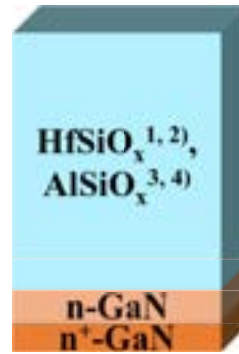
(MeO)<sub>m</sub>/(SiO<sub>2</sub>)<sub>n</sub> laminate

HfSiO<sub>x</sub>, AlSiO<sub>x</sub> films

MeO : HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>



Annealing



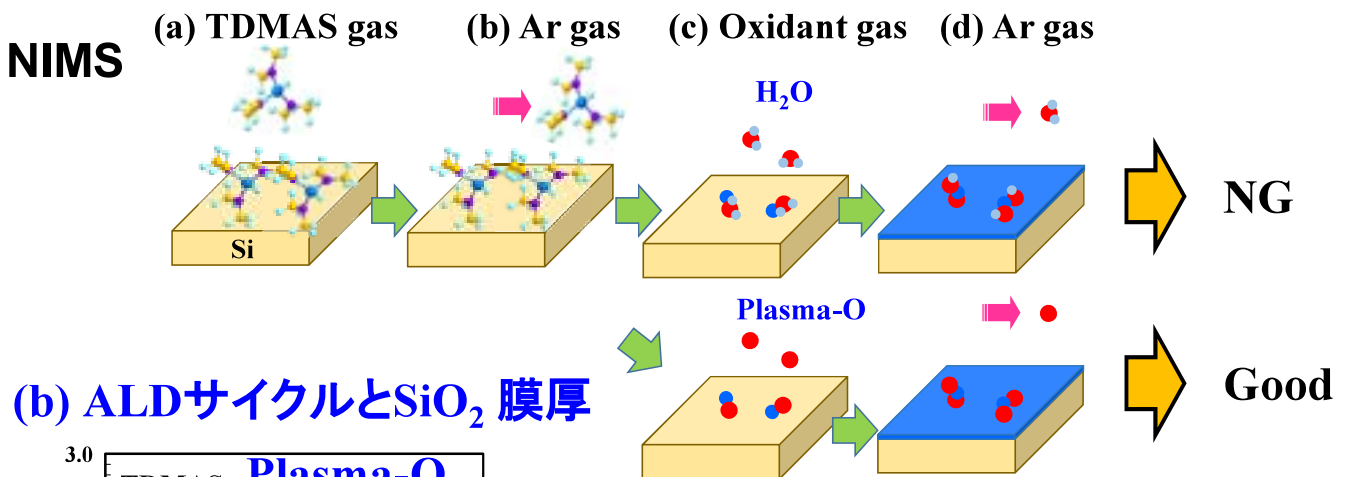
- 1) T. Nabatame et al., Appl. Phys. Express 12, 011009 (2019).
- 2) E. Maeda et al., Microelectron. Eng. 216, 111036 (2019).
- 3) D. Kikuta et al., J. Vac. Sci. Technol. A 35 01B122 (2017).

(MeO)<sub>m</sub>/(SiO<sub>2</sub>)<sub>n</sub> ラミネート膜は、PE-ALD法で作製して、Hf/Si及びAl/Si比は、ALDサイクルで制御できる。  
HfSiO<sub>x</sub> 及びAlSiO<sub>x</sub> 絶縁膜は熱処理で作製した。

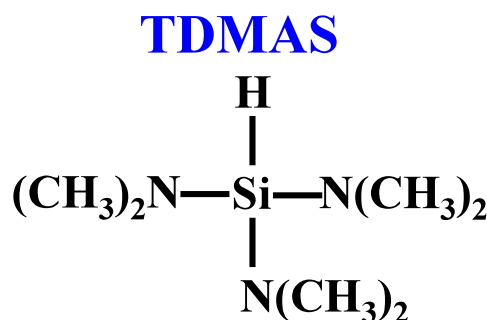
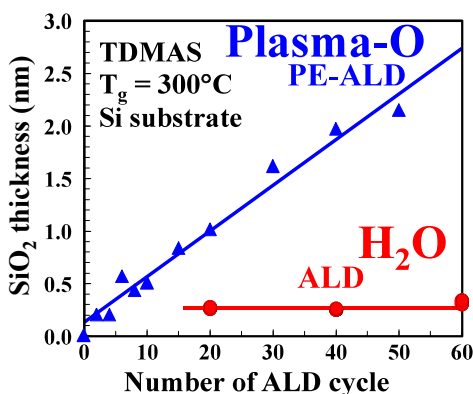
HfSiO<sub>x</sub>膜をデザインする上で、SiO<sub>2</sub> 成長を理解する事が重要である。

## H<sub>2</sub>OとO<sub>2</sub> plasmaのALD-SiO<sub>2</sub>成膜の比較

(a) ALD シーケンス



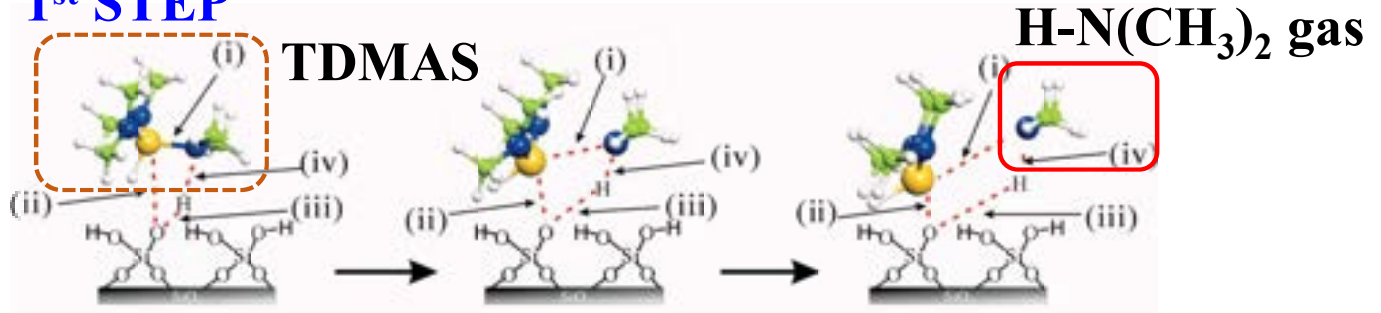
(b) ALDサイクルとSiO<sub>2</sub> 膜厚



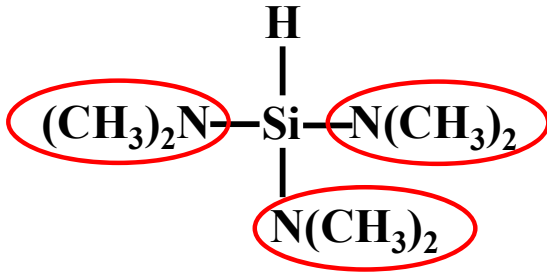


# 提案されているALD-SiO<sub>2</sub>膜の成膜メカニズム

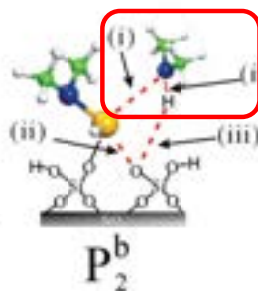
## 1st STEP



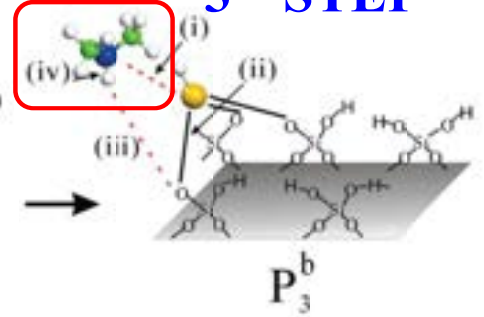
## TDMAS



## 2nd STEP



## 3rd STEP



J. Lei et al., J. Phys. Chem. C 113, 9731 (2009).

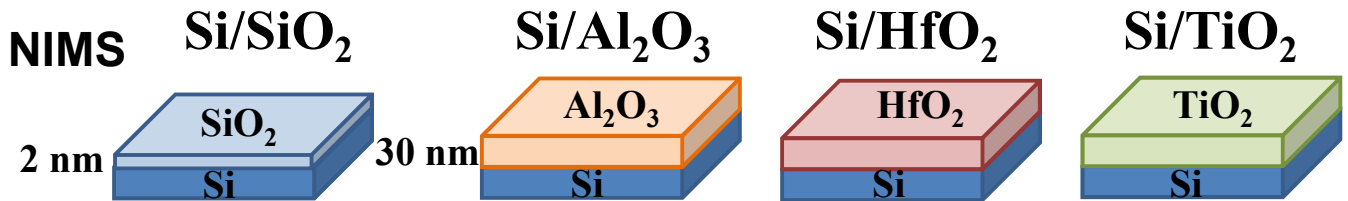
この成膜メカニズムでは、Si原料の配位子が外れる時に生成されるSiダングリングボンドが重要であり、これは200°C以上で生じる。

EDIT30\_2025.1.22

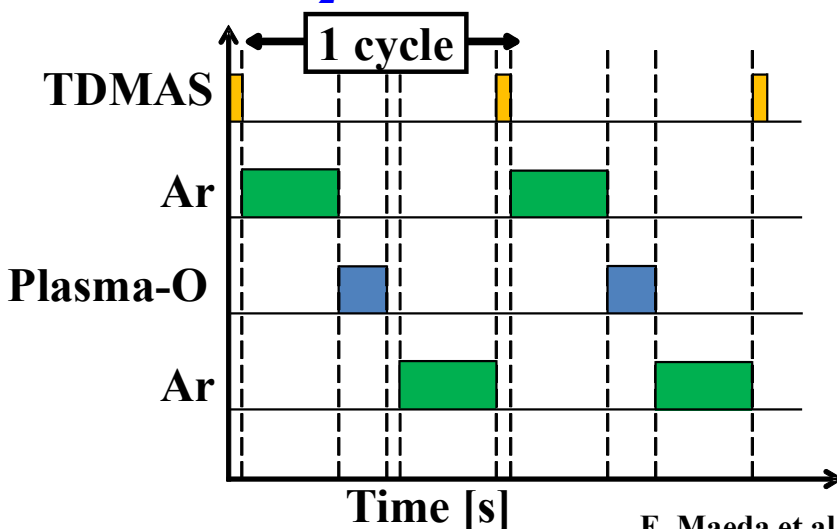
Toshihide Nabatame

# 4種類の下地基板 (SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, TiO<sub>2</sub>)

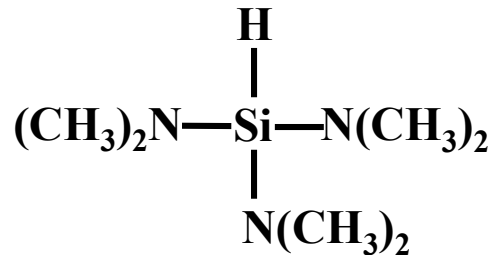
## 4種類の下地基板



## ALD-SiO<sub>2</sub> 成膜のシーケンス



## TDMAS



T<sub>g</sub> = 300 °C

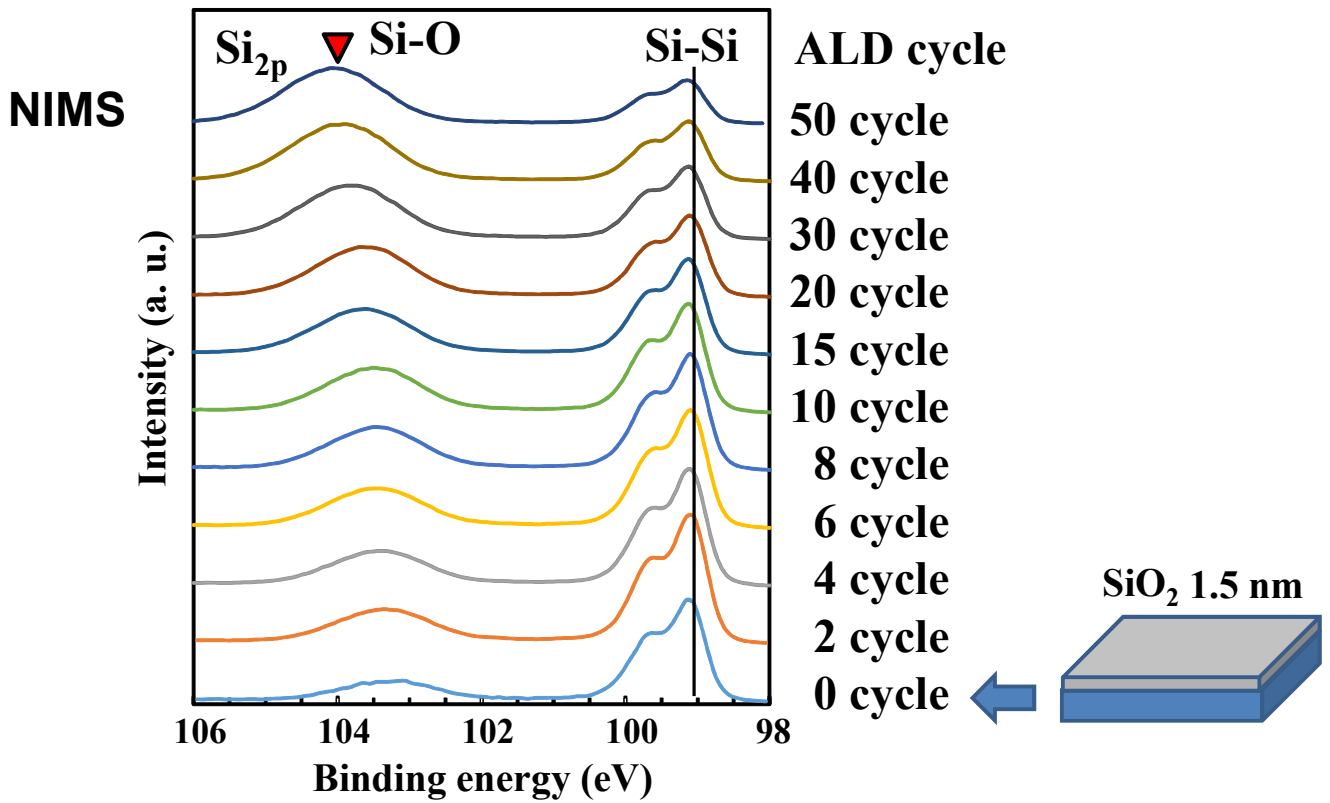
ALD cycle : 0 - 260 cycle

E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

EDIT30\_2025.1.22

Toshihide Nabatame

# Si/SiO<sub>2</sub>基板上のALD-SiO<sub>2</sub>膜のXPS Si<sub>2p</sub>



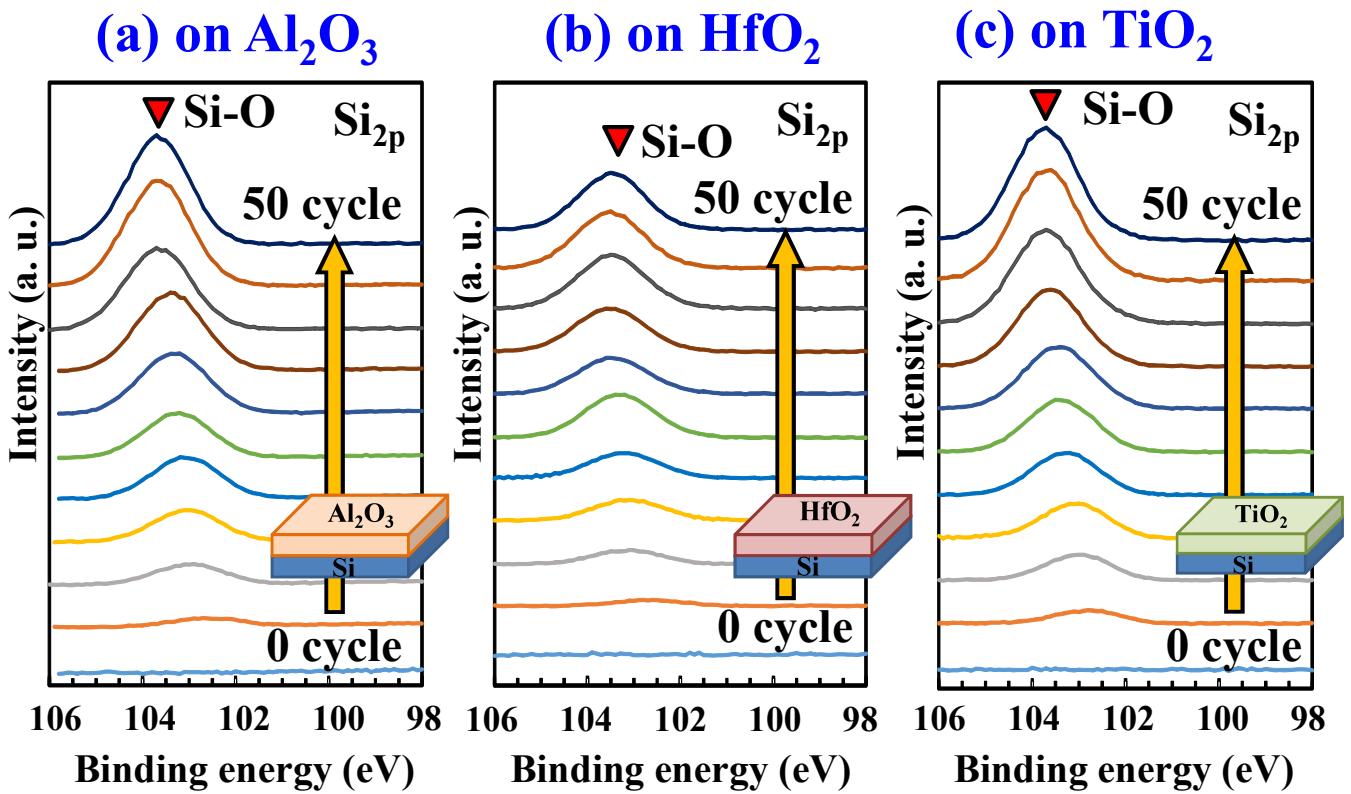
ALDサイクルが増加するに従って、Si-Oピーク強度は増加した。

E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

EDIT30\_2025.1.22

Toshihide Nabatame

# Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>, TiO<sub>2</sub>基板のALD-SiO<sub>2</sub>膜のXPS Si<sub>2p</sub>



いずれも、ALDサイクルと共に、Si-Oピーク強度が増加した。

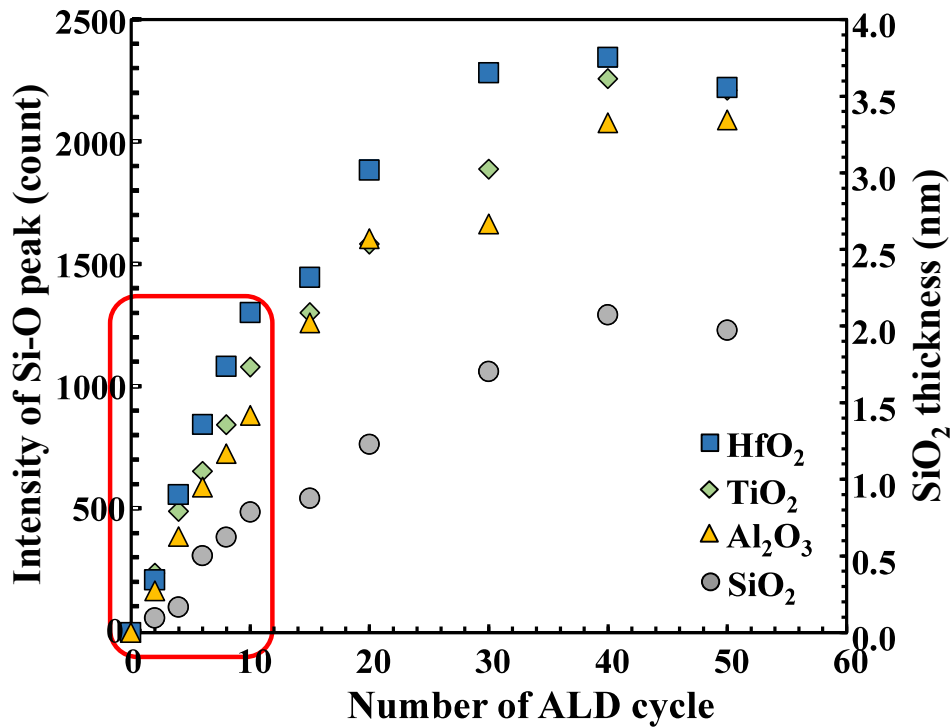
E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

EDIT30\_2025.1.22

Toshihide Nabatame



# 4種類の基板上的XPS Si-Oピーク強度



$\text{HfO}_2 > \text{TiO}_2 > \text{Al}_2\text{O}_3 \gg \text{SiO}_2$

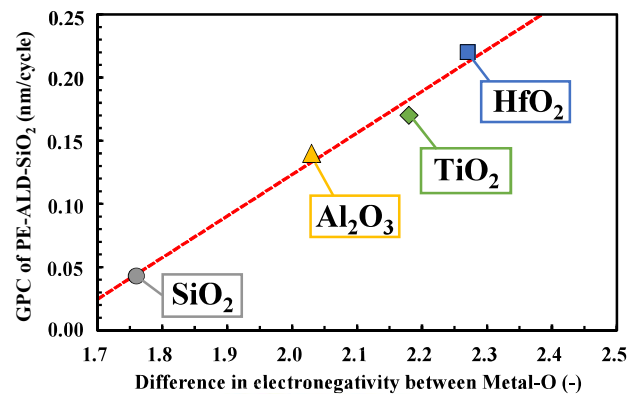
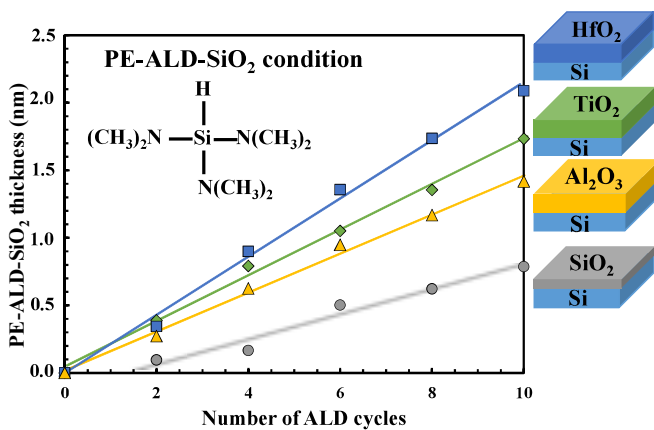
Slope = 0.0016 nm/countを用いて、縦軸を膜厚 (nm)へ変えた。

E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

EDIT30\_2025.1.22

Toshihide Nabatame

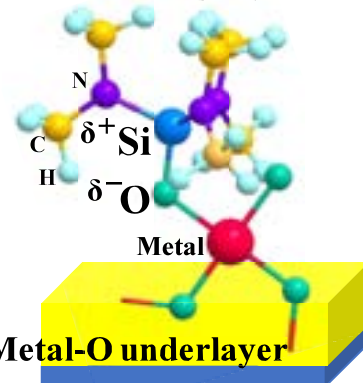
# Metal-O下地基板上のALD-SiO<sub>2</sub>成長



Element	Electronegativity*
Hf	1.23
Ti	1.32
Al	1.47
Si	1.74
O	3.50

2.27

1.76



E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

\*A. L. Allred et al., J. Inorg. Nucl. Chem. 5, 264 (1958).

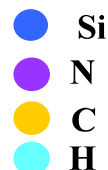
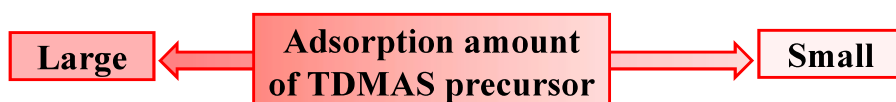
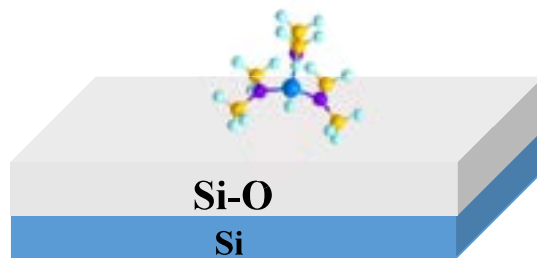
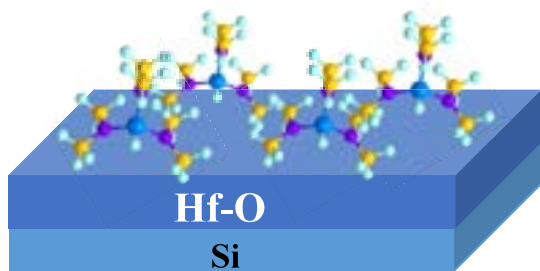
EDIT30\_2025.1.22

Toshihide Nabatame

# HfO<sub>2</sub>とSiO<sub>2</sub>下地基板上的でのSi原料の吸着の差

(a) High negative charge (HfO<sub>2</sub>)

(b) Low negative charge (SiO<sub>2</sub>)



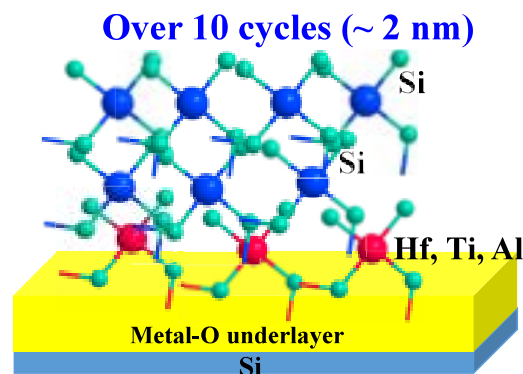
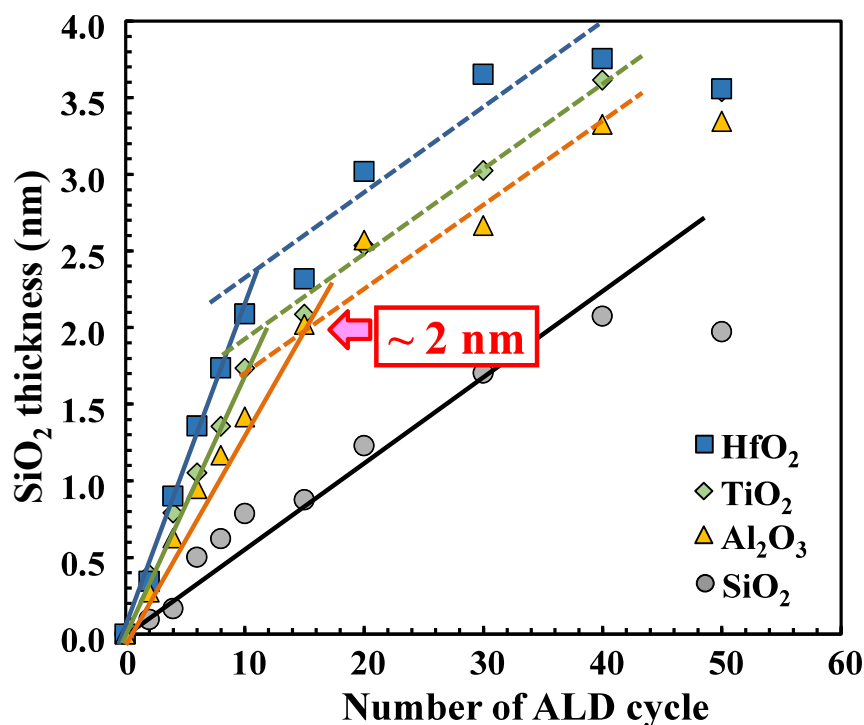
電気陰性度の大きなHfO<sub>2</sub>下地基板では、Si原料の吸着量が增大する。  
その結果、GPC成膜速度も増加する。

E. Maeda et al., J. Vac. Sci. Technol. A 38, 032409 (2020).

EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-SiO<sub>2</sub> 膜厚が2nm以上の成膜速度

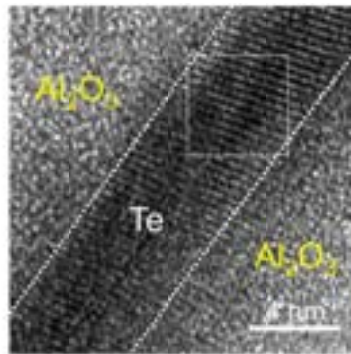
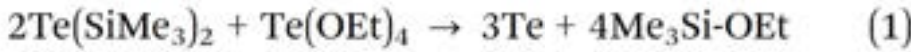
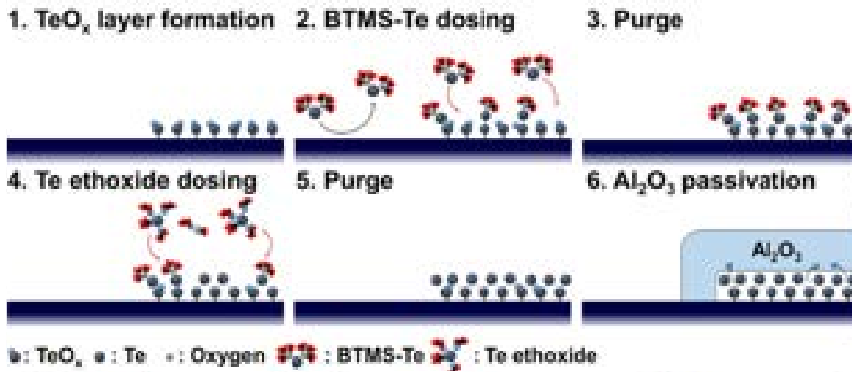


HfO<sub>2</sub>、TiO<sub>2</sub>及びAl<sub>2</sub>O<sub>3</sub>下地基板上でも、ALD-SiO<sub>2</sub>膜の膜厚が~2nm以上になると、SiO<sub>2</sub>下地基板とほぼ同じGPCへ変わる。

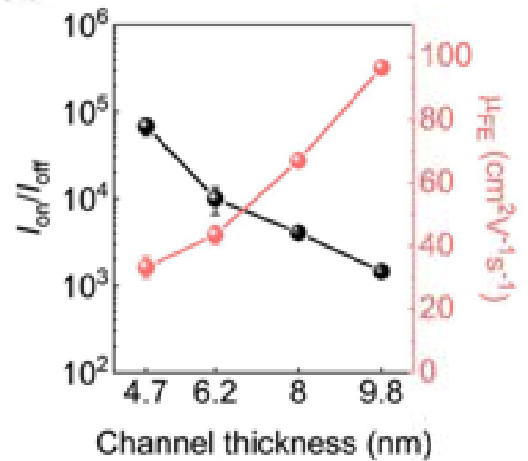
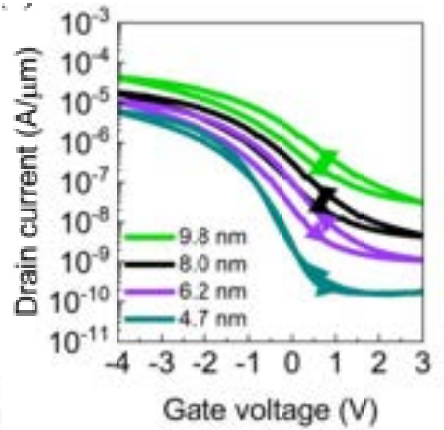
EDIT30\_2025.1.22

Toshihide Nabatame

# ALD-Te/TeO<sub>x</sub>



M. Kim et al., *Nanoscale Horiz.*, 9, 1990 (2024).



Toshihide Nabatame

EDIT30\_2025.1.22

# ALD-Te/TeO<sub>x</sub>

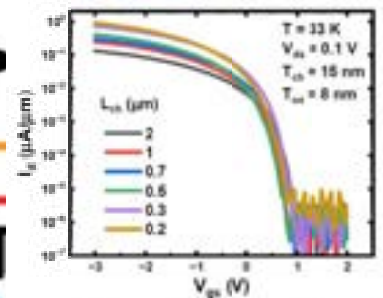
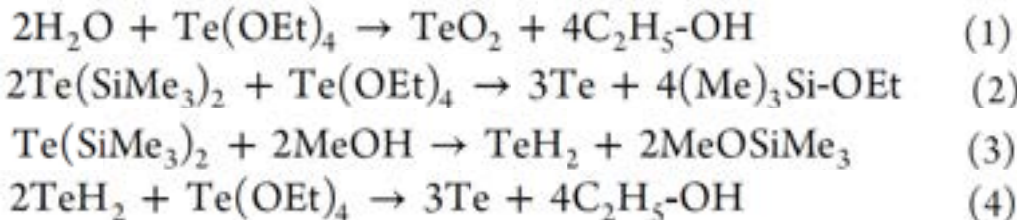
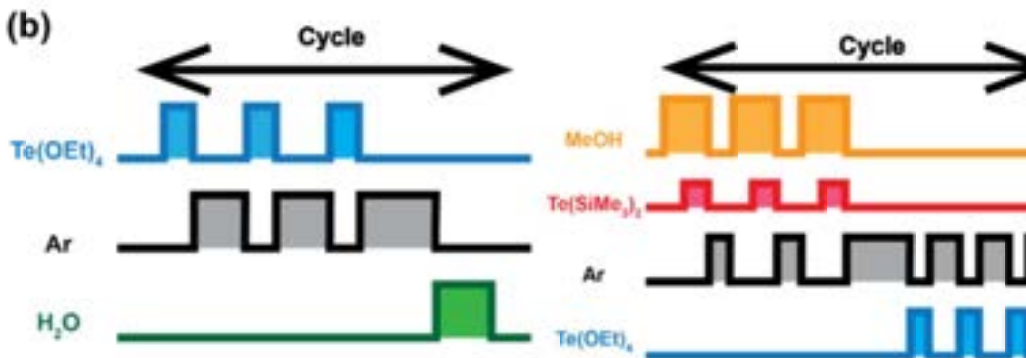
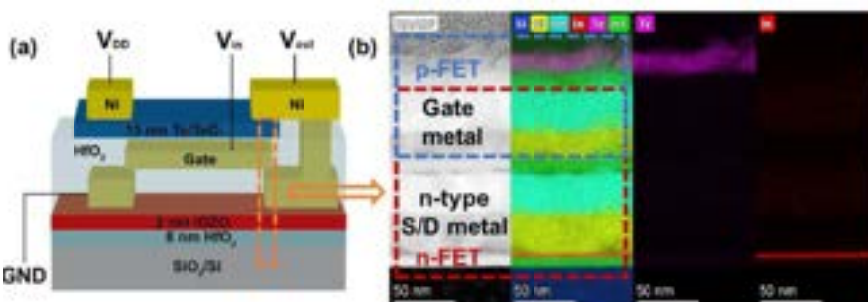


Fig. 17. Transfer characteristics of different channel length ALD-TeO<sub>x</sub>/Te FETs measured at 33 K. The gate dielectric is 8 nm HfO<sub>2</sub>.



Purdue Univ.  
Prof. D. Ye

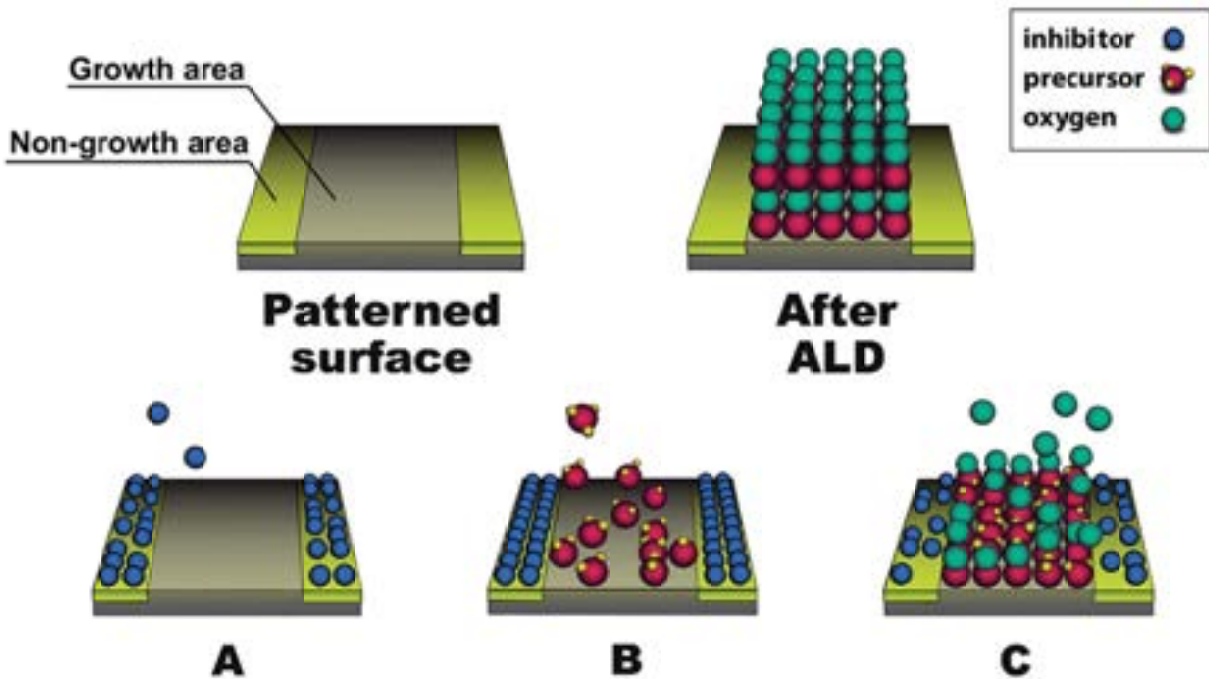
P. Tan et al., *Nano Lett.* 24, 12433 (2024).

C. Niu et al., 12.2 IEDM2024.

Toshihide Nabatame

EDIT30\_2025.1.22

# 選択成長(ASD)



Inhibitor----有機膜も選択吸着 on Non-growth area  
 ALD---ALD膜が選択吸着 on Growth area

ASD : Area selective deposition

A. Mameli et al., ACS Nano 11, 9303 (2017).

Toshihide Nabatame

EDIT30\_2025.1.22

## ASD-TiO<sub>2</sub>膜の選択成長メカニズム

SiO<sub>2</sub>/Si基板    OTS膜    E-beamパターン    ALD-TiO<sub>2</sub>

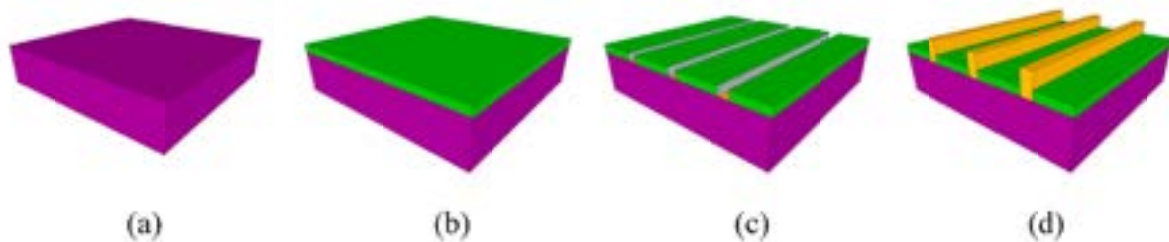


Figure 1. Schematic of area-selective deposition: (a) SiO<sub>2</sub>/Si substrate was cleaned by UV/O<sub>2</sub>; (b) an OTS monolayer was self-assembled on the SiO<sub>2</sub>/Si substrate; (c) e-beam was applied to pattern the OTS SAM; (d) TiO<sub>2</sub> thin film was selectively deposited on e-beam-irradiated area by ALD.

OTS膜----Inhibitor

SiO<sub>2</sub>面---TiO<sub>2</sub>膜が選択成長できる表面

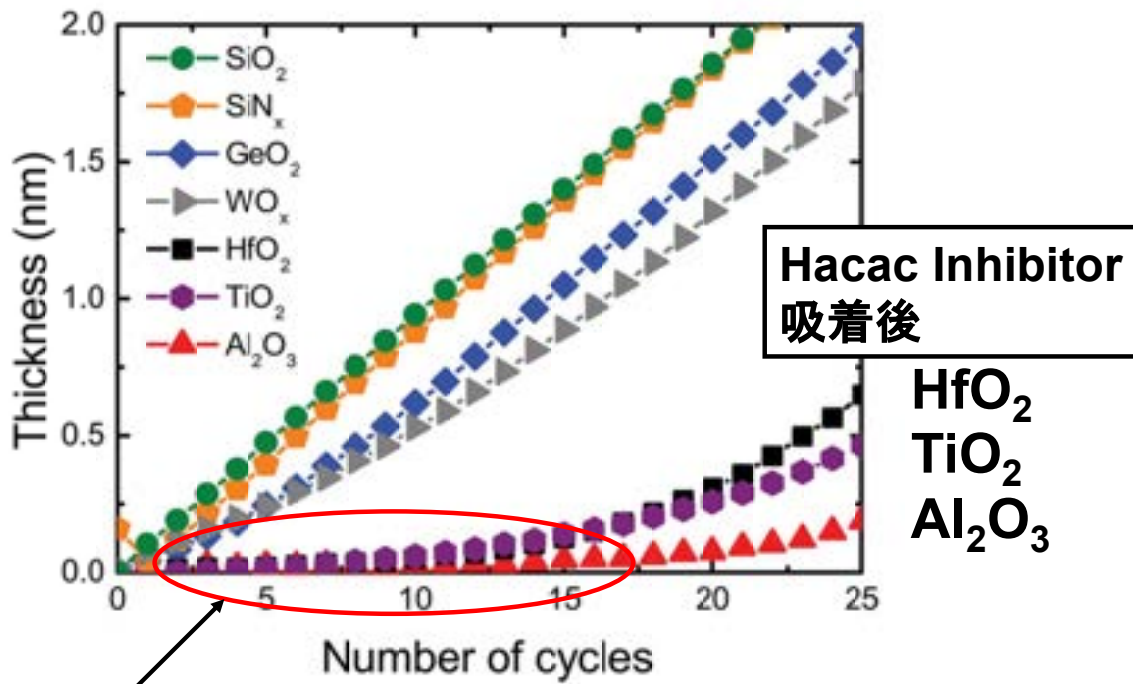
J. Huang et al., J. Phys. Chem. C 118, 23306 (2014).

EDIT30\_2025.1.22

Toshihide Nabatame



# ASD-SiO<sub>2</sub>膜の選択成長メカニズム



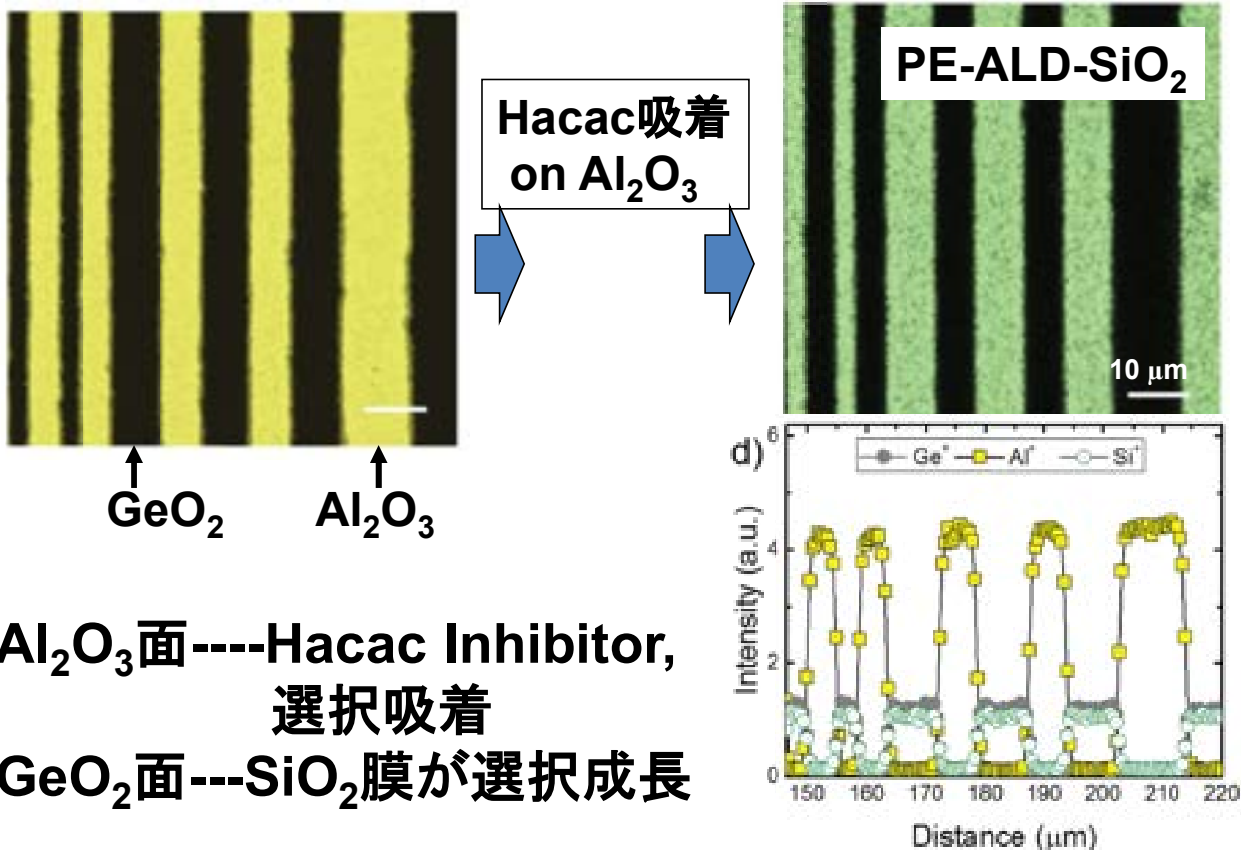
インキュベーションが現れる。

A. Mameli et al., ACS Nano 11, 9303 (2017).

Toshihide Nabatame

EDIT30\_2025.1.22

# ASD-SiO<sub>2</sub>膜の選択成長メカニズム

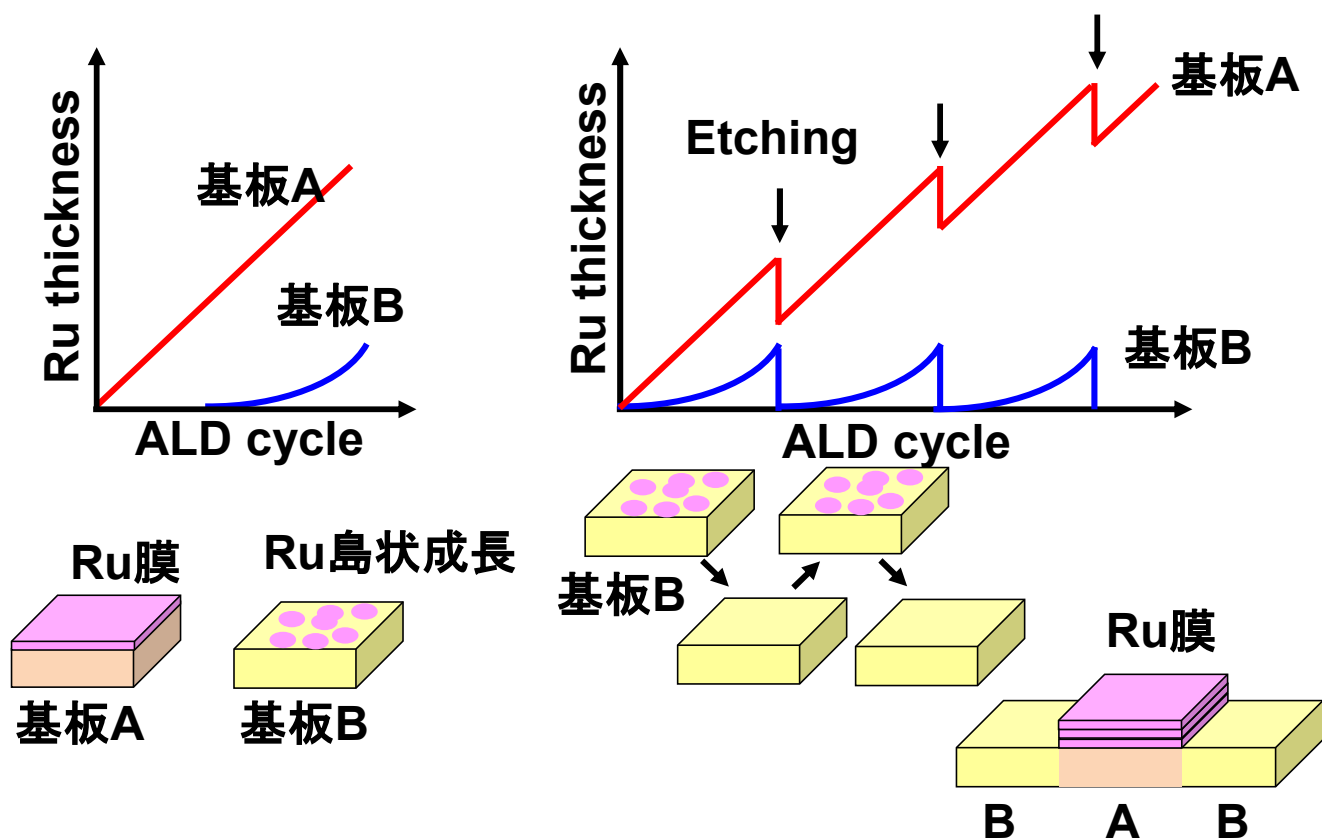


Al<sub>2</sub>O<sub>3</sub>面---Hacac Inhibitor, 選択吸着  
GeO<sub>2</sub>面---SiO<sub>2</sub>膜が選択成長

EDIT30\_2025.1.22

Toshihide Nabatame

# ASDとAtomic layer etchingの組合せ



EDIT30\_2025.1.22

Toshihide Nabatame

## 目次

1. 原子層堆積法 (ALD) とALDの歴史
2. 一般的なALD技術
3. カクテル原料のメリット
4. 酸化ガスの連続供給技術
5. 原料ガスの吸着律速と選択ALD
6. 2DへのALD技術

EDIT30\_2025.1.22

Toshihide Nabatame

# MoS<sub>2</sub>上のALD-HfO<sub>2</sub>/TiN

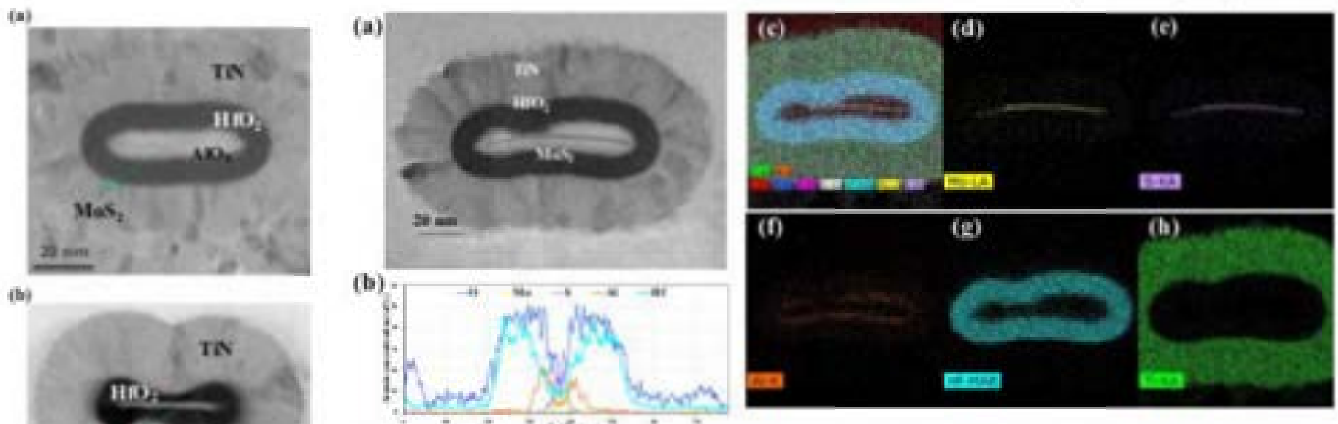


Fig. 13. TEM of GAA nanosheet (a) with and (b) without soaking.

Fig. 14. (a) TEM cross-section of a monolayer MoS<sub>2</sub> NS-FET with high-k and gate metal fully wrapped around the channel. (b) Corresponding EDX spectroscopy element mapping. EDX line scan across the center in (a). (c) EDX mapping of (d) Mo, (e) S, (f) O, (f) Al, (g) Hf, and (h) Ti, showing the flat monolayer MoS<sub>2</sub> and the gate stack wrapping in the integrated device.

imec

F. Xi et al., 12.4 IEDM2024.

# WSe<sub>2</sub>上のALD-HfO<sub>2</sub>/TiN

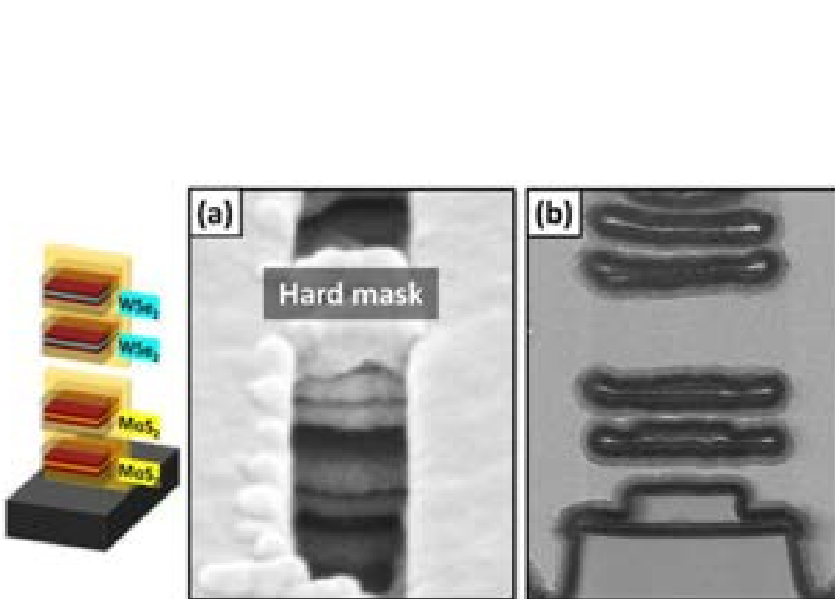


Fig. 19. (a) Tilted SEM and (b) TEM images of stacked WSe<sub>2</sub> and MoS<sub>2</sub> NS channels after HKMG deposition. Four stacked flat nanosheets and good conformality of the HfO<sub>2</sub>/TiN gate scheme are demonstrated.

TSMC

Y.-Y. Chung et al., 12.5 IEDM2024.

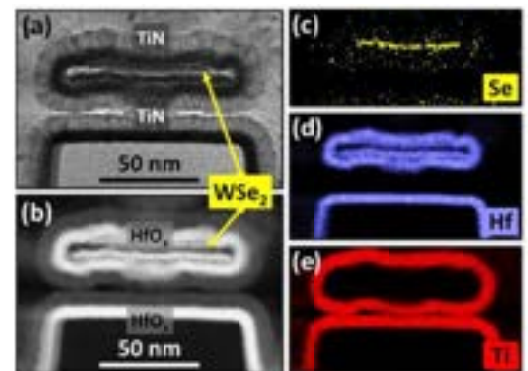
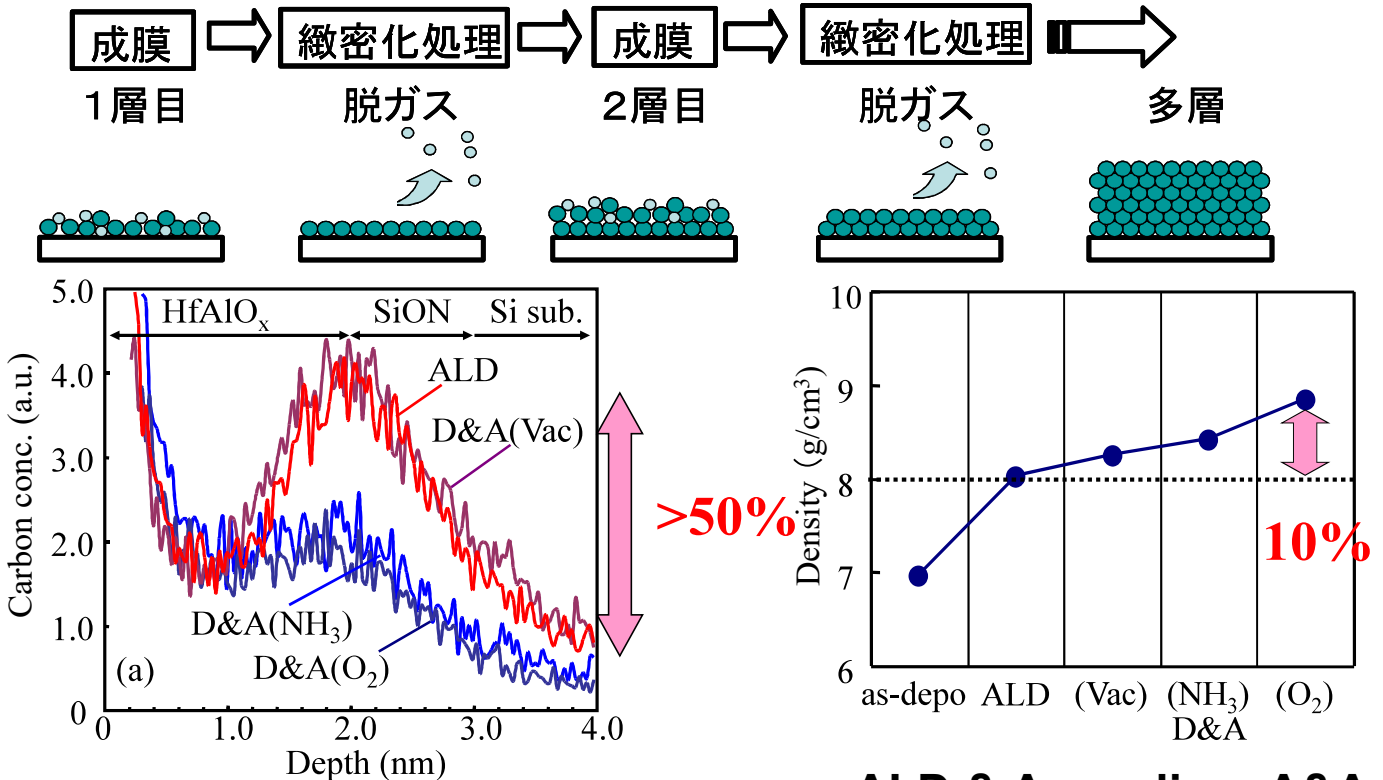


Fig. 7. (a) and (b) show TEM images of 1L-WSe<sub>2</sub> NS after HKMG deposition. (c)-(e) display EDX mapping of Se, Hf, and Ti confirming the presence of the 1L-WSe<sub>2</sub> NS channel with GAA HfO<sub>2</sub>/TiN.

# LL-D&AからA&Aへ

## Layer-by-Layer Deposition & Annealing: LL-D&A



T. Nabatame et al., T03A5 VLSI2003.

## ALD & Annealing: A&A

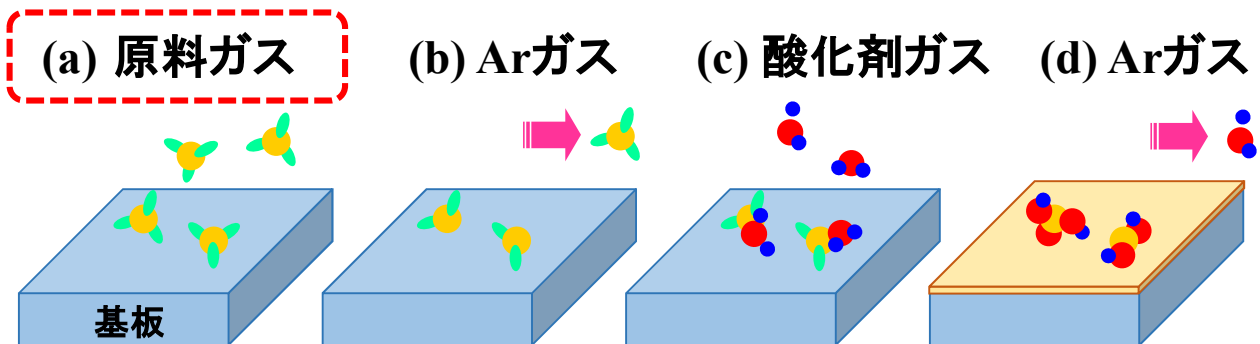
Toshihide Nabatame

## まとめ

最先端デバイスに、原子層堆積 (ALD) 技術はスタンダードであり、**表面吸着反応律速**のため。



**ALDのキーは、原料の吸着！**



**新規なALD原料の開発は必要！**



**NIMS**:塚越一仁氏、澤田朋実氏、三浦博美氏、  
宮本真奈美氏、大井暁彦氏、池田直樹氏、井上万里氏

**芝浦工大**:大石知司先生、清野肇先生、木村将之氏、  
山田博之氏、山本逸平氏、弓削雅津也氏、  
前田瑛里香氏、廣瀬雅史氏

**明大**:小椋厚志先生、栗島一徳氏、女屋崇氏、小林陸氏

に感謝致します。

ご清聴ありがとうございました。

# NAND フラッシュメモリの開発経緯及び次世代メモリに期待すること

## History of NAND Flash Development and expectation of next generation memory devices

白田 理一郎

国立清華大学, 300044 新竹市光復路二段 101 号, 台湾

Riichiro Shirota

National Tsing Hua University, 101, Sec 2, Kuang-Fu Rd., Hsinchu, 300044, Taiwan

Tel: + 886-9-75759807 (e-mail: riichiro.shirota@gmail.com)

### Abstract

Review of the history of NAND Flash Memory firstly started to develop in Toshiba from 1987.

#### 1. はじめに

半導体不揮発性メモリは EPROM (電氣的に書き込み可能な不揮発性メモリから始まり、次に EEPROM (電氣的に消去と書き込み可能なメモリ)が世に出された。従来 EEPROM は数バイト単位で書き込み/消去出来たが、単位メモリセル当たり 2 トランジスタが必要でセル面積が大きく、それ故 256k ビット以上の中容量メモリは作られていない。1984 年に東芝の舛岡博士はバイト単位では無く、多くの一塊のセルアレイを一括で消去する事により、単位セルが 1 メモリトランジスタのみで構成出来る事を示した [1]。書き込みは EPROM と同じく浮遊ゲートへの hot electron への注入、消去は浮遊ゲートから消去ゲート(Erase gate)への電子抜きで閾値を変化させる。東芝はこの一括消去の EEPROM を Flash メモリと命名した。その後 Intel を始めとし各社が様々の Flash メモリを提案・製造を始めた。後にそれらはセルアレイの回路構成から NOR Flash と呼ばれる。しかし NOR Flash ではメモリセル毎にビット線とソース線コンタクトを持ち (図 1)、その部分の面積が大きい為、更なるセル面積縮小が望まれた。1987 年に東芝は舛岡博士と我々のチームはビット線とソース線コンタクトの間に複数のメモリセルを直列に配置する NAND Flash を提案し [2]、本格的

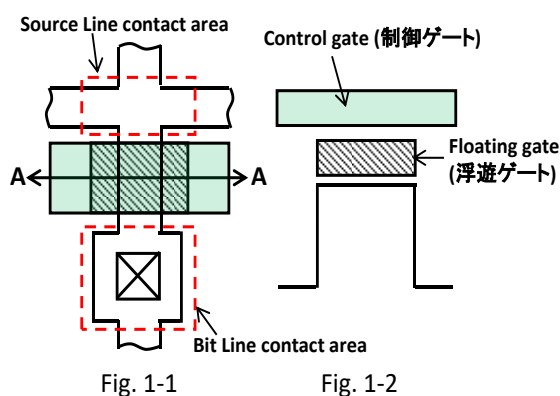


Fig.1-1 Schematic view of NOR Flash.

Fig. 1-2 Cross section of A-A line.

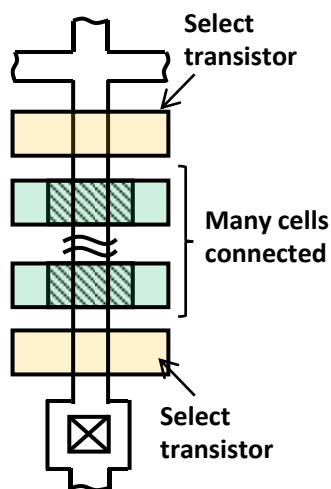


Fig.2. Schematic view of NAND cell. Many cells are connected in series between two select transistors.

に開発に着手した。NAND Flash は複数のセルを直列接続する事でビット線とソース線コンタクト部の面積を複数のセルで共有するため、実効的セル面積縮小効果が有った (図2)。実は1986年にもRCAよりNAND配列のFlashの提案[3]等が有り、必ずしも東芝が初めての提案では無かったが、それらは単発の提案に留まっていた。つまりNAND Flashの研究開発チームを作って、本格的に始めたのは東芝が世界で初めてであった。

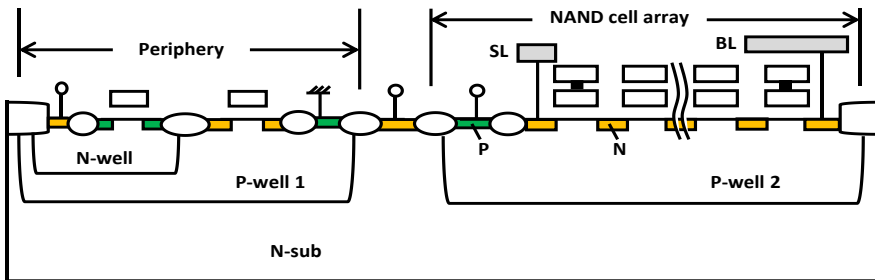


Fig.3. Cross sectional view of NAND Chip. Cell array is covered by P-well 2. For erasing, high voltage is applied to P-well 2 with CG grounded in selected block.

## 2. NAND Flash の市場ターゲット

舩岡博士を長とする NAND Flash 開発メンバーは初から Hard Disk Drive (HDD) の置き換えを狙った。Flash memory は HDD に比べ幾つかの長所が有った。1. HDD の様に駆動部が無く、半導体であるが故に小型化出来る。2. モーター駆動が不要なため消費電力も少なく済むし、クラッシュする事も無い。3. 揺れに強い為、モバイル用途に向く。4. データ読み出し時の頭出し時間が数桁早い。しかし開発当初は 0.7  $\mu\text{m}$  のデザインルールのメモリセルで有ったためビット単価は HDD より極めて高く、殆ど business には成らなかった。しかし最終的にはこの target は正しい事が証明されたと言って良いであろう。

## 3. 研究開発から製品化へ (4M, 16Mbit NAND)

NAND Flash は複数のセルを直列接続する為、読み出し電流が取れずそれ故読み出しスピードが遅い欠点の有った。しかし HDD の動作に比べると早いため許容出来ると判断した。つまり性能よりセル面積縮小によるビットコスト低減を優先した訳で有る。問題はデータ書き込み動作で、複数のセルが繋がっている為に、選択的セル以外のセルへの誤書き込みが懸念された。つまり NAND Flash に適したデータ書き込み・消去法を開発する必要が有った。初めは

NOR Flash と同じ Hot electron 書き込みを狙ったが、選択書き込みに難が有った。次に浮遊ゲートからドレインへのトンネル電子除去を試みるもセル動作の信頼性に難が有り中止した。次に Si 基板と浮遊ゲート間でトンネル効果を用いて電子の出し入れを行う方式を考案した[4, 5]。消去時に浮遊ゲートから Si 基板へ電子を抜くため、Si 基板に高電圧を印可する。そのために Si 基板を 2 重 well 構造にした (図3)。

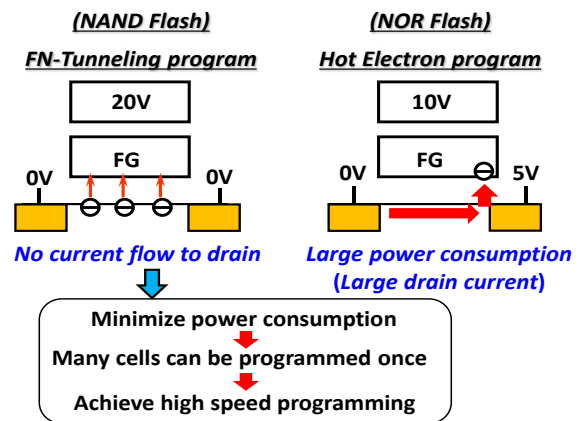


Fig.4 Show the difference of Program scheme between NAND & NOR Flash.

今では本構造は公知と成っているが、開発当初は well 間のラッチアップや耐圧が疑問視された。しかし本方式を用いて 1990 年に NAND Flash の書き込み・消去動作の基本動作を確認する事が出来て、我々研究所はメモリ事業部と製品化への共同開発を開始した。

尚、本書き込み・消去方式はメモリセルの微細化と高速書き込みに最適な方式で有った。図4に示す様に書き込み時にメモリセルのソースとドレインに同電位を与えるので、ゲート長を微細化してもソースとドレイン間にリーク電流が流れない。よってソースとドレインの N 型拡散層濃度を減らす事が出来て、ゲート長の

微細化が可能と成った。尚、3D-NAND ではソースとドレインの N 型拡散層を設けて無いが、それは本書き込み・消去法を用いているからである。又リーク電流が流れない為、単位セル当たりの消費電流を 1nA 以下に抑えられる為、多数のセルを同時に書き込み出来る様になった。結果的に実効書き込みスピードが高速化に繋がった。この高速書き込み動作は大容量メモリには必要不可欠な性能である。よって本方式は現在でも全ての NAND Flash に使われている。このように NAND Flash の性能は書き込み・消去動作と深く結びついている。

1992 年には 4Mbit、1993 年には 16Mbit の NAND Flash の製品化が出来たが、事業としてはここからが正念場であった。と言うのも出荷先からの不具合の指摘が多発したのである。その多くは信頼性に関するもので、データの書き換えを繰り返すと不良ビットが発生したのである。NAND Flash では書き込み・消去時にゲート酸化膜に 10MV/cm 程度の高電圧がかかり、データ書き換えを繰り返すと酸化膜の劣化が起こる。そのため、データ書き換え回数に上限が有るが、90 年代初頭には不良ビットの扱いに習熟していなかった。一方、磁気メモリで有る HDD に目を向けると、出荷後の不良発生を前提として対策をしていた。東芝は HDD を見習い、且つ顧客との対話の中で NAND Flash の信頼性を確保する方法を習得して行った。それは NAND Flash とホストとの間に NAND コントローラーと言う特殊な IC を挟む事で NAND Flash の幾多の不具合を吸収して行く手法で、例えば或る範囲内の不良ビットをコントローラーで検出、補正する事も可能である。NAND Flash を使う際には NAND コントローラーが必要不可欠で有る事は今では常識に成っているが、元々は 4M 及び 16M ビットの NAND Flash の信頼性向上に端を発している。

更に 16M チップには重要な設計技術が採用されていた。元々 NAND Flash の書き込みスピードはセル毎に異なる。よってセルの書き込み閾値を揃えるにはセル毎に書き込み時間を最適化する必要が有るが、4M NAND Flash までは制御ゲートに印可する高電圧を  $20\mu s$  程の短い書き込みパルスに分割し、各パルス印可後にセルの閾値を読み出してホスト側に送り、ホスト側から各セルの書き込み終了か否かを NAND チップに送り返す手続きをしていた (Verify-

program)。しかしこの方法ではホスト側とのやり取りに時間がかかり過ぎた。そこでチップ内で各セルの書き込み終了を自動検知する方法 (Auto Verify-Program) を考案した [6, 7]。図 5 は本方式を用いた回路図である。各 NAND セルのビット線はセルアレイ端でセンス・アンプに接続される。センス・アンプではデータ読み出しが行われるが、赤枠で囲った 2 つのトランジスタを追加するのみで自動で書き込み時間最適化出来るように成った。よって本方式は現在でも全ての NAND Flash に使われている。

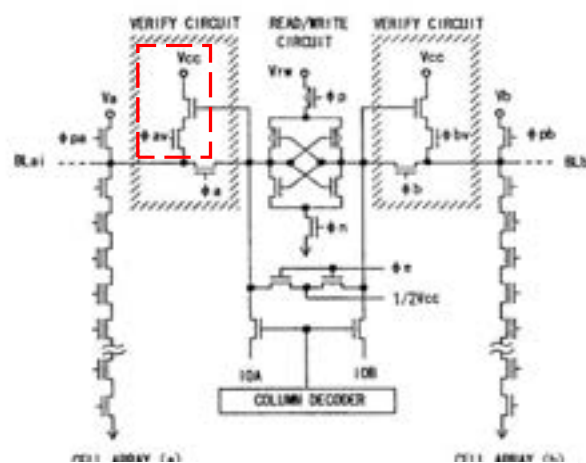


Fig. 5 shows the column decoder circuit of NAND Flash.

以上 16M NAND Flash までの開発で NAND Flash の LSI としての基本的なツールは整ったと言える。1 つ目は NAND セルアレイ構造、2 つ目は書き込み・消去方式、3 つ目は自動書き込み時間最適化回路である。それ以降現在まで NAND Flash の大容量化の開発は続くがこの 3 つの基本は変わっていない。

#### 4. 64M, 256Mbit NAND に至る技術の発展

4M と 16M 世代は  $0.7\mu m$  ルール(メモリセルのゲート長)で有ったが、64M ではデザイン・ルールが  $0.4\mu m$  となった。また、64M では書き込み後の閾値分布幅が狭く成り、更に書き込みスピードが速く出来る徐々に制御ゲートに印可する電圧を上げる step up 書き込み方式を採用した[8]。又ビット線間の距離が短くなり読み出し時に隣接ビット線干渉が無視できなくなり、読み出しビット線の両側を固定電圧とする



Bit 線 Shield 技術も用いる様になった[9]。

1992 年の 4M の製品化から 1997 年の 64M NAND の製品化まで 5 年経っていたが、HDD に比ベビット当たりの単価が高すぎた為 NAND Flash の売り上げは低迷していた。そこで半導体事業本部からは撤退を勧められる事もあったが、メモリ事業部は将来の有望株で有るとして撤退しなかった。一方メモリ容量が大きくなるに連れ徐々にメモリカード、デジタルスチルカメラ等のモバイル用途の新規市場の伸びと軌を一にして、NAND Flash も少しずつ進展を図って行った。そして 256M NAND は新たに世に出た Si オーディオにも使われ、ようやく事業として独り立ち出来る様になった。256M NAND では隣接セル間のスペースが  $0.25\mu\text{m}$  と縮小され Si に溝を掘るトレンチ分離が用いられたが、他のデバイスとは異なり、浮遊ゲート加工とトレンチ・エッチングを同時に行う独自の構造を開発した[10, 11]。

### 5. 多値化によるメモリ容量倍増化

2001 年に 1 セル当たりに 2 ビット (4 値) のデータを格納する技術を用い、160nm のデザインルールで 1G NAND Flash を製品化した。それ以降各世代で 1 ビット/セルと 2 ビット/セルの製品が作られる様になり、32nm ルールの製品からは 3 ビット/セルも製品化された。図 6 は東芝に於ける技術トレンドを示す。黄色が 1 ビット/セル、オレンジが 2 ビット/セルの推移を示

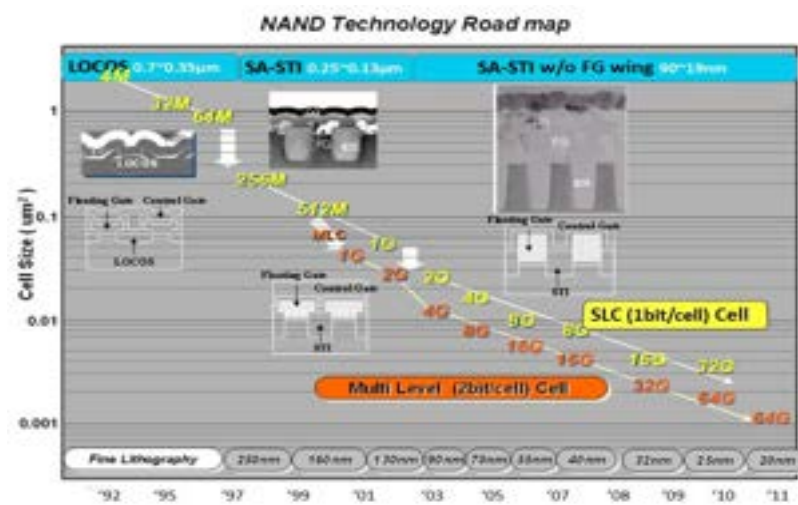


Fig. 6. Technology trend of NAND Flash in Toshiba.

す。多値化に当たり、問題になったのが隣接セル間干渉による書き込みセルに於ける閾値分布の拡大であるが、各セルへのデータ書き込み順の工夫と誤りデータ補正の強化、読み出し時の読出し電位の最適化技術等で対応している。

### 6. 1Gbit 以降の NAND Flash

1Gbit NAND 以降も微細化による大容量化は進んで行った。様々な技術革新の中で 1 つ紹介すると、リソグラフィに於けるレーザー光源の波長の制約で加工寸法が 42nm で打ち止めに成った事である。よって 2006 年に NAND Flash も 32nm のルールの迄小さくなると加工技術にも限界が来た。そこで特殊加工による微細パターン形成技術を導入された。それは露光とエッチングで形成するパターンの側壁にマスク材を形成し、そのマスク材を用いて 1st パターンの half pitch を実現する手法であり、現在も広く使われている技術である。尚、東芝は 1990 年に露光技術によらずに線幅 (line) とその線間隔 (space) を微細化出来る技術を提案している [12, 13]。メモリセルの微細化は 15nm のデザインルールまで続いたが、それ以降は 3 次元 NAND (3D-NAND) へと置き換わる事になる。私は 2006 に東芝を退職して、台湾で大学の職に従事したが、丁度同年に東芝での 3D-NAND の開発が始まった [14]。そして 2016 年に 3D-NAND の生産が始まり、その当時ワード線(制御ゲート配線)の縦積み積層数が 64 層であった。それが現在は積層数が 300 を超える訳で、8 年足らずで、

目を見張る進展を遂げた事に成る。改めて基礎技術が確立してからの、各社の開発スピードの加速化を実感する。

以上 NAND Flash の 1987 年の開発開始から現在までを振り返ったが、1 点 NAND Flash のランダムアクセスが低速 ( $\geq 20\mu\text{s}$ ) である事がチップの大容量メモリ化に大いに役立っている事を説明したい。一般に高速アクセスを達成するにはワード線とビット線の遅延を減らす必要が有る為に 1 つのセルアレイサイズを小さくする必要が有る。それはチップ内でのセルアレイの個数を増やす事に成り、セルアレイ端でビット線とワード線駆動する

デコーダー回路の面積が増えてしまう。しかし低速アクセスを許容するとセルレイサイズは大きく出来て、故にデコーダー回路がチップ面積に占める割合を大きく減らせる。それによりセル占有面積を約 80%程度に大きく出来る訳である。

#### 4. まとめ

以上1987年に始まった東芝(現キオクシア)に於ける NAND Flash の開発の経緯の紹介です。又文献[15]により詳細な説明が有ります。

#### 5. 次世代メモリに期待すること

本文では詳細は記しませんが、研究会では以下の内容について話をさせていただきます。

1. 重要度を増す半導体メモリの低消費電力化
2. NAND Flash 以外のデバイスの3次化は？
3. In Memory Computing への期待

#### 参考文献

- [1] F. Masuoka, M. Asano, H. Iwahashi, T. Komuro and S. Tanaka: *IEEE International Electron Device Meeting*, p. 464 – 467, 1984
- [2] F. Masuoka, M. Momodomi, Y. Iwata, R. Shirota, *IEEE International Electron Device Meeting*, p. 552-555, 1987
- [3] R. Stewart, A. Ipri, D. Preslar, L. Faraone, D. Plus, K. Schlesier: *IEEE VLSI technology Symposium*, p. 89-90, 1986
- [4] 白田理一郎、伊藤寧夫、百富正樹、大内和則、舛岡富士雄、桐澤亮平、日本特許 2685770
- [5] R. Kirisawa, S. Aritome, R. Nakayama, T. Endoh, R. Shirota, and F. Masuoka, *IEEE VLSI technology Symposium*, p. 129-130, 1990
- [6] 田中智晴、百富正樹、加藤秀雄、中井弘人、田中義幸、白田理一郎、有留誠一、伊藤寧夫、岩田佳久、中村寛、大平秀子、岡本豊、浅野正通、徳重芳、日本特許 2647321
- [7] T. Tanaka, Y. Tanaka, H. Nakamura, H. Oodaira, S. Aritome, R. Shirota, and F. Masuoka, *IEEE VLSI circuit Symposium*, p. 20-21, 1992
- [8] G. J. Hemink, T. Tanaka, T. Endoh, S. Aritome and R. Shirota, *IEEE VLSI technology Symposium*, p. 129-130, 1995
- [9] K. Sakui, H. Nakamura, T. Tanaka, M. Momodomi, F. Masuoka, and T. Hasegawa, 米国特許5517457および5615163
- [10] S. Aritome, S. Satoh, T. Maruyama, H. Fatanabe,

S. Shuto, G. J. Hemink, R. Shirota, S. Watanabe and F. Masuoka, *IEEE International Electron Device Meeting*, p. 61 – 64, 1994

[11] R. Shirota, *IEEE Non-Volatile Semiconductor Memory Workshop*, pp.22-32, 2000

[12] R. Shirota, R. Nakayama, R. Kisawa, M. Momodomi, K. Sakui, Y. Itoh, S. Aritome, T. Endoh, F. Hatori and F. Masuoka, *IEEE International Electron Device Meeting*, p. 104-107, 1990

[13] R. Shirota, M. Momodomi, R. Nakayama, S. Aritome, R. Kirisawa, T. Endoh, S. Watanabe, 米国特許 5397723

[14] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi and A. Nitayama, *IEEE VLSI technology Symposium*, p. 14-15, 2007

[15] R. Shirota and K. Sakui, *JASP Review* 2023, 230103: <https://doi.org/10.11470/jsaprev.230103>.

# 高速メモリ応用を見据えた Channel-All-Around 型強誘電体トランジスタの動作実証

## First Demonstration of Channel-All-Around TiO<sub>2</sub> Channel Ferroelectric FET for High Speed Memory Application

株柳 翔一、浜井 貴将、前田 健、齋藤 真澄、藤井 章輔

キオクシア株式会社 先端技術研究所 〒512-8550 三重県四日市市山之一色町 800 番地

Shoichi Kabuyanagi, Takamasa Hamai, Takeru Maeda, Masumi Saitoh and Shosuke Fujii

*Kioxia Corporation, Yamanoishiki-Cho 800, Yokkaichi, Mie, 512-8550 Japan*

*Tel: + 81-59-330-2284, e-mail: shoichi.kabuyanagi@kioxia.com*

### **Abstract**

We demonstrate, for the first time, a 30nm-diameter vertical Channel-All-Around (CAA) ferroelectric FET (FeFET) with TiO<sub>2</sub> channel, aiming at 4F<sup>2</sup> high speed memory application. Thanks to Gate-Source/Drain overlap of CAA structure and interface-layer-free nature of oxide semiconductor channel, high  $\Delta I_{on}$  ( $>2\mu A$ ) and stable endurance ( $>1e6$  cycles) are simultaneously achieved in the smallest footprint ever (707nm<sup>2</sup>). Low aspect ratio FeFET with thermally stable crystallized TiO<sub>2</sub> channel facilitates multiple memory stacking. We also show the scalability of CAA FeFET without performance degradation by contact electrode optimization and spacer oxide engineering, providing a new path for future high density and high speed memory.

近年、人工知能と機械学習 (AI/ML) の急速な進歩により、DRAM 相当の高速動作、大容量、不揮発性を兼ね備えた新規メモリへの需要が高まっている。その候補として強誘電体 HfO<sub>2</sub> をベースとしたメモリが有望視されており、代表例として三次元積層 FeRAM[1]などが挙げられる。しかしながら、FeRAM のメモリセルは選択トランジスタと強誘電体キャパシタから成り、将来世代に向けてさらなる大容量化が必要になると、高アスペクト比のキャパシタを積層する必要が生じるためプロセスインテグレーション上の技術難度とコストの劇的な増加が見込まれる。

そこで我々は、縦型の強誘電体トランジスタ (FeFET) を三次元積層するアレイコンセプトを提案している[2]。縦型であることによりメモリセルを 4F<sup>2</sup> (F=Feature Size, 最小加工寸法) で構成できるため、大容量化が可能となる。また、強誘電体トランジスタのみでメモリ素子の役割を果たせるため、前述のように高アスペクト

比のキャパシタは作製不要となる。一方で、高速かつ大容量の三次元積層メモリを実現する観点で、強誘電体トランジスタに対しては高い駆動電流と良好な耐熱性が求められる。

本報告では、上記のような要求に応えられるデバイスとして、酸化物半導体である TiO<sub>2</sub> チャンネルを用いた Channel-All-Around 型の強誘電体トランジスタを試作・評価した結果を報告する。TiO<sub>2</sub> は酸化物半導体の中では耐熱性が高いチャンネル材料として知られており、強誘電体トランジスタとしても 1e11 サイクルを超える書き換え耐性など良好なメモリ特性が報告されている[3]。また、S/D 電極と Gate 電極がオーバーラップする領域を持つ Channel-All-Around 型であることによって、高い駆動電流と良好なスイッチング特性を期待できる。実際に我々が試作した Channel-All-Around 型の強誘電体トランジスタは、707nm<sup>2</sup> という微細領域において、2 $\mu A$  という高い  $\Delta I_{on}$  (強誘電体の分極反転によって生じる Program 状態と Erase 状態の  $I_{on}$  差) を示



すことを実証できた。将来世代の高速大容量メモリの実現に向けた道を切り拓く結果であると考えている。

講演会においては上記の内容に加えて、平面型 TFT での  $\text{TiO}_2$  チャンネル強誘電体トランジスタの基礎評価、および **Channel-All-Around** 型強誘電体トランジスタのさらなる微細化可能性についても議論する予定である。

#### 参考文献

- [1] N. Ramaswamy et al., “NVDRAM: A 32Gb Dual Layer 3D Stacked Non-volatile Ferroelectric Memory with Near-DRAM Performance for Demanding AI Workloads”, IEEE IEDM, 2023
- [2] S. Kabuyanagi et al., “A Vertical Channel-All-Around FeFET with Thermally Stable Oxide Semiconductor Achieving High  $\Delta I_{\text{on}} > 2\mu\text{A}/\text{cell}$  for 3D Stackable  $4\text{F}^2$  High Speed Memory”, Symp. VLSI Tech. Dig., 2024
- [3] T. Shiokawa et al., “High-Endurance ( $>10^{11}$  cycles) and Thermally-Stable Sub-100nm  $\text{TiO}_2$  Channel FeFET for Low-Power Memory Centric 3D-LSI Applications”, IEEE EDTM, 2023

# オゾンを用いたプリ酸化及びポスト酸化による $\text{Al}_2\text{O}_3/\text{Ge}$ MOS 界面の研究

## Study of $\text{Al}_2\text{O}_3/\text{Ge}$ MOS interfaces utilizing $\text{O}_3$ pre-oxidation and post-oxidation

○高橋 大輝<sup>1</sup>, Xiao Yu<sup>2</sup>, 青木 伸之<sup>1</sup>, 柯 夢南<sup>1</sup>

1 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

2 西安電子科技大学 〒710071 杭州市蕭山区寧圍街道 177 号

○Daiki Takahashi<sup>1</sup>, Xiao Yu<sup>2</sup>, Nobuyuki Aoki<sup>1</sup>, Mengnan Ke<sup>1</sup>

1 Chiba University, 1-33 Yayoi Inage, Chiba 263-8522, Japan

2 Xidian University, 177 Ningwei Street, Xiaoshan District, Xi'an, 710071, China

Tel: + 81-043-290-3430, Fax: + 81-043-290-3430 (e-mail:mke@chiba-u.jp)

### Abstract

Field-effect transistors (FET) based on Si are approaching their physical scaling limitations. Ge, with its higher carrier mobility compared to Si, is considered a promising material to overcome these limitations. However, one of the challenges with Ge is its poor interface properties with high-k materials. In this study,  $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$  MOS capacitors are fabricated using ozone oxidation, and the interface properties are investigated in pre-oxidation and post-oxidation processes. It is found that pre-oxidation at low temperatures leads to the formation of high-quality  $\text{GeO}_x$ . Additionally, MOS capacitors subjected to pre-oxidation at room temperature achieved a low interface state density ( $D_{it}$ ) of  $1.56 \times 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ .

### 1. はじめに

電界効果トランジスタ:Field Effect Transistor(FET)は、集積回路において重要な役割を担っている。その中でも、金属-酸化膜-半導体電界効果トランジスタ(MOSFET)は高いスイッチングの性能を持っており、小型化が容易であるため盛んに研究がされてきた。MOSFETは微細化することで、集積回路に多くのトランジスタを複雑に組み合わせることができるため、その性能の大幅な向上を図ることができていた。しかし近年、MOSFETの微細化が困難になってきている。微細化するにしたがってチャネル長が短くなることで起きる短チャネル効果の閾値電圧低下や、離散不純物ゆらぎなどが原因となって応用が困難になっているためである。それでも消費電力を抑えた集積回路の生産にはトランジスタの微細化が必須である。

現在、Siを用いたMOSFETが主流だが、従来のSiを用いたMOSFETは物理的限界が近づいてきている。これを打破するには基板やチャネル材料をより移動度の高い材料に置き換えることが必要になってきており、そこで期待される材料のひとつがGeである。GeはSiと比べて電子と正孔ともに高いキャリア移動度を有

している。具体的には電子で約2倍、正孔で約4倍もの高い移動度を有している。さらにGeはSiと同じIV族の半導体であり、これまでに培ってきたSiプロセスとの親和性も非常に高いと考えられる。

しかし、これまでGeよりもSiがFETに用いられてきたひとつの要因としては、 $\text{SiO}_2/\text{Si}$ 界面が良質な界面特性を示すからである。Geにおいて高誘電率ゲート絶縁膜(high-k ゲート絶縁膜)との界面は  $\text{SiO}_2/\text{Si}$  界面と比較して界面準位密度( $D_{it}$ )が高いことが知られている。high-k ゲート絶縁膜を形成する際に、Ge酸化膜の分解反応が起こり、欠陥が多く品質の悪いGe酸化膜が形成されるからである。high-k/Ge界面に界面制御層を導入することで  $D_{it}$  が低減されることが知られている[1][2]。

そこで本研究では、 $\text{Al}_2\text{O}_3/\text{Ge}$  MOS Capacitor を作製し、オゾン酸化を用いて界面制御層を  $\text{Al}_2\text{O}_3/\text{Ge}$  界面に導入することで界面特性の改善について検討した。

### 2. 実験条件

プリ酸化による  $\text{Al}_2\text{O}_3/\text{Ge}$  MOS Capacitor の作

製プロセスを示す. Ge 基板を洗浄後, UV オゾン酸化を行い,  $\text{GeO}_x$  の界面制御層を導入した. この Ge 基板に原子層堆積:Atomic Layer Deposition(ALD)法を用いて  $\text{Al}_2\text{O}_3$  を堆積し,  $400^\circ\text{C}$  で 30 分間の真空アニールを行った. その後, トップ電極に Au とバック電極に Al を蒸着した. 続いてポスト酸化による作製プロセスを示す. Ge 基板を洗浄後, ALD を用いて  $\text{Al}_2\text{O}_3$  を堆積し, UV オゾン酸化を行い,  $400^\circ\text{C}$  で 15 分間の  $\text{Ar}/\text{H}_2$  アニールを行った. トップ電極に Au とバック電極に Al を蒸着した. C-V 測定と  $D_{it}$  を評価するために 250K でコンダクタンス法による測定を行った.

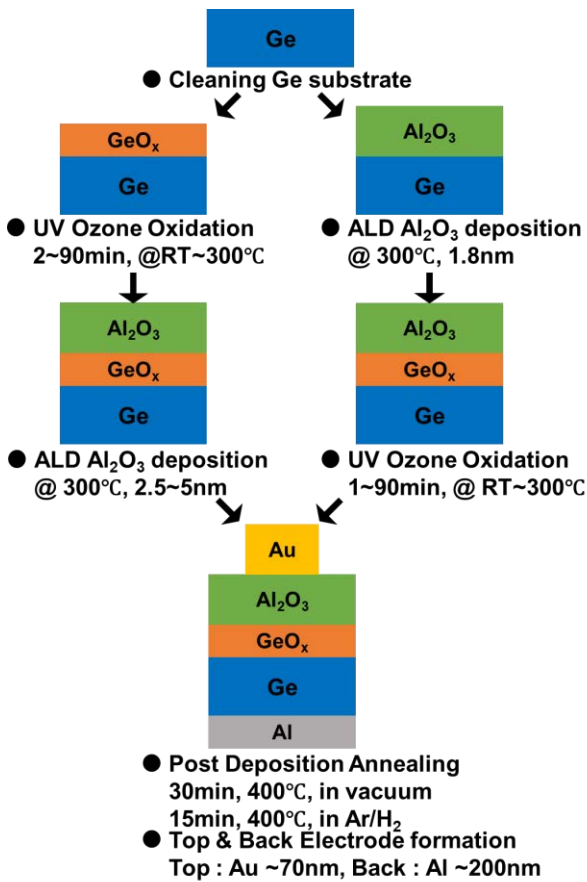


Fig.1 Fabrication flow and schematic Ge MOS capacitor

### 3. 結果および考察

Fig.2 にプリオゾン酸化により  $\text{Al}_2\text{O}_3/\text{Ge}$  界面に  $\text{GeO}_x$  の界面制御層を導入した場合としない場合での C-V 特性を示す. オゾン酸化は室温で 90 分間行った. オゾン酸化をすることによりきれいな C-V 特性が得られた. また, オゾン酸化をした方が最大容量値が大きくなっているが, これはリーク電流の減少によるもので

ある.

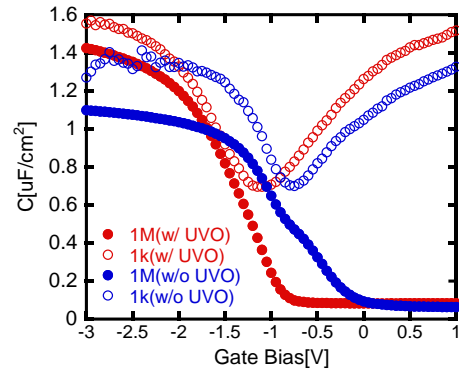


Fig.2 C-V curves with and without pre-ozone oxidation

Fig.3 に各温度でプリオゾン酸化を行った MOS Capacitor の  $D_{it}$  を示す. オゾン酸化は各温度で酸化時間を 2 分間に固定して行った. 高い温度でオゾン酸化を行った方が厚い  $\text{GeO}_x$  を有しているが, どの温度でもあまり変わらない  $D_{it}$  を示している. 低い温度で酸化することでゆっくりと  $\text{GeO}_x$  が形成され, 膜質の良い  $\text{GeO}_x$  が導入されたためと考えられる.

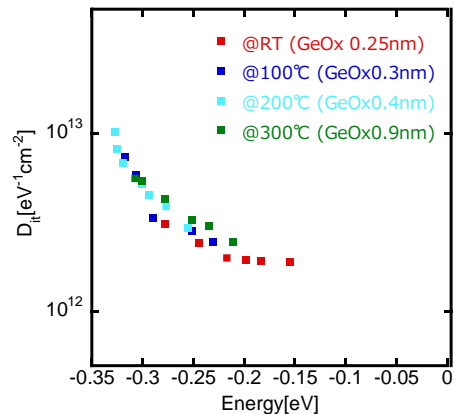


Fig.3 Energy distribution of  $D_{it}$  at different pre-ozone oxidation temperatures

続いて, Fig.4 には異なる厚さの  $\text{GeO}_x$  を持つ MOS Capacitor の  $D_{it}$  を示す. プリオゾン酸化は室温で 2 分間と 90 分間行った.  $\text{GeO}_x$  の厚さが 0.25nm 程度では  $D_{it}$  は  $10^{12}\text{eV}^{-1}\text{cm}^{-2}$  程度とあまり下がらなかったが,  $\text{GeO}_x$  の厚さが 0.9nm 程度では  $1.56 \times 10^{11}\text{eV}^{-1}\text{cm}^{-2}$  の低い  $D_{it}$  を得られた.

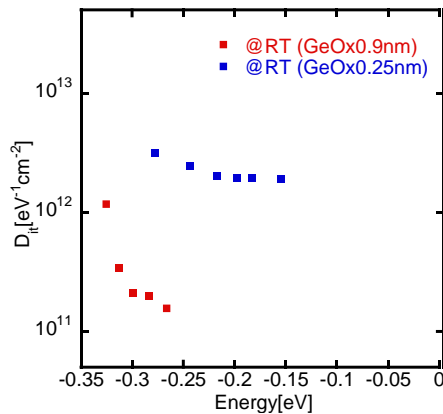


Fig.4 Energy distribution of  $D_{it}$  with different  $GeO_x$  thicknesses

Fig.5 にはポストオゾン酸化における C-V 特性を示す. オゾン酸化は  $300^{\circ}C$  で 4 分間行った. ポストオゾン酸化よりヒステリシスの小さいきれいな C-V 特性が得られた.

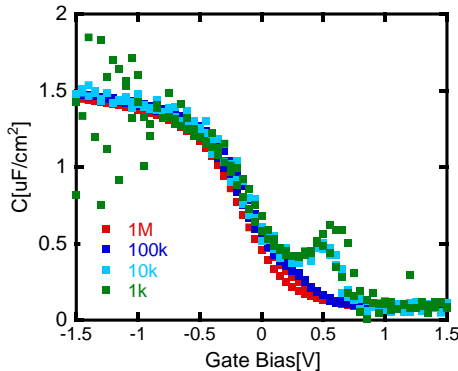


Fig.5 C-V curves with post-ozone oxidation at  $300^{\circ}C$

続いて, Fig.6 にはプリオゾン酸化とポストオゾン酸化による MOS Capacitor の  $D_{it}$  を示す. 室温で 2 分間のプリオゾン酸化を行ったものは  $2.5nm Al_2O_3 / 0.25nm GeO_x$ , 室温で 30 分間と 90 分間のポストオゾン酸化を行ったものはどちらも  $1.8nm Al_2O_3 / 0.2nm GeO_x$ ,  $300^{\circ}C$  で 4 分間のポストオゾン酸化を行ったものは  $1.8nm Al_2O_3 / 0.6nm GeO_x$  の絶縁膜を有している. ポストオゾン酸化において, 室温でオゾン酸化を 30 分間と 90 分間行った場合のどちらも  $GeO_x$  が  $0.2nm$  であり, 室温のポストオゾン酸化では酸化力が足りず, 酸化時間を長くしても飽和していることがわかる. また,  $300^{\circ}C$  で  $0.6nm$  の  $GeO_x$  を導入しても, あまり  $D_{it}$  は低減されなかった. 次にプリ酸化とポスト酸化について比較する. 室温で 2 分間のプリオゾン酸化を行ったものと  $300^{\circ}C$  で 4 分間のポストオゾン酸化を行ったものはどちらも全体の絶縁膜の厚さは約  $2.5nm$  で

同程度である. プリ酸化により導入された  $GeO_x$  の厚さは  $0.25nm$ , ポスト酸化により導入された  $GeO_x$  の厚さは  $0.6nm$  であるが, プリ酸化による MOS Capacitor の方がわずかに低い  $D_{it}$  を示している. このことからポストオゾン酸化よりもプリオゾン酸化の方が  $D_{it}$  の低減には有用であると考えられる.

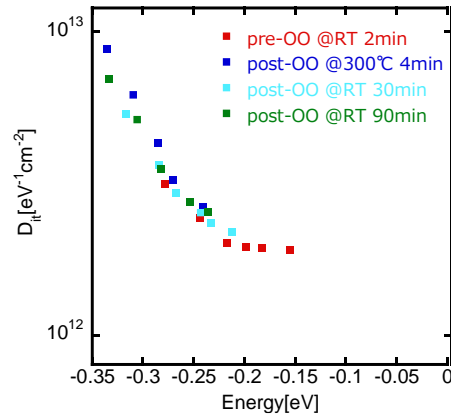


Fig.6 Energy distribution of  $D_{it}$  with pre-ozone oxidation(pre-OO) and post-ozone oxidation(post-OO)

#### 4. まとめ

本研究では, オゾン酸化を用いて,  $Al_2O_3 / GeO_x / Ge$  MOS Capacitor を作製し, プリ酸化とポスト酸化における界面特性について調査した. プリ酸化では室温での酸化をすることで良質な  $GeO_x$  を導入できることがわかった. また, 同程度の絶縁膜を有するポスト酸化の MOS Capacitor と比較し, プリ酸化の方が  $D_{it}$  の低減に有用であることが示された. 室温でのプリ酸化によるサンプルのうち,  $4.4nm Al_2O_3 / 0.9nm GeO_x / Ge$  MOS Capacitor において  $1.56 \times 10^{11} eV^{-1} cm^{-2}$  という低い  $D_{it}$  を達成した.

#### 謝辞

本研究は JSPS 科研費 JP23K13361, 戦略的創造研究推進事業さきがけ JPMJPR24H2, 東京エレクトロン(株), 服部報公会の支援を受けている.

#### 参考文献

- [1] Hiroshi Matsubara, et al, *Appl. Phys. Lett.* **93**, 032104 (2008).
- [2] Lixing Zhou, et al, *Journal of Materials Science:Materials in Electronics*, **34**, 1945, (2023)

# ALD-GeO<sub>2</sub> 界面層を用いた GeSn/Ge pn ダイオードの表面パッシベーション

## Surface passivation of GeSn/Ge pn diodes using ALD-GeO<sub>2</sub> interlayer

加藤 芳規<sup>1</sup> 坂下 満男<sup>1</sup> 黒澤 昌志<sup>1</sup> 中塚 理<sup>1,2</sup> 柴山 茂久<sup>1</sup>

1 名古屋大学大学院工学研究科 〒464-8603 愛知県名古屋市千種区不老町

2 名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

Yoshiki Kato<sup>1</sup>, Mitsuo Sakashita<sup>1</sup>, Masashi Kurosawa<sup>1</sup>, Osamu Nakatsuka<sup>1,2</sup>, Shigehisa Shibayama<sup>1</sup>

1 Grad. Sch. of Engineering, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8603, Japan

2 IMASS, Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-8601, Japan

Tel: + 81-52-789-2759, Fax: + 81-52-789-2760 (e-mail:kato.yoshiki.m0@s.mail.nagoya-u.ac.jp)

### Abstract

Ge<sub>1-x</sub>Sn<sub>x</sub> is expected to be applied to the resonant tunneling diodes and infrared photodetectors that can be integrated on the Si ULSI platform. The development of new surface passivation technique feasible to Ge<sub>1-x</sub>Sn<sub>x</sub> is an important approach for realizing these devices. In this work, we developed the GeO<sub>2</sub> layer formation by atomic layer deposition (ALD) using tetra-ethoxy germanium and O<sub>3</sub>. Furthermore, we found that ALD-GeO<sub>2</sub>/Ge and ALD-GeO<sub>2</sub>/Ge<sub>1-x</sub>Sn<sub>x</sub> MOS capacitors (MOSCAPs) show the lower interface state density compared to ALD-Al<sub>2</sub>O<sub>3</sub> MOSCAPs and post-oxidation annealing (POA) process causes a negative bias shift of the flat-band voltage for ALD-GeO<sub>2</sub> MOSCAPs. These results suggest ALD-GeO<sub>2</sub> passivation with POA would be effective for the passivation technique for the Ge<sub>1-x</sub>Sn<sub>x</sub> based devices. Finally, we demonstrated a significant reverse current reduction of Ge<sub>1-x</sub>Sn<sub>x</sub>/Ge pn diodes by surface passivation using this new technique.

### 1. はじめに

IV 族混晶半導体である Ge<sub>1-x</sub>Sn<sub>x</sub> は、Si ULSI プラットフォーム上に集積可能な共鳴トンネルダイオード (RTD) や赤外領域の受光素子への応用が期待されている。RTD は次世代テラヘルツ波通信応用が期待されている量子デバイスであり、我々は最近 Ge<sub>1-x</sub>Sn<sub>x</sub>/Ge<sub>1-x</sub>ySi<sub>x</sub>Sn<sub>y</sub> ヘテロ接合を有する RTD の作製および低温 (10 K) 動作を報告した[1]。

これらのデバイス性能向上に向けて、Ge<sub>1-x</sub>Sn<sub>x</sub> と Ge<sub>1-x</sub>ySi<sub>x</sub>Sn<sub>y</sub> の結晶品質向上に加え、表面パッシベーション技術の確立が必要不可欠である。パッシベーション技術において、界面準位密度 ( $D_{it}$ ) の低減 (化学パッシベーション) と半導体の表面電荷制御 (電界効果パッシベーション) の 2 点が重要である。

本研究では、Ge ベースの混晶半導体の表面パッシベーション膜として、これまで Ge 界面と

の低界面準位密度が報告されている GeO<sub>2</sub> に着目した[2]。GeO<sub>2</sub> 膜は従来、Ge 基板の熱酸化法により形成されてきたが[3]、Ge<sub>1-x</sub>Sn<sub>x</sub> と Ge<sub>1-x</sub>ySi<sub>x</sub>Sn<sub>y</sub> への熱酸化では GeSnO<sub>x</sub> や GeSiSnO<sub>x</sub> が形成され、界面特性の劣化を招く[4-6]。したがって、混晶半導体材料においては熱酸化法ではなく堆積法による絶縁膜形成が望まれる。我々は過去にテトラエトキシゲルマニウム (TEOG) と H<sub>2</sub>O を用いた原子層堆積 (ALD) 法による GeO<sub>2</sub> 膜形成を報告している[7]。しかし、パッシベーション絶縁膜として用いるには ALD-GeO<sub>2</sub> 膜の growth per cycle (GPC) が小さいという課題があった。

そこで本研究では、より酸化力の強いオゾン (O<sub>3</sub>) と TEOG を組み合わせた ALD 法による GeO<sub>2</sub> 膜形成を試みた。加えて、先行研究において GeO<sub>2</sub>/Ge 界面の  $D_{it}$  低減および固定電荷密度の減少が報告されている後熱酸化[8]が与える影響について調査した。最後に、Ge<sub>1-x</sub>Sn<sub>x</sub> RTD

および受光素子へ向けた ALD-GeO<sub>2</sub> 膜のパッシベーション効果を検証した。本研究では、まず比較的簡易な構造での Ge<sub>0.948</sub>Sn<sub>0.052</sub>/Ge メサ型 *pn* ダイオードのパッシベーション絶縁膜として ALD-GeO<sub>2</sub> 界面層を導入した。その結果、逆方向電流の大幅な低減に成功したので報告する。

## 2. 実験方法

*p*-Ge(001)基板 (抵抗率: 0.925–0.943 Ωcm) をアンモニア溶液 (NH<sub>4</sub>OH : H<sub>2</sub>O = 1 : 4) による化学洗浄の後、ホットウォールを備えた ALD チャンバーに導入した。その後、堆積温度 ( $T_D$ ) 100–300 °C で TEOG と O<sub>3</sub> の交互供給を 100–300 サイクル繰り返すことにより、GeO<sub>2</sub> 膜を形成した。TEOG のプリカーサーポトルは 90 °C に加熱し、供給時間は 0.1 s で固定した。O<sub>3</sub> の供給時間および TEOG と O<sub>3</sub> のパージ時間はそれぞれ  $t_o = 1\text{--}5$  s および  $t_p = 1\text{--}10$  s で変化させ、ALD 反応による堆積条件を調査した。作製した GeO<sub>2</sub>/*p*-Ge(001)試料の GeO<sub>2</sub> 膜厚を X 線反射率法 (XRR) により評価した。

続けて、ALD-GeO<sub>2</sub> 膜を用いた絶縁膜/半導体界面の特性を調査するため、Ge MOS キャパシタ (MOSCAPs) を作製した。絶縁膜として、 $T_D = 200$  °C で膜厚 12 nm の GeO<sub>2</sub> 膜を形成した。比較のため  $T_D = 200$  °C で膜厚 14 nm の Al<sub>2</sub>O<sub>3</sub> 膜を堆積した試料も準備した。一部の試料で後熱酸化温度 ( $T_{POA}$ ) 300–400 °C で 30 min の後熱酸化 (POA) を施した。これらの MOSCAPs の容量–電圧 ( $C$ – $V$ ) 特性評価を行った。

最後に、パッシベーション絶縁膜として ALD-GeO<sub>2</sub> 膜を界面層として導入した Ge<sub>0.948</sub>Sn<sub>0.052</sub>/Ge のメサ型 *pn* ダイオードを作製した。化学洗浄を施した *n* 型 Ge(001)基板 (抵抗率: 1.11–2.41 Ωcm) 上に、分子線エピタキシー法を用いて 200 nm のアンドープ Ge<sub>0.948</sub>Sn<sub>0.052</sub>

エピタキシャル層および膜厚 2 nm の Si キャップ層を堆積した。その後、フォトリソグラフィやドライエッチングによってメサ型に加工し、パッシベーション絶縁膜および Al 電極を形成し、デバイス化した。パッシベーション絶縁膜には膜厚~7 nm の GeO<sub>2</sub> 界面層および膜厚~50 nm の Al<sub>2</sub>O<sub>3</sub> 層を  $T_D = 200$  °C の ALD 法で堆積した。これらの試料について 200–300 K の温度範囲で電流密度–電圧 ( $J$ – $V$ ) 特性を測定した。

## 3. 結果および考察

### 3. 1 TEOG と O<sub>3</sub> による GeO<sub>2</sub>-ALD

図 1(a)および 1(b)は  $T_D = 200$  °C, 300 サイクルの条件で GeO<sub>2</sub> 膜厚の  $t_o$  および  $t_p$  依存性を調べた結果である。図 1(a)では  $t_p = 3$  s, 図 1(b)では  $t_o = 5$  s と固定した。 $t_o$  および  $t_p$  は共に 3 s 以上で、ALD 成長を示唆する GeO<sub>2</sub> 膜厚の飽和を示した。図 1(c)は  $t_o = 10$  s,  $t_p = 5$  s, 300 サイクルの条件で GeO<sub>2</sub> 膜厚の  $T_D$  依存性を調べた結果である。 $T_D$  の上昇にともない GeO<sub>2</sub> 膜厚が増大し、 $T_D = 200$  °C 付近から飽和することが分かる。そこで、 $t_o = 10$  s,  $t_p = 5$  s,  $T_D = 200$  °C の条件で GeO<sub>2</sub> 膜厚と ALD サイクル数の関係を調べた (図 1(d))。このグラフの傾きから GPC を求めると 0.35 Å/cycle であった。この結果は、酸化剤が H<sub>2</sub>O の場合と比較して[7], 約 20 倍大きい値でありパッシベーション絶縁膜応用に向けて有意な結果である。

### 3. 2 GeO<sub>2</sub>/*p*-Ge MOSCAPs の電気的特性

図 2(a)および 2(b)はそれぞれ、作製した Al/Al<sub>2</sub>O<sub>3</sub>/*p*-Ge および Al/GeO<sub>2</sub>/*p*-Ge MOSCAPs の 300 K における  $C$ – $V$  特性である。測定周波数は 1 MHz で、正電圧側から負電圧側に電圧掃引した結果である。空乏領域における  $C$ – $V$  特性の立

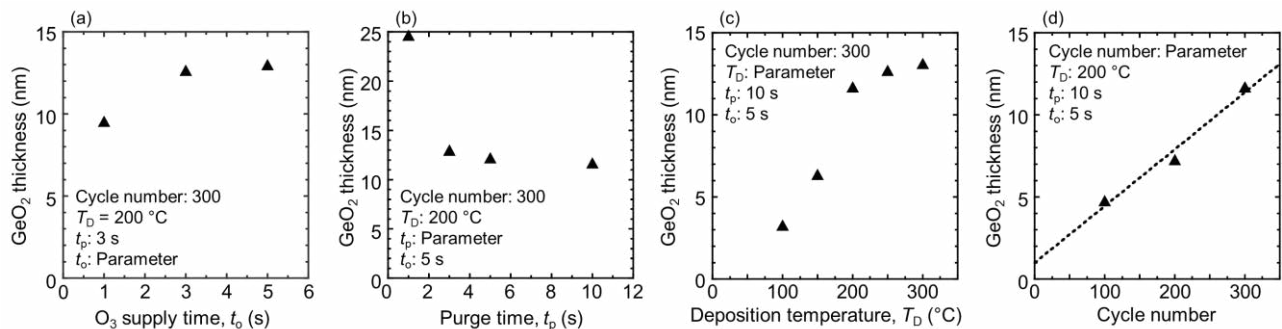


Fig.1 GeO<sub>2</sub> thickness as the function of (a)  $t_o$ , (b)  $t_p$ , (c)  $T_D$ , and (d) number of ALD cycles. Typical fixed parameters are written in each graph.



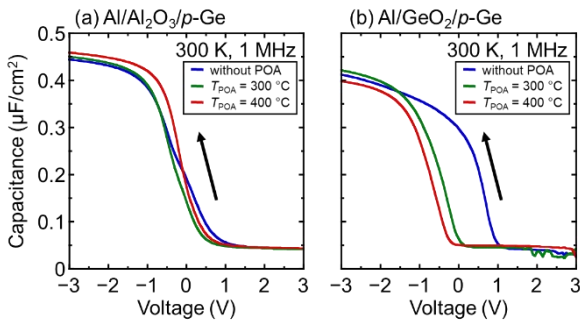


Fig.2  $C$ - $V$  characteristics of (a)  $\text{Al}/\text{Al}_2\text{O}_3/p\text{-Ge}$  and (b)  $\text{Al}/\text{GeO}_2/p\text{-Ge}$  MOSCAPs not subjected to and subjected to POA at  $T_{\text{POA}} = 300$  and  $400$  °C. The measurement frequency and temperature were 1 MHz and 300 K, respectively.

ち上がりがり、 $\text{GeO}_2$  MOSCAPsの方が急峻なため、 $\text{GeO}_2$ 膜による $D_{\text{it}}$ 低減が示唆される。そこで、空乏領域の $C$ - $V$ 特性からターマン法を用いて $D_{\text{it}}$ のエネルギー分布を求めた(図3(a))。  $\text{GeO}_2$  MOSCAPsはPOAにより $D_{\text{it}}$ が上昇しているが、いずれの場合も $\text{Al}_2\text{O}_3$  MOSCAPsと比較して低 $D_{\text{it}}$ である。つまり、化学パッシベーション効果はALD- $\text{Al}_2\text{O}_3$ 膜よりALD- $\text{GeO}_2$ 膜の方が高いと期待できる。

次に、フラットバンド電圧に着目する。 $\text{GeO}_2$  MOSCAPsはPOAにより負電圧側に $C$ - $V$ 特性が大きくシフトしている。図3(b)は理想 $C$ - $V$ 特性からのフラットバンド電圧のシフトから固定電荷密度( $N_{\text{fix}}$ )を算出した結果である。正および負の符号はそれぞれ正の固定電荷および負の固定電荷を示している。 $\text{Al}_2\text{O}_3$  MOSCAPsの場合、POAの有無に関わらず $-1\sim 2 \times 10^{12} \text{ cm}^{-2}$ であった。この結果は、 $\text{Al}_2\text{O}_3/\text{Ge}$ の先行研究の結果とも一致する[9]。一方で、 $\text{GeO}_2$  MOSCAPsは

POA無しでは $N_{\text{fix}} = -3 \times 10^{12} \text{ cm}^{-2}$ の大きな負の固定電荷を有していたが、POAによりゼロに近づき、 $T_{\text{POA}} = 400$  °Cの試料では正の固定電荷を示した。

固定電荷が電界効果パッシベーションに与える影響を調査するために、理想 $C$ - $V$ 特性と比較し、印加電圧0 VにおけるMOSCAPsの表面ポテンシャルを求めた(図3(c))。  $\text{Al}_2\text{O}_3$  MOSCAPsはPOAによって表面ポテンシャルは大きく変化せず空乏状態であった。一方で $\text{GeO}_2$  MOSCAPsでは、POA前は蓄積状態であったが、POA後は表面ポテンシャルが反転状態に変化した。本予稿には記載しないが、同様の界面特性の向上および負電圧側へのフラットバンドシフトを $\text{Ge}_{1-x}\text{Sn}_x$  MOSCAPsで確認している。この結果から、ALD- $\text{GeO}_2$ 堆積後のPOAによって、正孔型 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x}\text{Si}_x\text{Sn}_y$  RTDのメサ側壁の正孔を追い出し、表面リーク電流を抑制する効果(電界効果パッシベーション)が期待できる。

### 3.3 $\text{GeSn}/\text{Ge}$ pn ダイオードの電気的特性

前節の議論より、ALD- $\text{GeO}_2$ 膜およびPOAにより、 $\text{Ge}$ や $\text{Ge}_{1-x}\text{Sn}_x$ に対して、化学パッシベーションと電界効果パッシベーションの双方の効果が期待できることが分かった。そこで本研究では、ALD- $\text{GeO}_2$ 膜を界面層として導入したメサ型の $\text{Ge}_{0.948}\text{Sn}_{0.052}/n\text{-Ge}$ ダイオードを作製し、パッシベーション効果を検証した。なお $\text{GeO}_2$ 膜は水溶性のため、本デバイス作製においては、パッシベーション絶縁膜を $\text{Al}_2\text{O}_3/\text{GeO}_2$ とした。

図4に $\text{Ge}_{0.948}\text{Sn}_{0.052}/n\text{-Ge}$ ダイオードの $J$ - $V$ 特性を示す。絶縁膜を $\text{Al}_2\text{O}_3/\text{GeO}_2$ とすることで、

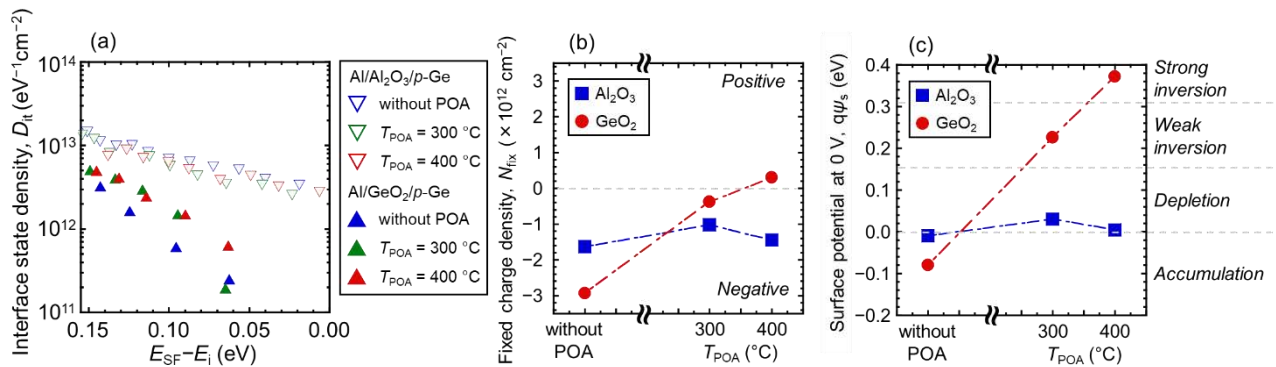


Fig.3 (a) Energy distribution of  $D_{\text{it}}$  estimated by the Terman method for  $\text{Al}/\text{Al}_2\text{O}_3/p\text{-Ge}$  and  $\text{Al}/\text{GeO}_2/p\text{-Ge}$  MOSCAPs not subjected to and subjected to POA at  $T_{\text{POA}} = 300$  and  $400$  °C.  $E_{\text{SF}}$  and  $E_i$  are the surface Fermi level and the midgap of  $p\text{-Ge}$ , respectively. (b)  $N_{\text{fix}}$  and (c)  $q\psi_s$  at an applied voltage of 0 V as the function of the POA condition.



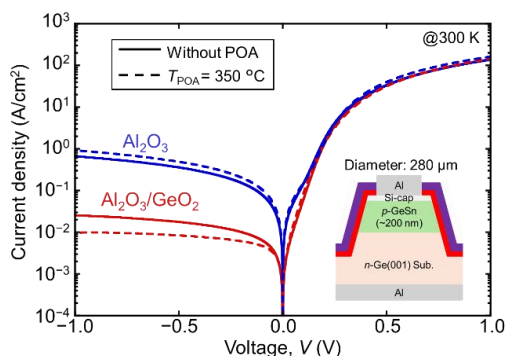


Fig.4  $J$ - $V$  characteristics of  $\text{Ge}_{0.948}\text{Sn}_{0.052}/n\text{-Ge}$  diodes passivated by  $\text{Al}_2\text{O}_3$  and  $\text{Al}_2\text{O}_3/\text{GeO}_2$  without and with POA at  $T_{\text{POA}}=350^\circ\text{C}$ .

逆方向電流密度の低減が確認できる。  $D_{\text{it}}$  低減効果が顕在化したと理解できる。

また、 $\text{Al}_2\text{O}_3$  膜のみの場合は、POAにより逆方向電流密度が増加したのに対し、 $\text{GeO}_2$  界面層では減少することが分かった。前節の結果に基づくと、 $\text{Al}_2\text{O}_3/\text{GeO}_2$  パッシベーションでは、POAにより  $p$  型半導体表面が強反転状態に近づくため、表面生成再結合が抑制されたと理解できると考えられる。

最後に、ALD- $\text{GeO}_2$  界面層が電気伝導機構に与える影響を調べるため、 $T_{\text{POA}}=350^\circ\text{C}$  の POA を施したダイオードに対し、 $J$ - $V$  特性の温度依存性を評価した (図 5(a)および 5(b))。  $\text{Al}_2\text{O}_3$  層のみの場合、逆方向電流密度が測定温度に対してほとんど変化しないのに対し、 $\text{Al}_2\text{O}_3/\text{GeO}_2$  パッシベーションの場合、測定温度低減にともない、逆方向電流密度が減少することが分かった。そこで、印加電圧  $-1\text{V}$  での電流密度から活性化エネルギーを見積もった (図 5(c))。  $\text{Al}_2\text{O}_3$  層のみでは活性化エネルギーが  $0.01\text{eV}$  だったのに対し、 $\text{GeO}_2$  界面層を導入した試料では  $0.40\text{eV}$  であった。このことから、 $\text{GeO}_2$  界面層によるメサ側壁の欠陥を介したトラップアシストトンネリング電流の抑制が示唆される。この結果は、

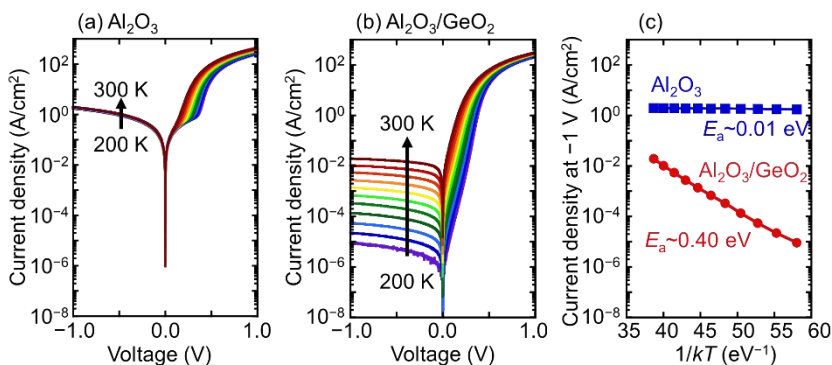


Fig.5 Measurement temperature dependence of  $J$ - $V$  characteristics of  $\text{Ge}_{0.948}\text{Sn}_{0.052}/n\text{-Ge}$  diodes passivated by (a)  $\text{Al}_2\text{O}_3$  and (b)  $\text{Al}_2\text{O}_3/\text{GeO}_2$  subjected to the POA at  $T_{\text{POA}}=350^\circ\text{C}$ . The electrode diameter is  $130\ \mu\text{m}$ . (c) Arrhenius plots of the reverse current density at the voltage of  $-1\text{V}$ .

ALD- $\text{GeO}_2$  膜導入による  $D_{\text{it}}$  減少と対応している。以上の結果から、ALD- $\text{GeO}_2$  膜と POA を組み合わせたパッシベーション技術が、 $\text{Ge}_{1-x}\text{Sn}_x$  ベースの各種デバイスに対して有用であると期待できる。

#### 4. まとめ

$\text{Ge}_{1-x}\text{Sn}_x$  を用いた RTD や受光素子のためのパッシベーション技術として、ALD- $\text{GeO}_2$  膜を用いた新規技術開発を行った。初めに、TEOG と  $\text{O}_3$  を用いた  $\text{GeO}_2$ -ALD 条件の最適化を行い、ALD 条件が  $t_0 > 3\text{s}$ 、 $t_p > 3\text{s}$  および  $T_D > 200^\circ\text{C}$  であると明らかにした。

次に、ALD- $\text{GeO}_2$  膜堆積後に POA を施した  $\text{GeO}_2/p\text{-Ge}$  MOSCAPs の電気的特性評価から、 $\text{GeO}_2/p\text{-Ge}$  界面は  $\text{Al}_2\text{O}_3/p\text{-Ge}$  界面と比べて低  $D_{\text{it}}$  が達成できること、POA によって  $p$  型半導体表面を強反転状態にすることができ、半導体表面からの正孔の掃き出しが可能であることが明らかになった。これらの結果から、ALD- $\text{GeO}_2$  膜および POA が、化学パッシベーションおよび電界効果パッシベーションの両面で効果的であると期待できる。

最後に、 $\text{Ge}_{0.948}\text{Sn}_{0.052}/n\text{-Ge}$  ダイオードのパッシベーション絶縁膜に ALD- $\text{GeO}_2$  界面層を導入し、POA を施した結果、逆方向電流密度の大幅低減が可能であることを実証した。 $J$ - $V$  特性の温度依存性から ALD- $\text{GeO}_2$  界面層がトラップアシストトンネリング電流を効果的に抑制したと分かった。今後、 $\text{Ge}_{1-x}\text{Sn}_x/\text{Ge}_{1-x-y}\text{Si}_x\text{Sn}_y$  RTD のパッシベーション絶縁膜にも、ALD- $\text{GeO}_2$  膜を導入し表面リーク電流を低減することで、室温での安定動作に繋がると期待される。

本研究の一部は、JST さきがけ (JPMJPR21B6) および JST CREST (JPMJCR21C2) の支援を受けて実施された。

## References

- [1] 石本修斗 他, 第 29 回電子デバイス界面テクノロジー研究会 (EDIT29) , ID: 32 (2023).
- [2] Y. Fukuda *et al.*, Jpn. J. Appl. Phys. **44**, 6981 (2005).
- [3] M. Takenaka *et al.*, Opt. Express **20**, 8718 (2012).
- [4] K. Kato *et al.*, Jpn. J. Appl. Phys. **53**, 08LD04 (2014).
- [5] S. Gupta *et al.*, ACS Appl. Mater. Interfaces **8**, 13181 (2016).
- [6] T. Maeda *et al.*, Mater. Sci. Semicond. Process. **176**, 108304 (2024).
- [7] T. Yoshida *et al.*, Jpn. J. Appl. Phys. **53**, 08LD03 (2014).
- [8] S. Deng *et al.*, Appl. Phys. Lett. **99**, 052906 (2011).
- [9] W. J. H. Berghuis *et al.*, J. Mater. Res. **36**, 571 (2021).

# WSe<sub>2</sub>上のALD実現に向けたUV-O<sub>3</sub>暴露と真空アニールによる最表面へのSe欠陥導入

## Introduction of Se defects on the surface by UV-O<sub>3</sub> exposure and vacuum annealing to realize ALD on WSe<sub>2</sub>

小島 拓也<sup>1</sup>、堀場 大輔<sup>1</sup>、松田 健生<sup>1</sup>、柯 梦南<sup>1</sup>、青木 伸之<sup>1</sup> (11 point)

1 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

Takuya Kojima<sup>1</sup>、Daisuke Horiba<sup>1</sup>、Matsuda Kensyou、 Mengnan Ke<sup>1</sup>、Nobuyuki Aoki<sup>1</sup>

1 Chiba University、 1-33 Yayoi、 Inage、 Chiba 263-8522、 Japan

Tel: + 81-043-290-3430、 Fax: + 81-043-290-3427 (e-mail: n-aoki@faculty.chiba-u.jp)

### Abstract

Transition metal dichalcogenides (TMDCs), a type of 2D material, have semiconducting properties and are expected to be the next-generation semiconductor channel material. However, it has been pointed out that TMDCs do not have unbound hands on the surface, making it difficult to deposit films by atomic layer deposition (ALD), which has conventionally been used to form high-k dielectric constant insulation layers. We have focused on surface modification by UV-O<sub>3</sub> exposure in order to establish an effective means of realising ALD on TMDC. According to a previous study [1], it was reported that the WSe<sub>2</sub> surface can be oxidised one layer at a time to form a WO<sub>3</sub> layer by UV-O<sub>3</sub> exposure while heating several layers of WSe<sub>2</sub> crystals, and that when the WSe<sub>2</sub> crystal surface is completely covered with WO<sub>3</sub>, it becomes high-density hole doping and shows no gate voltage dependency. The gate voltage dependence of the WSe<sub>2</sub> crystal surface is said to disappear.

In this study, WSe<sub>2</sub> samples were exposed to UV-O<sub>3</sub> without heating and the changes in the W and Se spectral peaks were investigated by X-ray electron spectroscopy. The effectiveness of surface modification and ALD is discussed, including observations of atomic force microscopy (AFM) images before and after ALD on the O<sub>3</sub>-exposed sample.

### 1. はじめに

2次元物質の一種である遷移金属ダイカルコゲニナイド(TMDC)は半導体的な性質を有し、次世代VLSIのチャネル材料として期待されている。特に10年後に迫る相補型電界効果トランジスタ(CFET)構造においては、TMDCの有する原子オーダーの厚さを活かし、従来の三次元半導体材料では達成できない積層方向の高集積化が期待される。しかしながら、TMDC上は表面にダングリングボンドを持たずこれまで高誘電率(high-k)絶縁層の形成で使用されてきた原子層堆積法(ALD)による成膜が困難である事が指摘されている。

その為我々はTMDC上にいかにしてALDを実現させるかについて研究を進めており、

TMDCの一種であるWSe<sub>2</sub>に注目している。WSe<sub>2</sub>は価電子帯上端が5.2 eV程度と比較的高い位置にある事からp型の二次元半導体材料としての利用が期待されている。これまでの報告では多層のWSe<sub>2</sub>結晶に対して加熱しながらUV-O<sub>3</sub>暴露を行う事でWSe<sub>2</sub>結晶表面を一層ずつ酸化させて、WO<sub>3</sub>層が形成できるといわれている。WO<sub>3</sub>は電子親和力が大きい為電荷移動プロセスによりWSe<sub>2</sub>に対してホールドーピングが生じる。その為多層のWSe<sub>2</sub>結晶表面がWO<sub>3</sub>によって完全に覆われてしまうとゲート電圧に依存しない高密度ホールドーピングとなる事が示されている。[1]一方で室温でUV-O<sub>3</sub>暴露を行った場合、表面を完全にWO<sub>3</sub>化する事なくSe欠陥を導入し極性を導入する事が出来るの

ではないかと期待される。そこで本研究では、加熱を行わない状態で O<sub>3</sub> 暴露を行い、時間ごとの結合状態の評価を XPS を用いて行った。WSe<sub>2</sub> 上に直接絶縁膜を成長させる為 ALD 装置を用いて O<sub>3</sub> 暴露時間と ALD 中の成長温度を変化させながら Al<sub>2</sub>O<sub>3</sub> を成長させた。その後 3 層で作製した FET に対して UV-O<sub>3</sub> 暴露を行う事で、その上から high-*k* 材料を積層させバックゲート(BG)とトップゲート(TG)の両方を持つデュアルゲート構造 FET を作製した。それぞれのゲート依存特性を測定し FET 特性を評価した。

## 2. 実験条件

WSe<sub>2</sub> 上の組成状態を確認する為、XPS スペクトル測定を行った。化学気相成長(CVD)させた単層 WSe<sub>2</sub> に対して、X 線光電子分光装置(日本電子, JPS-9030)を用いて MgK $\alpha$  線(hv=1253.6 eV)を基板に照射させて、光電子スペクトルの解析を行った。

次に WSe<sub>2</sub> 上の絶縁膜成長性を確認した。WSe<sub>2</sub> をテープ残渣が残りにくい NITTO ブルーテープを用いて機械剥離し、表面の凹凸差が SiO<sub>2</sub> の影響を受けないバルクの結晶を使用した。その結晶に対して UV-O<sub>3</sub> 暴露装置(Filgen, UV253S)を用いて時間を変更しながら暴露した。その後 ALD 装置(Eiko, EALD-4M)を用いて成長温度を変えながら WSe<sub>2</sub> 上に Al<sub>2</sub>O<sub>3</sub> を成長させた。表面上の様子を AFM 装置(FSM Precision, FM-Nanoview 1000)を用いて ALD 前後の AFM 像を観察した。

3 層の WSe<sub>2</sub> を用い、機械的剥離を行いバックゲート制御の FET を作製した。層数はラマン分光のピークによって判別した。剥離した 3 層 WSe<sub>2</sub> を、予め Cr/Pd(5/10 nm)でバックゲート電極を作製した SiO<sub>2</sub> (300 nm)/Si 絶縁基板上に、厚さ約 30 nm の h-BN 絶縁層、3 層 WSe<sub>2</sub> の順にドライトランスファー法を用いて積層した。[2]その後、電子線リソグラフィによって WSe<sub>2</sub> 上に電極を取り付け、FET 構造を作製した。デバイスの光学顕微鏡像を Fig.1 に示す。作製したデバイスを 10 分 O<sub>3</sub> 暴露した。その後 ALD 装置を用いて 120/200°C で 3/12nm 成長させた。トップゲートを Cr/Au(10/30 nm)で絶縁膜の上に蒸着し、デュアルゲート構造の FET を作製した。それぞれの試料の状態は、室温真空下(1\*10<sup>-4</sup> Pa)でゲート電圧特性を測定して確認した。

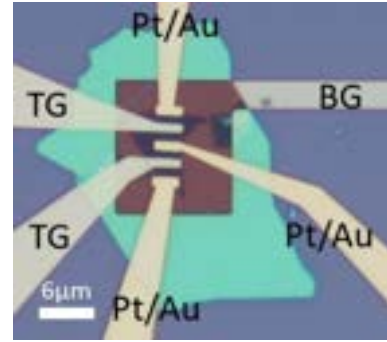


Fig.1 Optical microscope image of the fabricated device.

## 3. 結果および考察

XPS による評価を行うにあたり、X 線の照射領域が 3mm×7mm とへき開によって得られる結晶に比べてはるかに広い事、また多層 WSe<sub>2</sub> を用いると下層の情報も含まれてしまう為、最表面層だけの応答を分離するのが困難である。その為、XPS 観察の試料としては Si/SiO<sub>2</sub> 基板表面の全面にわたって CVD 成長された単層 WSe<sub>2</sub> 試料を用いた。これにより、3 層 WSe<sub>2</sub> の最表面層を想定した検証が可能となると期待した。Fig.2 は、CVD で成長させた WSe<sub>2</sub> 試料の基板を分割し、各々に対して未処理、O<sub>3</sub> 暴露 10 分、O<sub>3</sub> 暴露後に真空アニール (180°C, 3 時間) を行った後のそれぞれの試料における Se-3d (Fig.2a) および W-4f (Fig.2b) の XPS スペクトルである。

O<sub>3</sub> 暴露後では W-Se ピークがそれぞれ左にシフトし p 型のドーピングが確認できた。また W-O ピーク(約 36eV, 38eV)、Se-O ピーク(約 59eV) がそれぞれ O<sub>3</sub> 暴露後に微量で観測されたが Se-O ピークは真空アニール後ではなくなっており、Se 欠陥の生成が示唆された。W-O ピークの比較から O<sub>3</sub> 暴露後では約 5% の W 酸化が生成されており W-Se の結合 (33eV, 35eV) も依然として存在している事から表面層は WO<sub>x</sub> になっていない事が確認された。

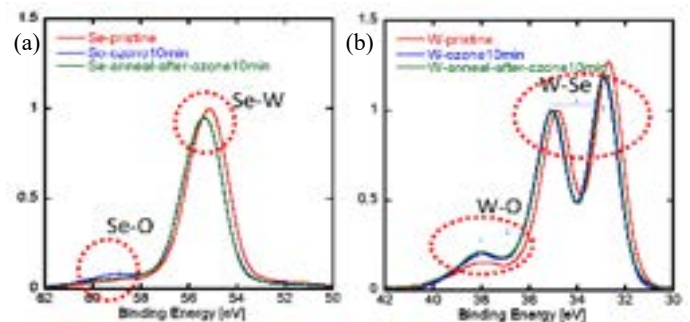


Fig.2 (a)Se-3d spectra and (b)W-4f spectra of CVD-WSe<sub>2</sub> substrate before, 10 min O<sub>3</sub> exposure, and vacuum annealing after O<sub>3</sub> exposure.



Fig. 3(a)~(c)は O<sub>3</sub> 暴露を 10,20,60 分行った後に Al<sub>2</sub>O<sub>3</sub> を 10nm 成長させた後の AFM 像である。Fig.3(a)~(c)から O<sub>3</sub> 暴露時間を増加させても均一的な成長が起こらなかった事から O<sub>3</sub> 暴露時間を変更する事は適切ではなく別のアプローチが必要であると考察した。そこで ALD 成長温度に着目した。絶縁膜成長は低温で行うと被膜性が向上する事が確認されている。[3]しかし低温で製膜するとリークする可能性がある為[4] 初期成長温度を 200°Cより低く、低すぎない温度に設定した。Fig.3(d)(e)は初期成長温度を 120°C,150°Cに設定してそれぞれ成長させた AFM 像である。Fig.3(e)から 120°Cで成長を開始すると高低差が 1nm 以下に抑えられ被膜性が圧倒的に向上した。また Fig.3(f)は O<sub>3</sub> 暴露を行わずに 120°Cで成長させた AFM 像である。絶縁膜が均一成長が行われなかった事から UV-O<sub>3</sub> 暴露の有用性が確認された。

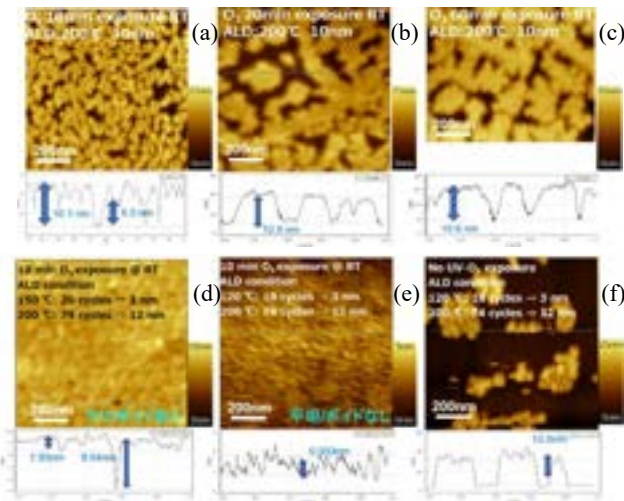


Fig.3 (a)~(c) AFM images after ALD growth at each O<sub>3</sub> exposure time (10,20,60min). (d)、(e) AFM images after growth at ALD initial growth temperatures (120,150°C) after 10 min of O<sub>3</sub> exposure (f) AFM image after growth at ALD initial growth temperature of 120°C without O<sub>3</sub> exposure.

WSe<sub>2</sub>上に直接絶縁膜を成長された Al<sub>2</sub>O<sub>3</sub>膜の絶縁性を観測する為に 3 層のデュアルゲート FET を作製した。Fig4 はそれぞれの状態でのバックゲート依存特性を示したグラフである。Fig4 (a)から未処理状態(赤)から O<sub>3</sub> 暴露後(青)では酸素分子が吸着した事と、Se 置換が起きた事で p 型ドーピングが確認できる。から O<sub>3</sub> 暴露後 Al<sub>2</sub>O<sub>3</sub> 膜の製膜後(緑)に n 型のドーピングが見られた。これは Al<sub>2</sub>O<sub>3</sub> 膜に O 欠陥が存在しており正電荷によるドーピングが起きていると考察した。そこで Al<sub>2</sub>O<sub>3</sub> 膜の上から O<sub>3</sub> 暴露を 20 分

行う事(黒)で SS と閾値電圧の改善ができた。トップゲート電極蒸着後(ピンク)では V<sub>th</sub> の負のシフトが見られたが SS は劣化していない事が確認された。Fig4 (b)は BG の電圧を -6V~-8V で印加させてトップゲートを掃引させた対数ゲート依存特性である。BG = -8V では 0.5V、1V 付近で立ち上がり絶縁性が存在する事が明らかになった。しかしヒステリシスが存在している事がわかり(ΔV<sub>th</sub> =469 mV)Al<sub>2</sub>O<sub>3</sub> 膜質の改善が求められる。Fig.5 は各状態のサブスレッショルドスイング(SS)を比較したグラフである。Fig.5 から TG 制御 FET の SS は 182 mV/dec (BG = -8V)を記録した。BG 特性と比較すると約 1/3 に抑えられ低消費電力の FET 作製に貢献できたと考える。

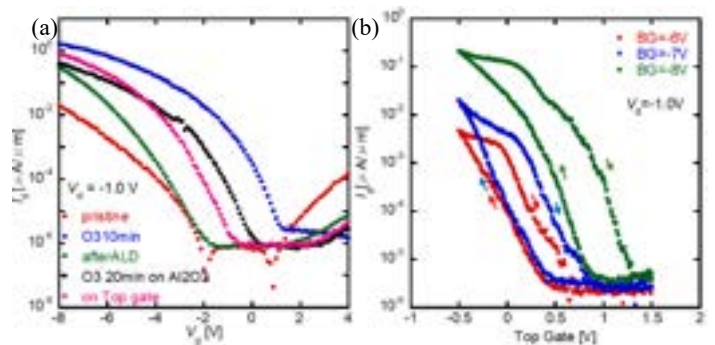


Fig.4 (a) Backgate-dependent characteristics of each state of the WSe<sub>2</sub> FET (b) Topgate-dependent characteristics in the same FET.

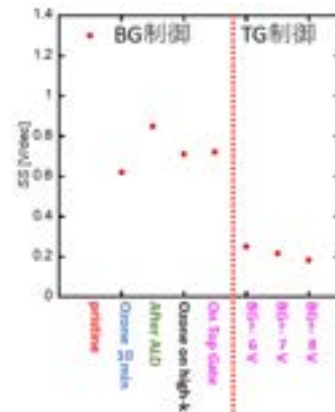


Fig.5 SS of each state in WSe<sub>2</sub> FET (left from red line is back gate control、 right is top gate control)

#### 4. まとめ

WSe<sub>2</sub>を用いた XPS スペクトルから、O<sub>3</sub> 暴露後に真空アニールを行う事で、酸素と結合した Se が一緒に脱離する事から Se 欠陥が生成される事が確認された。WSe<sub>2</sub> に対して単層 O<sub>3</sub> 暴露を室温で 10 分行い ALD 初期成長温度を 120°C で成長させた場合、均一的な膜成長を実現した。また 3 層 WSe<sub>2</sub> FET 特性からトップゲート、バックゲート特性をそれぞれ比較し SS が 1/3 に抑えられ FET 特性の向上も確認された。これらの結果から、適切な時間の O<sub>3</sub> 暴露によって改質された 3 層 WSe<sub>2</sub> の最表面層をシード層とする事で、ALD によって high-*k* 材料を積層でき、今後の CFET 作製に更なる発展を見込める事が明らかになった。

#### 謝辞

本研究は東京エレクトロン(株)の支援を受けておこなわれた。

#### 参考文献

- [1] M. Yamamoto et al., *Nano Lett.*, **16**, 2720 (2016).
- [2] L. Wang, et al., *Science*, **342**, 614 (2013).
- [3] Park, Taejin, et al. *RSC advances* 7.2 (2017).
- [4] Kim, Suyeon, et al. *Scientific Reports* **12.1** (2022)

# 高導電性 Ce ドープ水素化酸化インジウム(ICO:H)薄膜の開発

## The Development of Cerium-Doped hydrogenated Indium Oxide (ICO:H)

工藤 晃哉<sup>1,2</sup> 陳 家驄<sup>1</sup> 前田 辰郎<sup>1</sup>

1 産業技術総合研究所 〒305-8565 茨城県つくば市東 1-1-1

2 千葉大学大学院融合理工学府 〒263-0022 千葉県千葉市稲毛区弥生町 1-33

Koya Kudo<sup>1,2</sup>, Chia-Tsong Chen<sup>1</sup>, Tatsuro Maeda<sup>1</sup>

1 AIST, 1-1-1 Higashi, Tsukuba, Ibaraki 305-8565, Japan

2 Grad. Sch. of Sci and Eng., 1-33 Yayoi-machi, Inage-ku, Chiba, Chiba 263-0022, Japan

Tel: +81-29-861-4451, (e-mail: k.kudou@aist.go.jp)

### Abstract

We investigated Cerium-doped hydrogenated indium oxide (ICO:H) thin films to optimize sputtering conditions for high-mobility and low-resistance electrodes. ICO:H films were sputtered in an atmosphere containing 0.3% oxygen and 1.5% hydrogen, resulting in films with the largest grain sizes and the highest carrier mobility after solid-phase crystallization (SPC). Additionally, we examined the effects of different annealing temperatures in nitrogen (N<sub>2</sub>), forming gas (FG), and Dry Air. Among these annealing conditions, FG treatment was found to be the most effective in mitigating mobility degradation at elevated temperatures (400°C). This improvement is attributed to the suppression of hydrogen desorption, which reduces ionized impurity scattering.

### 1. はじめに

ITO に代表される酸化インジウムをベースにした透明導電性酸化物(Transparent Conductive Oxide)は、高い導電性と透明性を併せ持つことから、液晶ディスプレイ、有機 EL、太陽電池の窓電極など、様々な用途で利用されている。また、近年では、酸化物 TFT のソース/ドレイン電極[1]や、その高い移動度を活かした薄膜チャネル材料としても注目されている[2, 3]。一方で、TCO/半導体界面を使った光センサーの報告など[4]、高い導電性と透明性を活用した光電デバイスへの展開が期待される材料である。

固相結晶化(SPC)法を用いた結晶性酸化インジウムは、比較的大きな結晶粒と高い導電性を持ち、ITO よりも極めて高い電子移動度 (100 cm<sup>2</sup>/Vs 以上)を示すことがよく知られている。不純物としては、W[5]、Ti[6]、Zr[7]、Mo[8]をはじめとする様々な金属のドーピングが試みられているが、我々は不純物として Ce と水素に注目している。CeO<sub>2</sub>の標準生成エンタルピーは他の金属ドーパントと比較して大きいため、電子の散乱体となる酸素空孔の形成を抑制し、移動度が向上する[9, 10]。さらに、Ce<sup>4+</sup>の有効イオ

ン半径(0.101 nm)は In<sup>3+</sup>の有効イオン半径(0.094 nm)に近いこと、ドーパントサイト付近の微小ひずみが低減し、結晶性が向上する[9, 11]。一方、水素は一価の不純物として働くことに加え[12-14]、低温堆積時の水素の混入が膜の非晶質化を促進し、SPC 時の結晶粒サイズを増加させる効果もある[12, 13]。また、水素による結晶粒界および粒内の欠陥の不活性化も期待される[12-14]。このようなドーピング技術の制御は、酸化インジウムの導電性や熱安定性向上の鍵となる。

本研究では、結晶性酸化インジウム膜の低抵抗電極としての応用を目指して、Ce ドープ水素化酸化インジウム(ICO:H) 薄膜のスパッタ成膜および SPC アニール条件の最適化を検討した。移動度向上のために結晶粒サイズを最大化する SPC 条件を探索し、高温アニール時(400 °C)の導電性劣化を抑制する条件とその劣化のメカニズムについて検証したので報告する。高温アニール時の導電性の劣化を抑えることは、半導体デバイスにおける低抵抗電極としての応用を実現する上で重要な課題である。



## 2. 実験条件

ICO:H 膜は、DC スパッタ装置を使用して SiO<sub>2</sub>/Si 基板上に非加熱で堆積した。ターゲット材には、In<sub>2</sub>O<sub>3</sub> に 1 wt% の Ce を添加したものを使用した。水素のドーピングには水素ガスを用い、アルゴンと酸素の混合ガスを用いてスパッタした。チャンバー内ガス圧は約  $2.0 \times 10^{-3}$  Torr、バイアスは 20 W に固定した。成膜時の酸素濃度を最適化する実験では、水素濃度を 1.5 % に固定し、酸素濃度を 0~1.0 % で変化させた。SPC 処理は、RTA 装置を用いて行った。SPC のアニールガスおよび温度依存性の実験では、N<sub>2</sub>、水素 3 % の Forming gas (FG)、および Dry Air の 3 種のガスを用い、170~400 °C でアニール処理を行った。電気特性は van der Pauw 法を用い、ホール移動度 ( $\mu$ ) およびキャリア密度 ( $N_c$ ) をホール測定装置で測定した。SPC による結晶性変化と結晶粒サイズは、走査イオン顕微鏡 (SIM) で観察した。

## 3. 結果および考察

### 3-1. 酸素濃度依存性

Fig.1 に、As depo 膜および N<sub>2</sub> 中 250 °C でアニールした SPC 膜の SIM 像ならびにキャリア密度と移動度の酸素濃度依存性を示す。膜厚は 100~120 nm である。As depo 膜の SIM 像から、酸素濃度が 0 % の場合、As depo の状態で既に微結晶が生成していることが確認された。また、酸素濃度が増加すると、アモルファス状態の膜が得られることから、微量な酸素の存在が、As depo 膜のアモルファス化を促進させることがわかる。キャリア密度は、酸素濃度が 0 % から 0.5 % にかけて  $\sim 4.5 \times 10^{20} \text{ cm}^{-3}$  程度であるが、酸素濃度が 1.0 % では  $10^{19}$  オーダーに急激に減少した。この減少は、酸素濃度の増加によって As depo 膜の In<sub>2</sub>O<sub>3</sub> 組成が化学量論比に近づき、ドナーとなる酸素空孔が減少したためと考えられる。一方、移動度は、酸素濃度が 0 % から 0.5 % に増加すると徐々に上昇し、0.5 % で最大値 (48 cm<sup>2</sup>/Vs) を示し、さらに 1.0 % に増加するとやや低下する傾向を示した。酸素濃度が 0 % から 0.5 % において移動度が増加した主な理由は、過剰な酸素空孔による散乱が減少したためと考えられる [15]。一方、酸素濃度が 0.5 % から 1.0 %

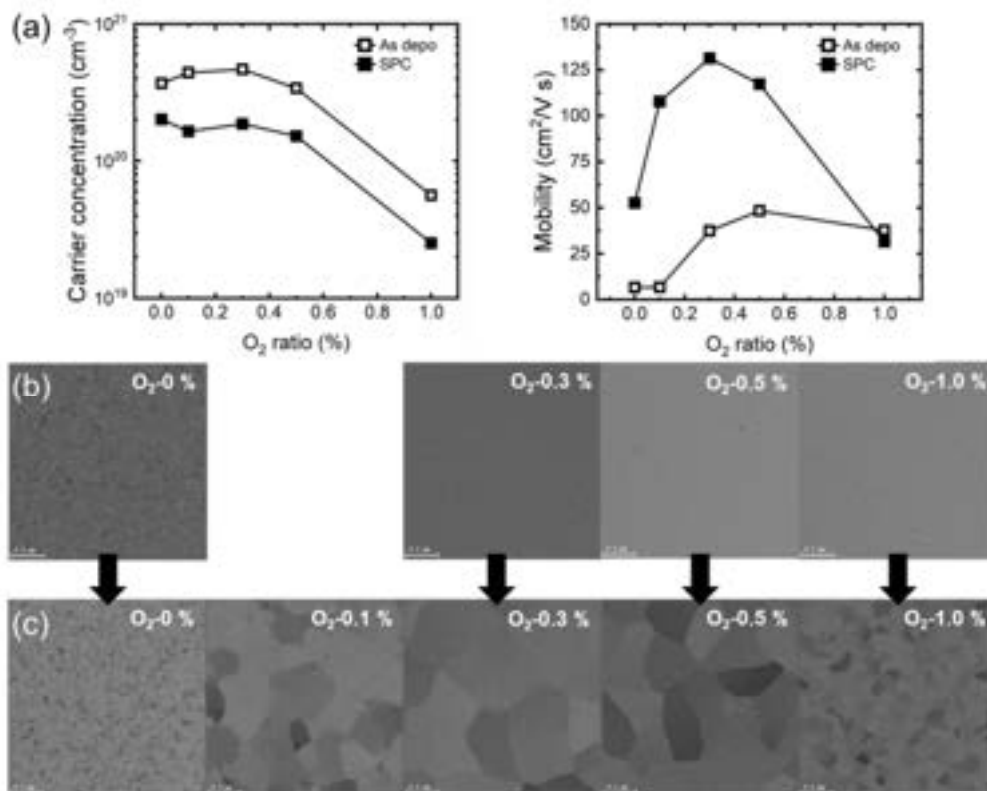


Fig.1. (a). Dependence of carrier concentration and mobility on the oxygen ratio. (b). SIM images of as-deposited films at various oxygen ratios. (c). SIM images of SPC films at various oxygen ratios.

に増加すると移動度がやや低下したのは、過剰酸素による散乱の増加であると推察される[15]。

次に、SPC膜の電気特性とSIM像の関連性について検討する。キャリア密度は、すべての酸素濃度においてSPC膜の方がAs depo膜よりある一定量低下していた。これは、キャリア起源が、SPC処理によって酸素空孔から酸素サイトへの置換水素や格子間水素へと変化したことを示唆する[12, 13]。SPC膜の移動度は、酸素濃度を0%から増加させると急激に上昇し、0.3%で最大値(130 cm<sup>2</sup>/V s)を示した。酸素濃度を0.3%から1.0%に増加すると著しく移動度は低下した。SPC後のSIM像では、酸素濃度が0%から0.3%に増加すると結晶粒サイズが徐々に拡大し、0.3%から1.0%に増加すると減少することが確認できる。結晶粒サイズの増減が、移動度の主たる要因であることがわかる。以上の結果から、結晶粒サイズと移動度が最大となる酸素濃度が存在し、その濃度は0.3%であることが判明した。酸素濃度が0%では、堆積時にすでに微結晶化しており、SPC処理で結晶粒サイズに変化は見られない。低酸素濃度では、堆積時の微結晶化が、高酸素濃度では、酸素の過剰な取り込みが微結晶化を促進することで、結晶粒サイズを最大化する酸素濃度が存在すると考えられる。ちなみに、酸素濃度が1%では、SPC後に結晶化されているにもかかわらず、移動度は劣化している。これは、酸素が過剰なIn<sub>2</sub>O<sub>3</sub>結晶では粒内移動度がアモルファスよりも低い、もしくは粒界散乱の効果が極めて大きいことを示している。

### 3-2. アニール条件の検討

次に、SPC膜のアニール温度と雰囲気依存性を検討した。Fig.2に、N<sub>2</sub>、FG、およびDry AirでアニールしたSPC膜のキャリア密度と移動度のアニール温度依存性、ならびに250 °C(Dry Airは200 °C)と400 °CでSPC化させたICO:H膜のSIM像を示す。300 °Cまでのアニール領域では、どの雰囲気においてもアニール温度上昇とともに、キャリア密度は減少する。この変化の主な原因は、3-1で述べたように、結晶化にともないキャリア起源が酸素空孔から酸素サイトへの置換水素や格子間水素へと変化したことによるものと考えられる。また、Dry Airアニールでは、他の雰囲気と比較して雰囲気中の酸素が酸素空孔をより多く補完するため、キャリア密度がより低下したと理解できる。一方、350 °C以上の高温アニール領域では、FGアニールでのキャリア密度は10<sup>20</sup>オーダーを維持している。これは、雰囲気中の水素がICO:H膜内の水素脱離を抑制し、キャリア密度の低下を防いだためと考えられる。一方で、Dry Airアニールではキャリア密度が10<sup>17</sup>オーダーまで急激に減少した。これは水素脱離に加えて、雰囲気中の酸素が酸素空孔を補完することでキャリア密度の減少がさらに進行したためと推測される。

移動度に関しては、その最大値は(130~132 cm<sup>2</sup>/V s)と雰囲気間で明確な違いは見られなかったが、Dry Airアニールでは、200 °Cと低温で最大値を示し、酸素が低温結晶化を促していることがわかる。300 °C以上のアニール領域ではキャリア密度と同様に雰囲気によって顕著な差異が確認された。アニール温度400 °Cでは、最

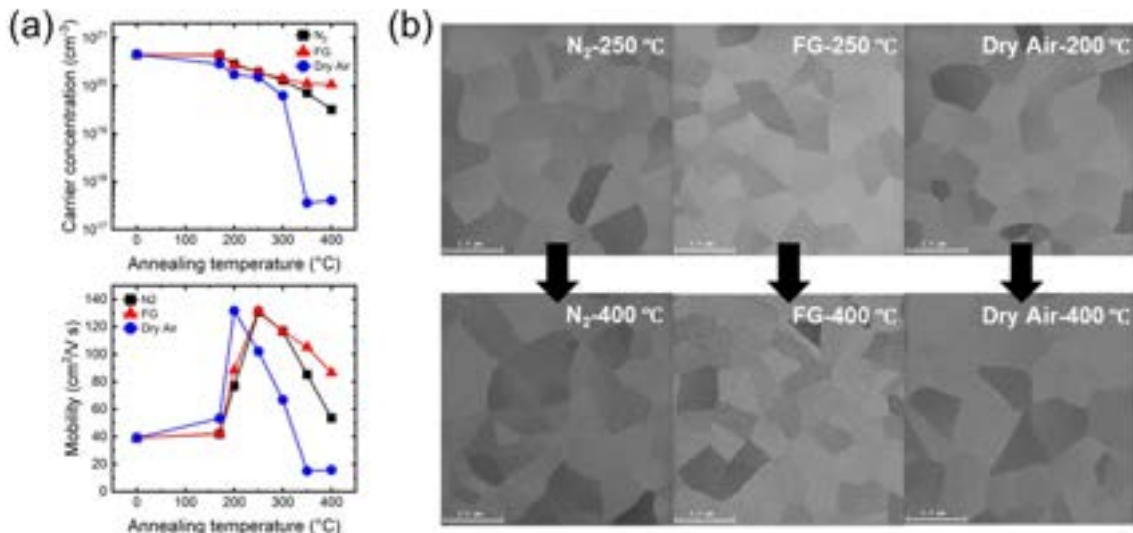


Fig.2. (a). Dependence of carrier concentration and mobility on annealing temperature for each gas. (b). SIM images at the temperature of maximum mobility and at 400 °C for each gas.

大移動度からの減少率は、N<sub>2</sub>が59%、FGが34%、Dry Airが88%であり、特にFGアニールでは他のガス種と比較して移動度劣化が最も小さい。また、移動度が最大となるアニール温度のSIM像と400℃でのSIM像を比較すると、どのガス条件においてもアニール温度による結晶粒サイズの明確な変化は確認されなかったことから、これらの違いには結晶粒サイズ以外の別の要因があると考えられる。TCOの散乱機構には、粒界散乱、格子振動による散乱、およびイオン化不純物散乱が挙げられる。式①[10]を用いて電子の平均自由行程を計算すると、N<sub>2</sub>アニールでは250℃で15.3 nm、400℃で3.4 nm、同じ温度条件のFGアニールではそれぞれ15.1 nm、7.6 nmであった。

$$L_e = \frac{h}{2e} \sqrt{\frac{3N_e}{\pi}} \mu_{Hall} \dots \textcircled{1}$$

一方、SIM像から結晶粒サイズは数百nm程度であり、電子の平均自由行程は結晶粒サイズよりも1桁小さい。この結果から、粒界散乱の影響は小さいと考えられる[10, 14]。したがって、ICO:H膜の散乱機構は、主に格子振動による散乱またはイオン化不純物散乱が関与していると推測される。これらのうち、温度依存性を示すのは格子振動による散乱である[14]。そこで、N<sub>2</sub>およびFGアニール250℃と400℃条件下における散乱機構を評価するために、キャリア密度と移動度の温度依存性を測定した結果を次に示す。

### 3-3. キャリア密度と移動度の温度依存性

Fig.3に、アニール温度250℃および400℃でのN<sub>2</sub>およびFGアニール後のキャリア密度と移動度の温度依存性を示す。いずれの条件下でも、ICO:H膜のキャリア密度は温度依存性が見られず、縮退半導体であることが確認された。

移動度に関して、N<sub>2</sub>およびFGアニールともに最大移動度を示す250℃条件では、温度依存性が一致し、温度の減少とともに移動度が増加している。これは、ICO:H膜内のキャリア散乱過程において格子振動による散乱が主たる要因であることを示唆している。一方、N<sub>2</sub>アニール400℃条件では、移動度に温度依存性が見られず、イオン化不純物散乱が支配的であることがわかった[14]。これに対し、FGアニール400℃条件では、N<sub>2</sub>およびFGアニール250℃条件より傾きは小さいものの、温度依存性が確認され、格子振動による散乱が依然として現れていることを示しており、温度依存性がないN<sub>2</sub>アニール400℃条件とは異なる。

アニール温度や400℃アニール時の雰囲気による

温度依存性の違いは、アニール時のICO:H膜内からの水素脱離に起因すると考えられる[12]。400℃アニール条件では、ICO:H膜内の水素が脱離することで酸素空孔が生成する。この酸素空孔は二価に帯電したイオン化不純物として働く。そのため、アニール温度が250℃から400℃に上昇すると、イオン化不純物散乱の散乱中心が水素に起因する一価から二価の不純物に変化し、その結果、移動度の温度依存性が減少または消失すると理解できる。さらに、アニール温度400℃での雰囲気の違いに注目すると、FGアニールでは水素分圧が高いため、N<sub>2</sub>アニールと比較して水素脱離が抑制され、酸素空孔の生成が抑えられることでイオン化不純物散乱が低減される。その結果、FGとN<sub>2</sub>アニールで温度依存性に違いがみられたと推察される。以上の結果から、高温アニール時における移動度の劣化は、水素脱離によって不純物散乱中心が水素由来の一価から酸素空孔由来の二価に変化することに起因していると考えられる。したがって、移動度劣化を抑制するには、FGアニールが効果的であることが明らかとなった。

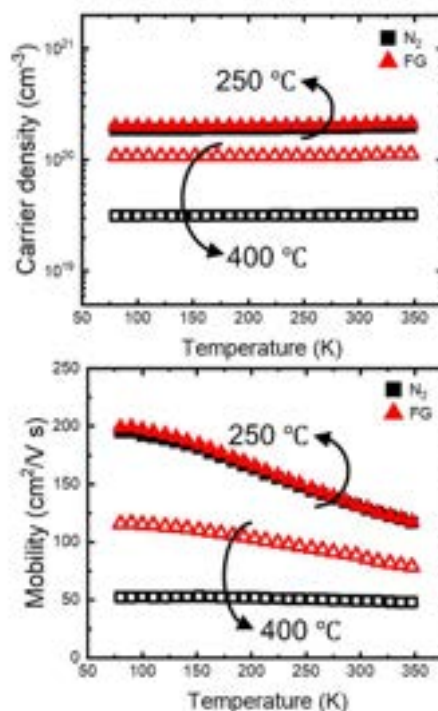


Fig.3. Temperature dependence of carrier concentration and mobility for N<sub>2</sub> annealing at 250 °C and 400 °C, and FG annealing at 250 °C and 400 °C.

#### 4. まとめ

スパッタ成膜時の酸素濃度最適化の実験結果から、酸素濃度 0.3%、水素濃度 1.5% で堆積した膜で、SPC 後の結晶粒サイズと移動度が最大となることがわかった。

アニール条件の検討では、移動度の最大値がガス種に依存しないことが明らかになった。一方、250 °C 以上のアニール領域ではガス種による移動度の変化が顕著に見られた。400 °C アニール時は FG の移動度劣化が最小であった。そのため、高温アニールにおける導電性劣化を抑制するには、FG アニールが有効であることがわかる。FG アニールが有効である理由は、ICO:H 膜内の水素脱離が抑制されることにある。水素の脱離が抑制されることで酸素空孔の生成が防がれ、それによりイオン化不純物散乱が抑制される。その結果、高温アニールにおける導電性劣化が低減されると考えられる。

以上より、高温アニール時に ICO:H 膜の導電性劣化を抑制するためには、膜内からの水素脱離を防ぐことが重要であることが判明した。

#### 謝辞

本研究は、JST 戦略的創造研究推進事業 先端的カーボンニュートラル技術開発 (ALCA-Next) JPMJAN23E4 の支援を受けて実施されました。また、JSPS 科研費 JP24K17328 の助成を受けたものです。SIM 像の撮影にあたり、ご協力をいただきました産業技術総合研究所ナノプロセッシング施設のスタッフに深く感謝申し上げます。さらに、本研究に際して貴重な助言をいただきました千葉大学物質科学コースの柯夢南助教授に、心より御礼申し上げます。

#### 参考文献

- [1] W.-S. Cheong et al., *Thin Solid Films*, vol. 517, pp. 4094–4099, Feb. 2009.
- [2] Mengwei Si et al., *ACS Nano*, vol. 14, pp. 11542–11547, Aug. 2020.
- [3] M. Guo et al., *Advanced Electronic Materials*, vol. 10, 2400145, 2024.
- [4] Hiroto Ishii et al., *IEEE Electron Device Letters*, vol. 44, 1244–1247, July. 2023
- [5] P. F. Newhouse et al., *Applied Physics Letters*, vol. 87, 112108, Sep. 2005.
- [6] M. F. A. M. van Hest et al., *Applied Physics Letters*, vol. 87, 032111, Jul. 2005.
- [7] T. Koida et al., *Applied Physics Letters*, vol. 89, 082104, Aug. 2006.
- [8] C. Warm Singh et al., *Journal of Applied Physics*,

vol. 95, pp. 3831–3833, Apr. 2004.

[9] E. Kobayashi et al., *Applied Physics Express*, vol. 8, 015505, Dec. 2014.

[10] Y. Zhang et al., *Vacuum*, vol. 206, 111512, Sep. 2022.

[11] R. D. Shannon, *Acta Crystallogr Section A*, vol. 32, pp. 751–767, 1976.

[12] T. Koida et al., *Journal of Applied Physics*, vol. 107, 033514, Feb. 2010.

[13] T. Koida et al., *Physica Status Solidi A*, vol. 1700506, 2018.

[14] S. Husein et al., *Journal of Applied Physics*, vol. 123, 245102, Jun. 2018.

[15] D. Y. Ku et al., *Thin Solid Films*, vol. 515, pp. 1364–1369, May 2006.

# ダイヤモンド量子センサの可能性

## Potential of diamond solid-state quantum sensors

波多野 睦子<sup>1</sup>

1 東京科学大学 〒152-8550 東京都目黒区大岡山 2-12-1

Mutsuko Hatano<sup>1</sup>,

*1 Institute of Science Tokyo, 2-12-1 Ohkayama, Meguro, Tokyo 152-8550, Japan*

*Tel: + 81-3-5732-3999, (e-mail: hatano.m.ea28@m.isct.ac.jp)*

### **Abstract**

Nitrogen-vacancy (NV) centers in diamond have superior physical properties, and their quantum coherence is preserved even at room temperature. To achieve an ideal quantum sensor for scalable applications, the technical challenges in the sensor materials and the quantum control techniques are developed. Moreover, sensor systems for the biological/ medical systems and battery/ power electronics are introduced.

### **I. INTRODUCTION**

Diamond is an excellent host for spin-based qubits, and the spin in diamond has excellent properties. In 1997, a single NV center was found and could be manipulated; it provided an optical readout at room temperature for the first time [1]. This discovery led to the development of the field of diamond quantum technology. The NV centers have proven to be one of the most promising localized electronic structures to serve as a spin-based qubit and are promising candidates for quantum sensing[2-4].

In this talk, the technical challenges in making applications of linking the material and the quantum control techniques are discussed. For applications, sensor systems for the biological/ medical systems and battery/ power electronics are introduced.

### **II. PHYSICAL PROPERTIES OF NV CENTER IN DIAMOND**

The NV center consisting of a nitrogen atom and a lattice vacancy in diamond (Fig.1(a)) preserves the quantum coherence (spin coherence time,  $T_2$ , of over ms) even at room temperature under atmospheric pressure. Diamond is a wide bandgap semiconductor (5.5 eV), and the energy level of the NV center is just the mid-gap of the bandgap. The spin state of electrons localized at the NV center exhibit spin-1 triplet ground state (Fig. 1 (b)). They are sensitive to the magnetic field, electric field, strain, and temperature [5], and can be initialized and

read out optically. In conjunction with spin state manipulation using microwave radiation, optically detected magnetic resonance (ODMR) can be performed. The quantum state of the NV center can be detected by fluorescence because the quantum states 0 and  $\pm 1$  differ in the amount of red fluorescence when excited by a green light source. The energy levels of the state  $\pm 1$  split depending on the magnetic field due to the Zeeman effect, so the system is used as a highly sensitive magnetometer.

Table1 shows a comparison of the quantum magnetic sensors SQUID and Atomic Vapor cells. The sensitivity of diamond sensors should be improved, but the diamond sensor has potential. The diamond sensors can operate at a wide temperature range (several mK - 600 K) and they are superior in the dynamic range and linearity of the magnetic field. The spatial resolution is scalable from nm to mm by using single to ensemble NV centers. The diamond sensors have the unique functions of vector magnetic field imaging and multi-modality such as temperature and magnetic field. Eventually, utilizing the device technology and integrating the sensor arrays on-chip, the NV center has the miniaturization possibility.

Therefore, the diamond sensors are particularly well suited for sensing the magnetic field in biological/ medical systems and battery/ power electronics (Fig. 2). We developed the high contrast with the perfectly aligned NV centers and with precise thickness control obtained by CVD for scalable applications [6-10]. Heteroepitaxial diamond on Si substrates is a key technology from the viewpoint of scalability and Si CMOS hybrid system.



3C-SiC is used as an intermediate layer between Si and diamond films and we confirmed the aligned NV centers to the  $\langle 111 \rangle$  direction in the grains [9,10].

### III. DIAMOND QUANTUM SENSORS AND APPLICATIONS

#### A. Millimeter-scale magnetocardiography of living rats

The most important features of diamond quantum sensors are high sensitivity at room temperature and good biocompatibility. Therefore, the diamond quantum sensor can be placed in close contact with the living body and can measure biomagnetic fields with high sensitivity. We demonstrated magnetocardiography (MCG) of living mammalian animals, rats, and the associated electric current estimation with a spatial resolution smaller than the heart's feature size [11]. The measurement system is shown in Fig. 3(a). The rats are placed on the stage. The sensor holder and microwave antenna are made thin enough so that there are no obstacles to bringing the diamond quantum sensor close to the heart surface. Diamond quantum sensors are crystals with a (111) plane and detect magnetic fields perpendicular to the crystal surface. This is the magnetic field emitted perpendicularly from the surface of the heart as shown in Fig. 3(b). The MCG can be acquired by moving the stage in two dimensions relative to the sensor.

Figure 4(a) shows an optical photograph and Figure 4(b) shows an MRI of a rat heart. The lower left is the right ventricle and the upper right is the left ventricle. Fig. 4(c) and (d) present the measured magnetic field map and Fig. 4(e) and (f) show vector plots of estimated electric current density reconstructed by the MCG. The upper panels (c), (e) and (g) show images at the R-wave peak of the heartbeat as shown in Fig. 4 (i). The lower panels (d), (f) and (h) are images 20 ms after the R-wave peak. At the timing of the R-wave peak, current density is localized near the Purkinje fiber bundle. A decrease in current density was clearly observed at 20 ms after the R-wave peak.

Moreover, by approaching the sensor close to the surface of the heart, MCG with millimeter resolution was detected. Conventional sensors typically provide a resolution of a few centimeters, which is currently limited by either the standoff distance or sensor size. High-resolution MCG may reveal the causes of arrhythmia-induced rotational waves, for example, and the mechanism of ventricular fibrillation noninvasively. Therefore, it is expected that advanced contactless diagnostics, which are not possible with ECG, will become possible.

By further improving the sensitivity one may be able to detect the brain monitoring. We are developing magnetometers for biomagnetic sensing with high sensitivity currently up to  $\text{pT}/\sqrt{\text{Hz}}$  [12].

#### B. High-precision simultaneous monitoring of current and temperature of electric vehicle batteries

Other features of the diamond quantum sensor are the wide dynamic range due to its saturation-free and hysteresis-free property and the multi-modal capability to detect the magnetic field and the temperature at the same time. Vehicular battery monitor was developed based on these features. The state of charge of the EV battery needs to be monitored by integrating the charge/discharge current. Remaining cruising mileage can be estimated exactly by measuring the current with the accuracy of about 10 mA while accepting the maximum amplitude of several hundred amperes. Furthermore, EV batteries require exact temperature control in the environment from  $-40$  to  $+85$  °C. Our battery monitor is shown in Fig.5. The diamond quantum sensor is the  $2 \times 2 \times 1 \text{ mm}^3$  diamond crystal adhered on the top of the multi-mode fiber [13-15]. Two sensors are attached on both sides of the busbar connecting the EV battery module and the motor engine. The technical issue of the battery monitor is 10 mA detection in the large noise in the automobile environment and tracing large current stably while keeping the accuracy. The differential detection by the two sensors shown in Fig.5(b) eliminated the external noise as common mode. As shown in Fig.5(d), a pair of microwave generators generate a pair of resonance frequencies for each sensor. To match the microwave frequency with the resonance frequency, the fluorescence intensity detected by the photodiode is fed back to the microwave oscillator by the integral circuit. The magnetic field and temperature can be measured as the difference and average of these two microwave frequencies. The noise spectra of the magnetic field and temperature at one sensor are shown in Fig.5(e). Both the magnetic field and temperature have a bandwidth of 1 kHz, effective to trace the rapid current and temperature changes during rapid acceleration, deceleration, and fast charging. Analog feedback by the integrated circuit is stable only within a few MHz around the resonance frequency. When the resonance frequency fluctuates greatly by several hundred MHz due to high current, the center frequency of the microwave oscillator is digitally corrected intermittently so that the integrated circuit output does not exceed a certain limit. As shown in Fig.5(f), this allows 10 mA to be detected and  $\pm 1000$  A to be measured.



### C. Internal electric-field sensing in power devices

To achieve reliable low-loss and high breakdown field power devices, it is essential to monitor the internal electric-field in operation. However, techniques based on scanning probe microscopy are limited to sensing at the surface only. We demonstrated the direct sensing of the internal electric field in diamond power devices using a single NV center [16]. The NV center embedded inside the device acts as a nanoscale electric field sensor. We fabricated vertical diamond p-i-n diodes containing the single NV centers (Fig.6 (a)). By performing ODMR under reverse-biased conditions with an applied voltage of up to 150 V, we found a large splitting in the magnetic resonance frequencies (Fig.6 (b)). This indicated that the NV center senses the transverse electric field in the space-charge region formed in the i-layer. The experimentally obtained electric field values are in good agreement with those calculated by a device simulator (Fig.6 (c)). Moreover, we measured the vector electric field in different directions by utilizing NV centers with different N-V axes [17]. This quantum sensor using an electron spin in a wide-band-gap material provides a way to monitor not only the electric field but local temperature and current in operating semiconductor devices.

### IV. CONCLUSION

The technical challenges in making applications of linking the material and the quantum control technology were developed. Millimeter-scale MCG of living rats, high-precision simultaneous monitoring of current and temperature of electric vehicle batteries, and detection of internal electric-field sensing in power devices were demonstrated. By further improving the sensitivity one may be able to detect the brain monitoring.

### ACKNOWLEDGMENTS

This study was supported by MEXT QLEAP Grant Number JPMXS0118067395. The author would like to thank T. Iwasaki, M. Sekino, T. Sakai, A. Kuwahata, K. Arai, Y. Hatano, D. Nishitani, Lab and Q-LEAP members for their contributions and helpful discussions.

### REFERENCES

- [1] A. Gruber, J. Wrachtrup, et al., *Science* 276, 2012 (1997).
- [2] F. Jelezko, J. Wrachtrup et al., *Phys. Rev. Lett.* 92, 076401 (2004).
- [3] J. Maze, A. Yacoby, R. Walsworth, M. Lukin et al., *Nature* 455, 644 (2008)
- [4] D Le Sage, K. Arai, A. Yacoby, R. Walsworth et al., *Nature* 496, 486 (2013).
- [5] L. Doherty, J. Wrachtrup, L. Hollenberg et al., *Phys. Rep.* 528, 1 (2013).
- [6] H. Ozawa T. Iwasaki, M. Hatano et al., *APEX* 10, 045501 (2017).
- [7] H. Ishiwata, M. Hatano, *Appl. Phys. Lett.* 111, 043103 (2017).
- [8] T. Tsuji, M. Hatano et al., *Diamond & Related Materials* 123, 108840 (2022).
- [9] T. Suto, M. Hatano et al., *Appl. Phys. Lett.*, 110, 062102 (2017).
- [10] J. Yaita, T. Iwasaki et al., *Applied Physics Express* 11, 045501 (2018)
- [11] K. Arai, A. Kuwahata, D. Nishitani M. Hatano, T. Iwasaki et al., *Commun Phys*, vol. 5, 200(2022) .
- [12] N. Sekiguchi et al., *Physical Review Applied* 21, 064010 (2024).
- [13] Y. Hatano et al., *Appl. Phys. Lett.*, 118, 034001 (2021).
- [14] Y. Hatano et al., *Scientific Reports* 12, 13991 (2022).
- [15] Y. Hatano et al., *Phil. Trans. R. Soc. A* 382, 20220312(2023).
- [16] T. Iwasaki, M. Hatano et al., *ACS Nano*, 11, 1238 (2017).
- [17] B. Yang, A. Yacoby, M. Hatano, T. Iwasaki et al., *Physical Review Applied* 14, 044049 (2020).

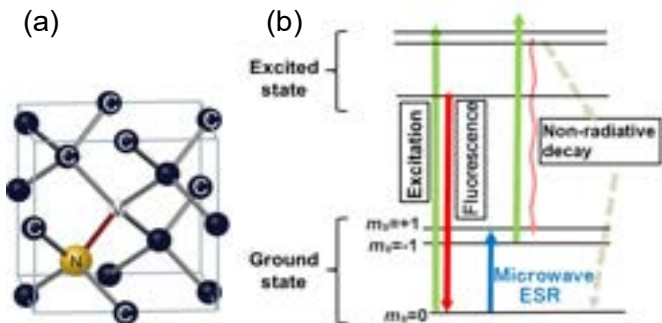


Fig. 1. Overviews of the NV center quantum system:  
 (a) Schematic of the NV center in diamond.  
 (b) Energy diagram of the NV center.  
 The energy level of magnetic sublevels  $m_s = \pm 1$  shift proportional to magnetic field.

Table 1 Comparison of quantum magnetic sensors.

Quantum sensor	Diamond (NV centers)	SQUID (Superconductor)	Atomic Vapor cell
Sensitivity ( $\text{Hz}^{-1/2}$ )	$\sim \text{pT} \rightarrow \text{fT}$ • Wide dynamic range • Good linearity	$\approx \text{fT}$	$< \text{fT}$ <b>SERF regime</b>
Spatial resolution	Atomic to macro Scalability	$> 10 \mu\text{m}$	$\sim \text{mm}$
Temp. Environment	RT (mK-600K) in the atmosphere, liquid Robustness	LT	$> \text{RT}$
Vector imaging	○ (the distinctive advantage)	-	△
Multimodalities	⊙ (Temp.(energy)& Magnetic(information))	-	-
Miniaturization	⊙ On-chip integration	-	○

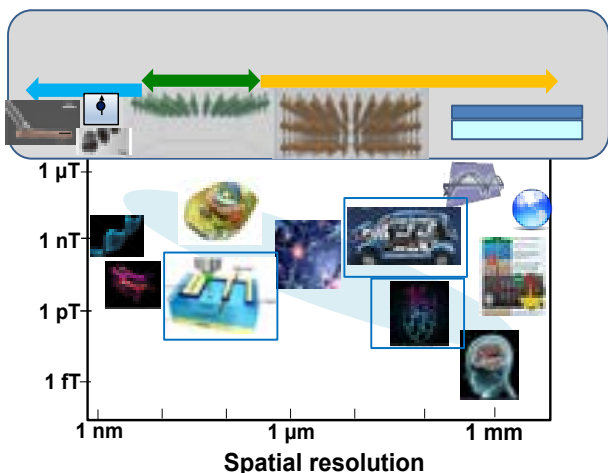


Fig.2. Potential on the scalable application of diamond quantum sensors and CVD technologies.

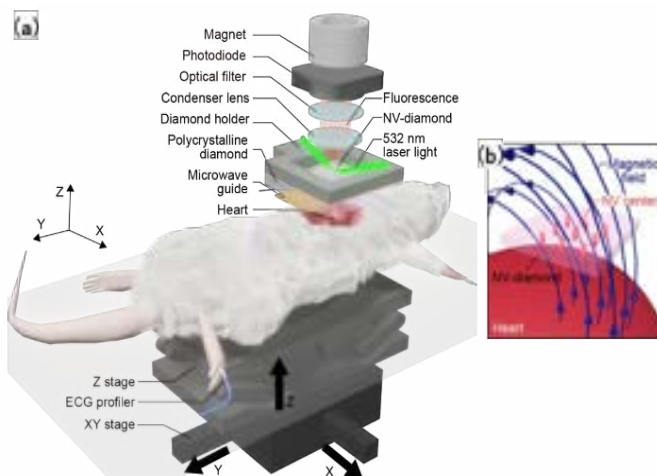


Fig.3 (a) Setup for rat MCG imaging.  
 (b) Illustration of the magnetic field detected by the NV centers.

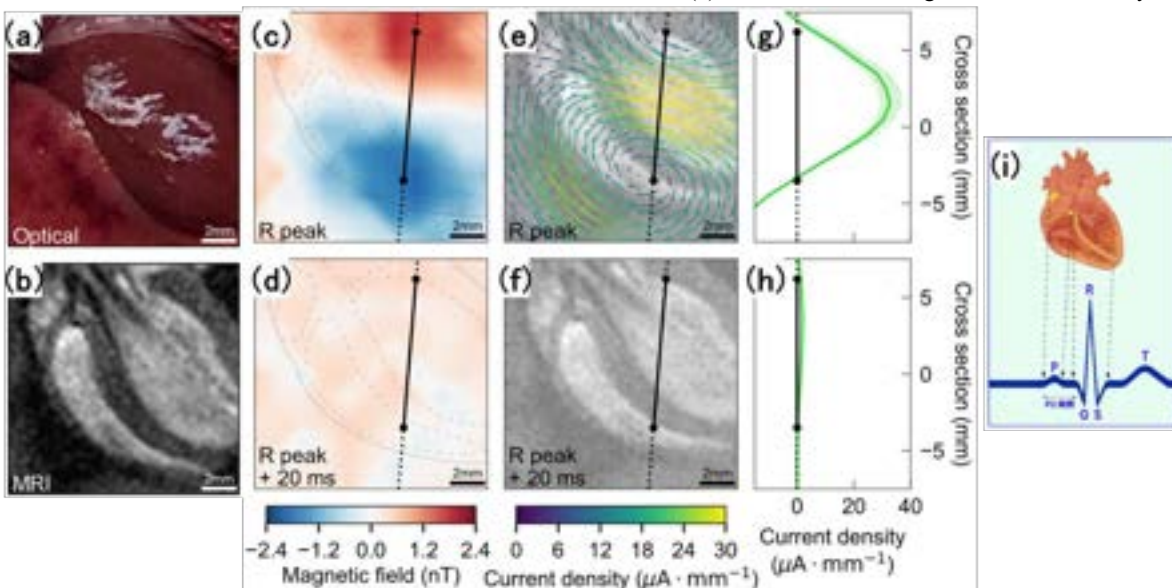


Fig.4 Rat MCG imaging results. (a) Optical image and (b) Magnetic resonance image of the rat's heart.  
 (c) Measured magnetic field map at the R-wave peak (d) 20ms after the R-wave peak.  
 (e), (f) Vector plots of estimated electric current density (c), (d). (g), (h) Normal component of the electric current density vector with respect to the linocuts. (i) Illustration of the timing of the R-wave peak of the heartbeat.

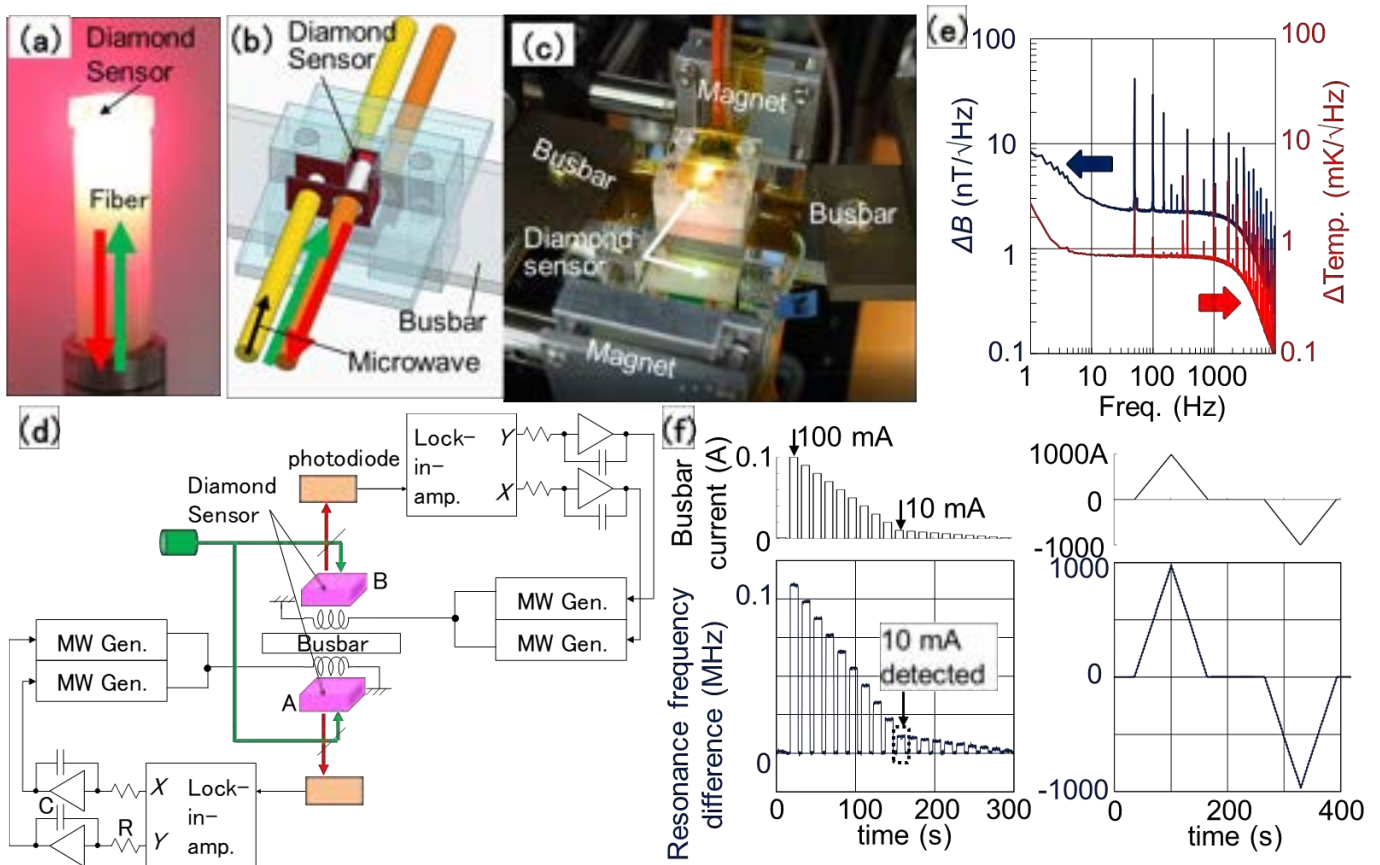


Fig.5 Prototype busbar current differential detection system. (a)  $2 \times 2 \times 1 \text{ mm}^3$  diamond sensor adhered to the fiber top. (b) Two sensors placed on both sides of the busbar. (c) Sensors and busbar placed between a pair of magnets. (d) Block diagram of the current measurement system. (e) Noise spectrum of the detected magnetic field and the temperature. (f) Detected magnetic field as the resonance frequency difference by the differential detection system when input busbar current is provided as 100 mA  $\sim$  1 mA pulse train (on the left) and  $\pm 1000$  A triangular waveform (on the right).

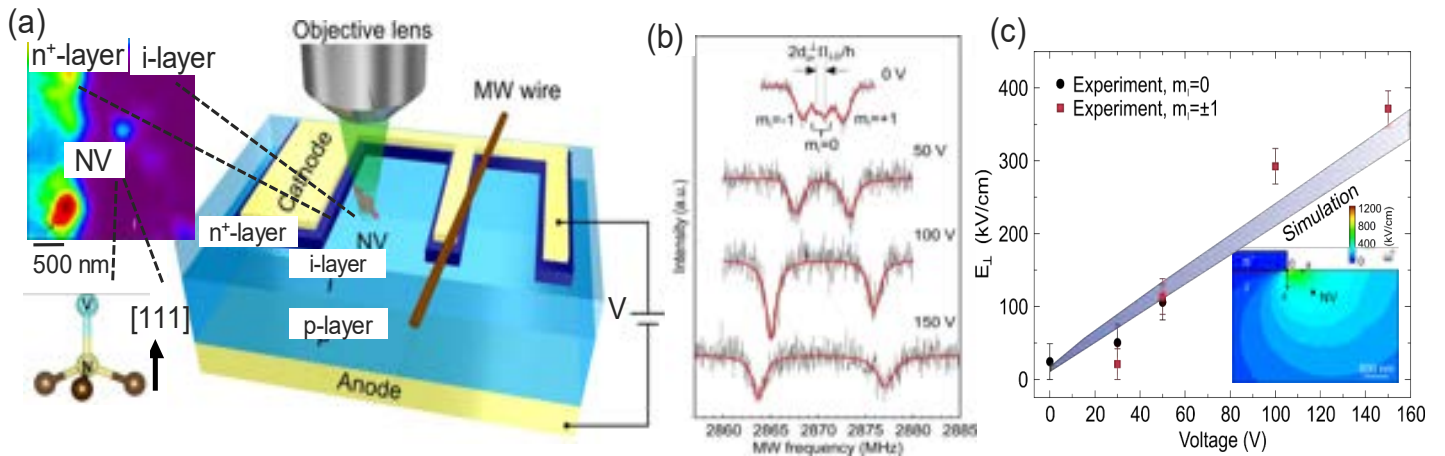


Fig.6. Internal electric-field sensing in devices using single NV center: (a) Diamond device structure (p-i-n diode) and measurement setup. Insert; Top-view confocal fluorescence microscope image of single NV center. (b) ODMR spectra of the single NV center under reverse-biased conditions up to 150 V. The red lines denote fitting. (c) Transverse electric field measured with the NV center and simulated results. Insert; Simulation of the transverse electric-field at 150 V.

# ノイズ耐性を向上する Concatenated Continuous Driving を用いた シリコン量子ビット操作技術

## Silicon Spin-qubit Manipulation using Concatenated Continuous Driving for Enhancing Noise Tolerance

久野拓馬<sup>1,2</sup>、宇津木健<sup>1</sup>、李憲之<sup>1</sup>、峰利之<sup>1</sup>、柳至<sup>1</sup>、村岡諭<sup>1</sup>、溝口来成<sup>2</sup>、米田淳<sup>3</sup>、小寺哲夫<sup>2</sup>  
中島峻<sup>4</sup>、Andrew J. Ramsay<sup>5</sup>、Normann Mertig<sup>5</sup>、斎藤慎一<sup>1</sup>、久本大<sup>1</sup>、土屋龍太<sup>1</sup>、水野弘之<sup>1</sup>

- 1 株式会社日立製作所 研究開発グループ 〒185-8601 東京都国分寺市東恋ヶ窪 1-280
- 2 東京科学大学 〒152-8552 東京都目黒区大岡山 2-12-1
- 3 東京大学 〒277-8561 千葉県柏市柏の葉 5-1-5
- 4 理化学研究所 創発物性科学研究センター 〒351-0198 埼玉県和光市広沢 2-1
- 5 日立ヨーロッパ株式会社 日立ケンブリッジ研究所

Takuma Kuno<sup>1,2</sup>, Takeru Utsugi<sup>1</sup>, Noriyuki Lee<sup>1</sup>, Toshiyuki Mine<sup>1</sup>, Itaru Yanagi<sup>1</sup>, Satoshi Muraoka<sup>1</sup>,  
Raisei Mizokuchi<sup>2</sup>, Jun Yoneda<sup>2</sup>, Tetsuo Kodera<sup>2</sup>, Takashi Nakajima<sup>3</sup>, Andrew J. Ramsay<sup>4</sup>, Normann Mertig<sup>4</sup>,  
Shinichi Saito<sup>1</sup>, Digh Hisamoto<sup>1</sup>, Ryuta Tsuchiya<sup>1</sup>, and Hiroyuki Mizuno<sup>1</sup>

*1 R & D Group, Hitachi, Ltd., Kokubunji, Tokyo, Japan.*

*2 Department of Electrical and Electronic Engineering, Institute of Science Tokyo, Japan.*

*3 Department of Advanced Materials Science, University of Tokyo, Japan.*

*4 Center for Emergent Matter Science, RIKEN, Wako, Saitama, Japan.*

*5 Hitachi Cambridge Laboratory, Cambridge, United Kingdom.*

*Tel: + 81-80-2097-8596 (e-mail: takuma.kuno.pg@hitachi.com)*

### **Abstract**

Large-scale integration of qubits is essential to realize practical quantum computers. Silicon-based qubits are considered to be one of the promising quantum computer platforms because of their scalability based on the well-established semiconductor technology. The coherence time of qubits, which is the retention time of quantum information, must be sufficiently long to perform quantum computation. However, silicon qubits may suffer from reduced coherence times due to various noises in solids, such as magnetic noise and charge noise. Here, we perform spin manipulation and evaluate the coherence time of a Si-MOS spin qubit. Furthermore, we demonstrate concatenated continuous driving, which enables extending the coherence time of qubits. We achieve an extension of the coherence time of Rabi oscillation from 1.2  $\mu\text{s}$  to over 200  $\mu\text{s}$ . This result shows a robust qubit against noisy environments, including nuclear spins of <sup>29</sup>Si in natural silicon, which is essential for realizing practical quantum computers.



## 1. はじめに

実用的な量子コンピュータの実現に向けて量子ビットの大規模集積化が不可欠である[1]。シリコン量子ビットは、半導体微細加工技術に基づくスケーラビリティを有し、量子コンピュータの有望なハードの一つであると考えられている[2, 3]。一方量子計算を行うためには、量子情報保持時間である量子ビットのコヒーレンス時間が十分に長い必要がある。しかしシリコン量子ビットは、シリコン固体中の磁氣的雑音(Fig. 1)や電荷雑音などの様々なノイズの影響により、コヒーレンス時間が短くなるという課題がある[4, 5]。本研究では、初めに Si-MOS 型の量子ドットアレイ構造において実証したスピン量子ビット操作を紹介する。電子スピン共鳴 (ESR) を用いてスピン量子ビットを制御し、スピン量子ビットの特性を評価した。さらに、スピン量子ビットのコヒーレンスを保護するために、Concatenated Continuous Driving (CCD) スピン操作を実装した。CCD スピン操作はこれまでに NV 中心[6]や六方晶窒化ホウ素[7]を用いた量子ビットで報告されており、外界からのノイズを削減し、コヒーレンス時間の延伸が確認されている。ここでは、シリコン量子ビットデバイスで初めて成功した CCD スピン操作の実験結果を紹介する。本手法によりラビ振動時のコヒーレンス時間を 1.2  $\mu\text{s}$  から 200  $\mu\text{s}$  以上まで延伸できることを確認した。天然シリコン中  $^{29}\text{Si}$  の核スピン下の磁氣的雑音が大きな環境でもコヒーレンス延伸 (量子ビット寿命延長)

### Nuclear spins

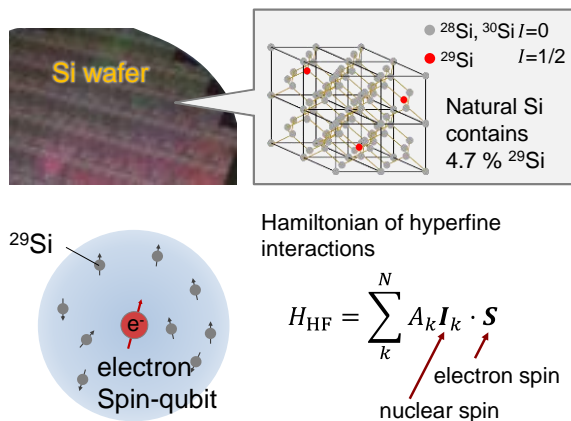


Fig. 1 Nuclear spins of  $^{29}\text{Si}$  in natural silicon.

効果を発揮するため、将来的な量子計算時のコヒーレンス保護に有用であると考えられる。

## 2. 量子ドットアレイデバイス

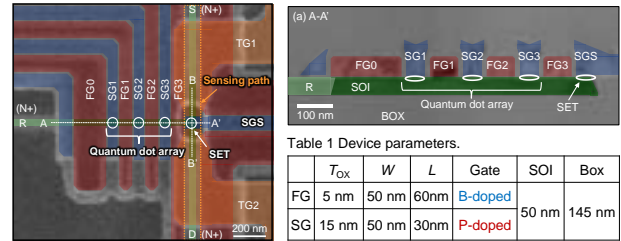


Fig. 2 SEM image of Si-MOS quantum dot array and device parameters.

Figure 2 に本研究で用いた Si-MOS 構造量子ドットアレイの SEM 像を示す。STI (Shallow trench isolation) プロセスを用いてシリコンチャンネルを形成した。チャンネルには天然シリコンを用いており、n 型のソース (S)、ドレイン (D)、リザーバー (R) の 3 端子の T 字型構造となっている。シリコンチャンネルの上には、第 1 ゲート (FG)、第 2 ゲート (SG)、第 3 ゲート (TG) の 3 層の poly-Si ゲートが形成されている。SG は FG を用いた自己整合プロセスにより、TG は SG を用いた自己整合プロセスによりそれぞれ形成する。量子ドットアレイの上にはアルミニウムのマイクロストリップラインを設置した。マイクロストリップラインに交流電流を流すことでマイクロ波を発生させ、スピン量子ビット操作を行う。デバイスは希釈冷凍機を用いて冷却し、ベース温度約 10 mK の下実験を行った (Fig. 3)。

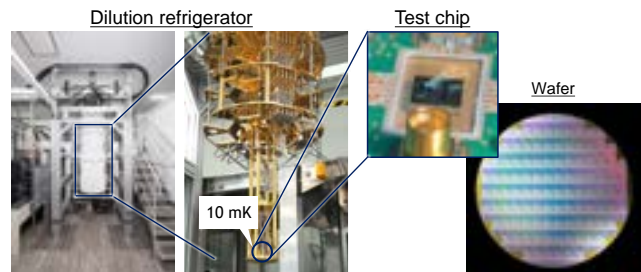
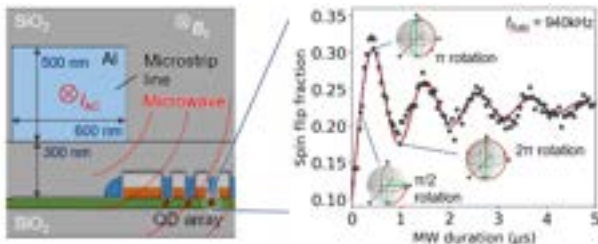


Fig. 3 Experimental overview.

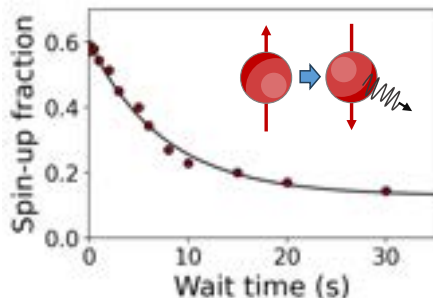
### 3. スピン量子ビット制御とその特性

スピンの操作には電子スピン共鳴 (Electron Spin Resonance: ESR) を用いた。これは強い静磁場 (z 方向とする) をかけて歳差運動させたスピンに対し、共鳴する周波数のマイクロ波 (z 軸に直交する交流磁場) を印加することでラビ振動を起こす方式である。マイクロ波の照射時間、(スピン歳差運動との相対) 位相を制御することで、任意の方向にスピンを操作する。マイクロ波の照射時間を変えてスピン反転確率を取得した結果を Fig. 4 に示す。マイクロ波の照射時間に依存してスピン反転確率が振動していることが分かる (ラビ振動)。後述するようにノイズの影響により、振幅が減衰していく。本結果からラビ振動数 940 kHz、ラビ振動時のコヒーレンス時間  $T_2^{\text{Rabi}} = 1.2 \text{ us}$  という値が得られた。

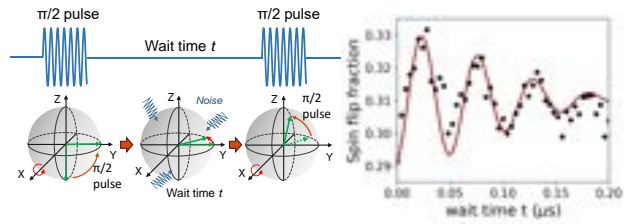


**Fig. 4 Schematic of microstrip line and QD array and experimental result of Rabi oscillations.**

本スピン量子ビットのコヒーレンス時間の評価を行った。量子ビットのコヒーレンスは複数の緩和時間を用いて特徴づけられる。エネルギー緩和を伴うスピン反転を記述する時間はスピン緩和時間  $T_1$  と呼ばれる。本スピン量子ビットのスピン緩和時間  $T_1$  を評価したところ 7.7s と、典型的な量子計算時間よりも十分長い結果が得られた (Fig. 5)。

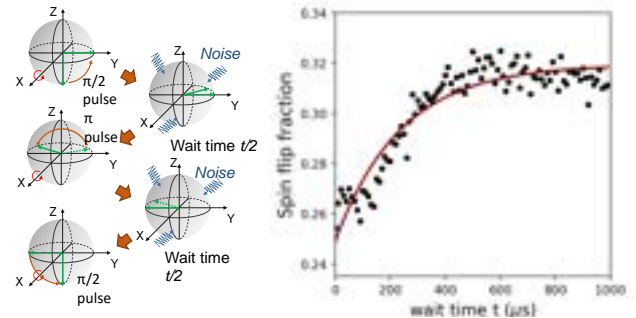


**Fig. 5 Spin relaxation time experiment. Spin up fraction versus wait time before the spin readout.**



**Fig. 6 Pulse sequence of Ramsey experiment and measurement result.**

一方スピン量子ビットでは  $T_1$  よりも位相緩和時間  $T_2^*$  が短いことが知られている [8]。位相緩和時間  $T_2^*$  をラムゼー干渉法を用いて評価した (Fig. 6)。得られた位相緩和時間  $T_2^*$  は 120 ns であり、 $T_1$  時間と比較して非常に短い。位相緩和を生じさせる主要因に磁氣的雑音あげられる。固体中スピン量子ビットにおいて支配的な磁氣的雑音は原子のもつ核スピンである [4]。実験で用いたデバイスの天然シリコンは 3 種類の安定同位体 ( $^{28}\text{Si}$ ,  $^{29}\text{Si}$ ,  $^{30}\text{Si}$ ) で構成され、そのうち天然存在比 4.7% の同位体  $^{29}\text{Si}$  が核スピン 1/2 持つ。この核スピンの電子スピンと超微細相互作用するため、 $T_2^*$  が非常に短くなる。このような磁氣的雑音や電荷雑音の一部はスピンエコー法により取り除くことができ、位相緩和時間を延伸することができる。スピンエコー法により得られる位相緩和時間は、 $T_2^*$  と区別して  $T_2^{\text{echo}}$  と呼ばれる。本スピン量子ビットにスピンエコー法を適用した結果を Fig. 7 に示す。スピンエコー法により、 $T_2^{\text{echo}}$  は 239  $\mu\text{s}$  まで延長することが確認できた。この結果はこれまで報告されてきた天然シリコン中の量子ビットの中で比較的長い値であり [8]、スピンエコー法でキャンセルできない高周波ノイズが比較的小さいことを示唆している。



**Fig. 7 Pulse sequence of spin echo experiment and measurement result.**

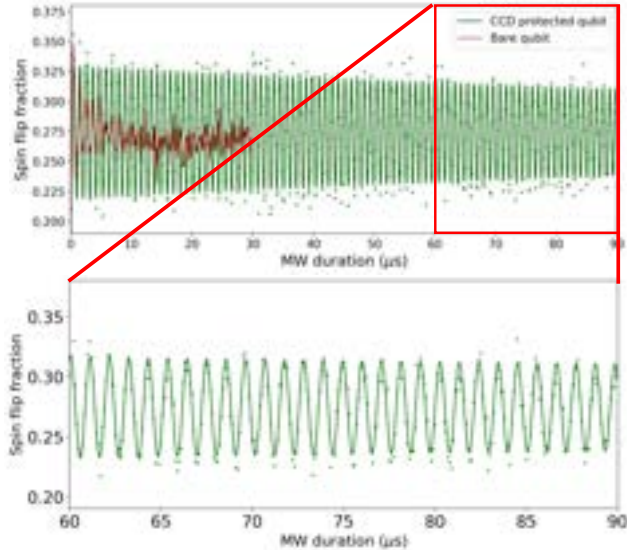


#### 4. Concatenated Continuous Driving によるスピン量子ビットの寿命延伸技術

前章で述べたように、スピンエコー法を用いて位相緩和時間 $T_2^{\text{echo}}$ は 239  $\mu\text{s}$  まで延伸できることを確認した。しかし、スピンエコー法では、ゲート動作中（スピン操作中）に量子ビットのコヒーレンスを保護できない。そのため、しばしば $T_2^{\text{echo}}$ は量子メモリ時間とも呼ばれる。これに対し、CCD スピン操作はコヒーレンスを保護しながらゲート動作が可能であることが知られている [6, 7]。本研究ではシリコン量子ドットにおいて初めて CCD スピン操作を実証し、その効果を確認した。CCD スピン操作は、マイクロ波の位相を変調することで実装した。位相変調したマイクロ波の磁場成分は次のように書ける。

$$A = \Omega \cos(\omega t + \phi) - \frac{2\varepsilon}{\Omega} \sin(\omega_m t)$$

ここで、 $\omega$ はマイクロ波の角周波数、 $\Omega$ はスピン量子ビットのラビ角周波数、 $\varepsilon$ は位相変調振幅、 $\omega_m$ は位相変調角周波数である。位相変調角周波数



**Fig. 8 Comparison of Rabi oscillations with and without CCD spin control. The coherence time of  $T_2^{\text{Rabi}}$  is over 200  $\mu\text{s}$  despite the presence of nuclear spin noise from  $^{29}\text{Si}$  isotopes in natural silicon.**

$\omega_m$ をラビ角周波数 $\Omega$ に一致させることでコヒーレンスを保護することができる。Fig. 8 は、CCD スピン操作によるコヒーレンス保護の有無を比較したラビ振動の実験結果である。CCD スピン操作を適用することで通常のラビ振動の減衰時間 $T_2^{\text{Rabi}} = 1.2 \mu\text{s}$  から 100 倍以上延伸した 211  $\mu\text{s}$  のコヒーレンス時間が得られた。

#### 4. まとめ

我々は Si-MOS 型の量子ドットアレイを試作し、ESR を用いたスピン量子ビットの操作を実証した。さらに CCD スピン操作を用いることで、天然シリコン中の $^{29}\text{Si}$ による核スピンノイズの存在下でもコヒーレンス時間を 200  $\mu\text{s}$  以上に延伸できることを確認した。この結果は、天然シリコンで実用的な量子コンピュータを実現する際に有用と考えられる、操作によるスピン量子ビットのロバスト化を実証するものである。今後、CCD スピン操作時のゲート忠実度の評価や 2 量子ビット操作の実証を行う予定である。

#### 謝辞

本研究の一部は、JST ムーンショット型研究開発事業（グラント番号 JPMJMS2065）の支援を受けたものです。

#### 参考文献

- [1] D. P. DiVincenzo, Fortschr. Phys. **48**, 771 (2000).
- [2] A. M. J. Zwerver *et al.*, Nat. Electron. **5**, 184 (2022).
- [3] N. Lee *et al.*, Jpn. J. Appl. Phys. **61**, SC1040 (2022).
- [4] A. V. Khaetskii *et al.*, Phys. Rev. Lett. **88**, 186802 (2002).
- [5] J. Yoneda, *et al.*, Nat. Nanotechnol. **13**, 102 (2018).
- [6] G. Wang *et al.*, New J. Phys. **22**, 123045 (2020).
- [7] A. J. Ramsay *et al.*, Nat. Commun. **14**, 461 (2023).
- [8] P. Stano and D. Loss, Nat. Rev. Phys. **4**, 672 (2022).

# 第一原理計算を用いた 4H-SiC 中の基底面転位 (BPD) 拡張メカニズムの解明

## Understanding the microscopic mechanism of basal plane dislocation (BPD) expansion in 4H-SiC through first-principles calculations

佐野 雅季<sup>1</sup>, 小島 淳<sup>2</sup>, 恩田 正一<sup>2</sup>, 依田 孝<sup>3</sup>, 大場 隆之<sup>3</sup>, 押山 淳<sup>2</sup>, 白石 賢二<sup>1,2</sup>

<sup>1</sup>名古屋大学大学院 工学研究科 〒466-8603 愛知県名古屋市千種区不老町

<sup>2</sup>名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

<sup>3</sup>東京科学大学 WOW Alliance 〒226-8503 神奈川県横浜市緑区長津田町 4259

Masaki Sano<sup>1</sup>, Jun Kojima<sup>2</sup>, Shoichi Onda<sup>2</sup>, Takashi Yoda<sup>3</sup>, Takayuki Ohba<sup>3</sup>,  
Jun Oshiyama<sup>2</sup> and Kenji Shiraishi<sup>1,2</sup>

<sup>1</sup> Graduate School of Engineering, Nagoya University, Nagoya, Aichi 464-8603, Japan

<sup>2</sup> Institute of Materials and Systems for Sustainability, Nagoya University, Nagoya, Aichi, 464-8601, Japan.

<sup>3</sup> WOW Alliance, Institute of Science Tokyo, 4259 Nagatsuta, Midori-ku, Yokohama, 226-8503, Japan

\*E-mail: [sano.masaki.k7@s.mail.nagoya-u.ac.jp](mailto:sano.masaki.k7@s.mail.nagoya-u.ac.jp)

### Abstract

Stacking faults (SFs) originating from basal plane dislocations (BPDs) which are formed during fabrication process, expand under forward voltage. This expansion leads to a significant drop in forward voltage, a phenomenon known as bipolar degradation. Therefore, reducing the BPDs density and suppressing SFs expansion are crucial technical challenges in developing high reliability SiC devices. However, the microscopic mechanism of the expansion of BPDs are not fully understood yet. This lack of understanding makes it difficult to propose effective methods to suppress BPDs expansion. Therefore, we theoretically investigated the microscopic mechanisms of BPDs expansion using first-principles calculations based on the density-functional theory (DFT) and clarified the reaction pathway of the BPDs expansion. As a result, we found that under the positive charge state the activation energy required for expansion decreases compared with neutral state. Furthermore, by calculating the formation energy and comparing the reaction pathways under different charge states, we revealed that carrier recombination changes the charge state of the reaction pathway during the progression of expansion, enabling BPDs to expand along a pathway with lower activation energy.

### 1. 背景・研究目的

SiC (Silicon Carbide)は、その優れた特性から Si (Silicon) に代わる半導体材料として注目を集めている物質の一つである [1]。SiC を用いてデバイスを作製することで、Si デバイスでは実現し得なかった高速動作・高温動作・高耐圧なデバイスが実現可能となる。特に SiC は高耐圧/大電流向けのデバイス利用が期待されており、一部は製品化や実用化が進んでいる。しかし、SiC デバイスは製造過程において様々な技術的課題を抱えており、その一つが高品質化である。その中でも特に、僅かな結晶成長条件の違いによって生じる結晶欠陥が SiC デバイスの特性を著しく低下させている。そのため SiC 単結晶中における結晶欠陥の低減が重要な技術的課題となっている。

SiC に発生する主要な結晶欠陥の一つとして基底面転位 (Basal Plane Dislocation: BPD)が挙げら

れる。BPD はバーガースベクトル  $\mathbf{b}_{BPD} = a/3[11\bar{2}0]$  を有する SiC の基底面内に存在する転位である。基板に発生した BPD の大半は SiC のエピタキシャル成長時に基板/エピ膜の界面で貫通刃状転位 (Threading Edge Dislocation: TED)に変換される。しかし、一部の BPD は基板からエピ膜へと伝播し、僅かなエネルギーで2本の部分転位とその間に積層欠陥を伴う拡張転位に分解される。さらに BPD の分解により形成された積層欠陥は通電により拡張し、オン動作時の電気抵抗を増大させるバイポーラ劣化現象を引き起こすことが報告されている[2]。以上の背景から、SiC デバイスにおいて積層欠陥の拡張を抑制することは大変重要な技術的課題であり、関連する研究が精力的に進められてきた。

BPD に由来する積層欠陥は REDG (Recombination Enhancement Dislocation Glide) 効

果と呼ばれる再結合により発生したエネルギーを駆動力として拡張すると報告されている[3]。その観点から、再結合を促進させるバッファ層をデバイスに形成することで BPD に到達する正孔密度を減らし、積層欠陥の拡張の抑制が確認された研究成果が報告されている[4]。また、電流密度や温度に応じた BPD の拡張・収縮の振る舞いを実験的に評価した研究成果も報告されており、BPD の拡張において BPD に到達する過剰キャリア密度が重要な指標であることが報告されている[5, 6]。以上のように積層欠陥の拡張に関する研究は複数行われてきたものの、未だその微視的な拡張メカニズムは十分に明らかになっていない。微視的な拡張メカニズムの解明は、積層欠陥の拡張を抑制するうえで大変重要な知見である。したがって本研究では、密度汎関数理論(DFT)に基づく第一原理計算を用いることで積層欠陥の微視的な拡張メカニズムを明らかにすることを目的として研究を行った。

## 2. 計算モデル・計算手法

### 2.1 計算手法・計算条件

本研究では、密度汎関数理論に基づく第一原理計算コード VASP (Vienna Ab-initio Program Package)[7]を使用した。原子核および内殻電子のポテンシャルには、Projector Augmented Wave (PAW) ポテンシャル[8]を使用し、平面波基底のカ

ットオフエネルギーは 500eV に設定した。また、構造最適化計算、NEB 計算、電子状態の計算における交換相関汎関数は、全て GGA-PBE 汎関数を採用している[9]。加えて構造最適化計算においては、全ての原子に働く力の大きさが 0.05eV/Å以下になるまで行われた。さらに、NEB 法を用いることで拡張過程における反応経路とエネルギープロフィールを計算した。計算に用いた 4H-SiC ユニットセルの格子定数 $a, b, c$ は、 $a = b = 3.069 \text{ \AA}$ ,  $c = 10.133 \text{ \AA}$ である。ブリルアンゾーン内の  $k$  点サンプリングには、構造最適化や NEB 計算において $1 \times 1 \times 1$ の、電子状態の計算において $2 \times 2 \times 1$ の  $\Gamma$  centered Monkhorst-Pack grid を使用した。

### 2.2 計算モデル

本研究では BPD の微視的な拡張メカニズムを解析するために、積層欠陥の拡張前後を表現した計算モデルを作製した。BPD はバーガースベクトル  $\mathbf{b}_{BPD} = a/3[11\bar{2}0]$  を有し、分解により 2 本の部分転位( $\mathbf{b}_1 = a/3[10\bar{1}0]$ と $\mathbf{b}_2 = a/3[01\bar{1}0]$ )に分解される。この分解により Fig. 1(a)のように基底面内に 2 本の部分転位とその間に積層欠陥を伴う転位構造が形成される。本研究では転位線  $\xi$  が  $[11\bar{2}0]$  方向であり、各部分転位と転位線  $\xi$  が  $30^\circ$  の角度を成す、 $30^\circ \text{Si core}$  と  $30^\circ \text{C core}$  によって構成された BPD を対象とし、対象とした BPD 構造の研究結果[10]に基づいて微視的な拡張メカニズムを考案した。

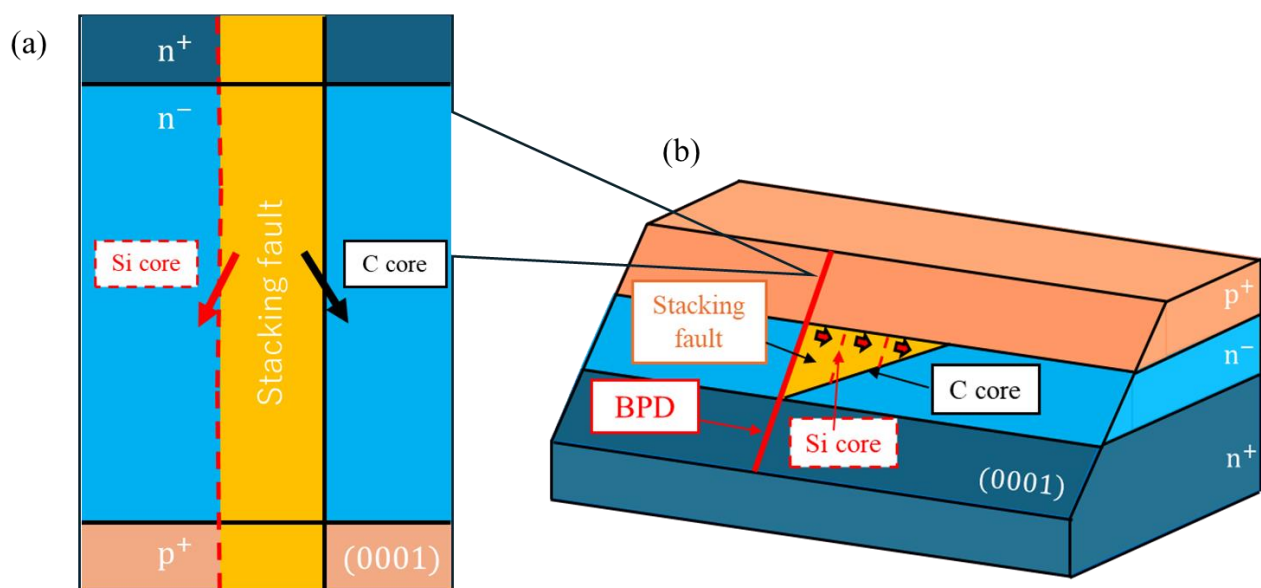


Fig. 1. Schematic illustrations of stacking faults (SFs) expansion from BPD in (a) 2D and (b) 3D views. The red solid line shows the BPD propagating from the substrate to the epilayer. The orange region indicates the expanded SFs, with dotted red lines and the solid black line representing the Si core, and the C core, respectively. Upon closer examination, as shown in (a), the BPD forms two partial dislocations enclosing a SFs.



計算モデルには積層欠陥の拡張前後のエネルギー差を適切に表現するために、Si 原子が 512 個、C 原子が 512 個、H 原子が 128 個の計 1052 原子からなる 4H-SiC スラブモデルを用いた。そして計算モデルに対して、 $b_1$  と  $b_2$  の 2 つ部分転位に沿ってすべりを加えたうえで構造最適化計算を実行することで、積層欠陥の拡張前後の計算モデルをそれぞれ作製した。

Fig. 2 と Fig. 3 に構造最適化計算により作製した計算モデルの構造と考案した積層欠陥の微視的な拡張メカニズムの仮説を示している。Fig. 2(a) と (b) に示すように BPD は Si-Si 結合と C-C 結合が転位線方向に連なる Si core、C core の 2 種類の部分転位とその間に積層欠陥を伴う転位構造を形成する。積層欠陥が拡張する際は部分転位のすべり運動によって拡張が進行し、特に Si core のすべり運動が支配的であると考察されている[11]。さらに、エピタキシャル成長といった熱的な過程により、部分転位は整然と並ぶのではなく、キン

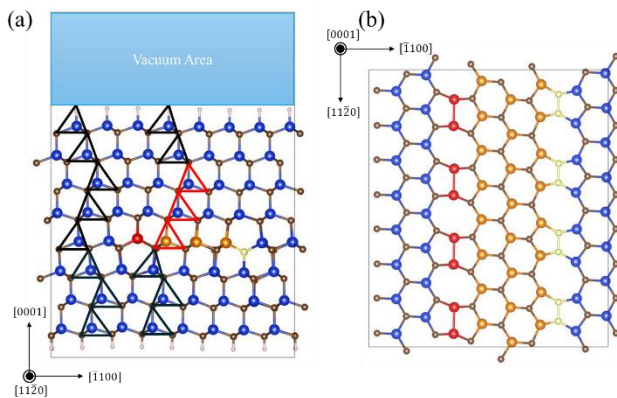


Fig. 2. Atomic configuration of BPD from (a) Side view and (b) Top view. The triangles indicate the stacking sequences, with the BPD formed at the boundary between the black and red triangles. Blue and brown balls represent Si and C atoms in 4H-SiC, respectively. Red, orange and yellow balls represent Si core, SFs, and C core atoms, respectively.

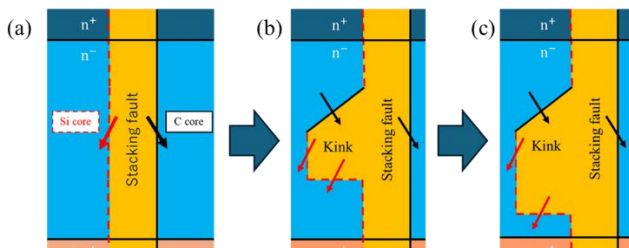


Fig. 3. Schematic diagram of the hypothesized microscopic expansion mechanism of BPD. (a) represents the ideal BPD structure. (b) indicates the BPD structure where a kink structure nucleated in the Si core. (c) illustrates the migration of the kink structure due to the movement of Si core.

ク構造が部分転位に形成されると考察されている[12]。そのため、本研究では Fig. 3(b) と (c) に示すように、部分転位のうち Si core 側で形成されたキंक構造がマイグレーションすることで積層欠陥が拡張する過程を解析した。

Fig. 4 に作製したキंक構造のマイグレーションによる原子配列の変化と、計算結果に基づいて考案した拡張サイクルを示している。解析の結果、BPD のキंक構造には安定な構造(A)と準安定な構造(B) の 2 種類の構造が存在し、これらの構造間を繰り返し遷移しながら積層欠陥が拡張していくことが判明した。Fig. 4 に示したように BPD にキंक構造が形成されると特徴的な構造が 2 つ現れる。一つ目は、キंक構造の形成に伴い拡張した積層欠陥に対応する Si 原子と通常の 4H-SiC の Si 原子による Si-Si 結合である。安定構造(A)では、キंक構造の両端においてこれらの結合が形成され、一方のキंक構造では Si 原子が 5 配位のような構造をとる。二つ目は、準安定構造(B)で見られる Si core が  $[11\bar{2}0]$  方向に並列に形成された Si core dimer 構造(赤丸)である。これらの特徴的なキंक構造の一方が見かけ上  $[11\bar{2}0]$  方向にマイグレーションすることで、準安定な構造(B)を経て積層

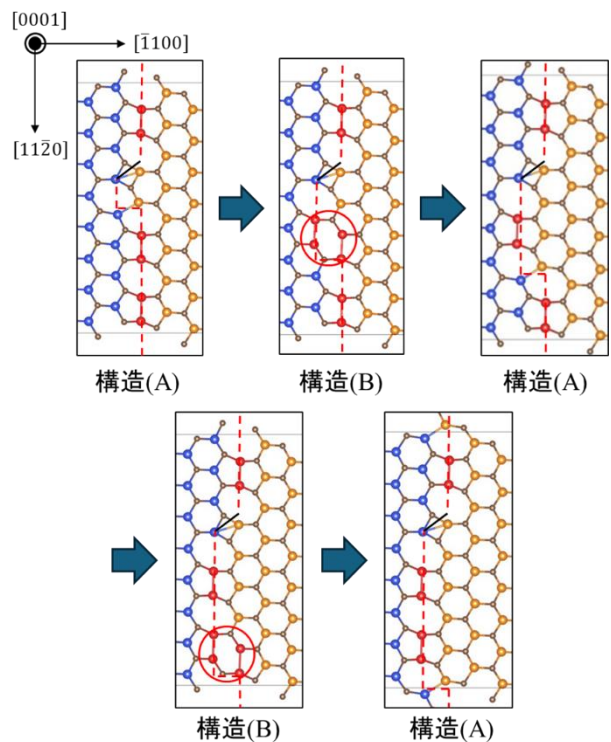


Fig. 4. Top view of atomic configurations of the BPD structure with a kink structure nucleated in the Si core, obtained by optimization calculations. The kink structure is classified into stable structure (A) and meta-stable structure (B).

欠陥が拡張する様子が確認できる。したがって安定な構造(A)と準安定な構造(B)を繰り返し遷移しながら積層欠陥が拡張する過程が考えられ、構造(A)と(B)間の拡張過程の反応経路と活性化エネルギーを解析した。

### 2.3 形成エネルギーの計算

得られた荷電状態の異なる2つの反応経路を比較するために、以下の式①で定義される形成エネルギーを計算した[13]。

$$E^f = E_{defect}(q) - E_{defect}(0) + q(E_F + E_{VBM}) + E_{corr} \dots \textcircled{1}$$

$E_{defect}(q)$ は荷電状態 $q$ の欠陥を含む系のSCPCを用いて計算したスーパーセルの全エネルギー、 $E_{defect}(0)$ は中性状態における欠陥を含む系の算出したスーパーセルの全エネルギーである。そして $E_F + E_{VBM}$ は系の価電子帯上端を基準としたフェルミ準位、 $E_{corr}$ はFNV補正によって算出された補正エネルギー値である。この際フェルミ準位 $E_F$ は4H-SiCのバンドギャップの範囲内で形成エネルギーの計算を行った。

## 3. 計算結果・考察

### 3.1 中性状態における反応経路解析

最初に作製した積層欠陥の拡張前後の構造を用いて、中性状態における拡張過程の反応経路と活性化エネルギーを解析した。Fig. 5に反応経路のエネルギープロファイルと拡張に伴う基底面転位形成層の原子配列の変化を示している。構造

(A)から構造(B)への変化ではキंक構造近傍のC原子が $-b_1$ 方向、Si原子が $b_1$ 方向に滑ることで原子配列が変化しSi core dimer構造が形成されていることが明らかとなった。この構造変化の活性化エネルギーは2.18eVであった。また構造(B)から構造(A)への変化においても、Si core dimer構造を構成するC原子、Si原子が同様の方向に滑ることで原子配列が変化し、Si-Si結合のキंक構造が形成されることが判明した。この変化の活性化エネルギーは1.83eVと、構造(B)と構造(A)の系の全エネルギーの差からより低い値が算出された。しかし先行研究ではBPDの拡張速度が速く、活性化エネルギーが0.0001eV以下や0.27eVといった微小な値が報告されている[6, 14]。以上の結果より、我々は中性状態では活性化障壁を超えて拡張は進行しないと結論付けた。

### 3.2 電荷正状態における反応経路解析

次に、電荷正状態( $q = +2$ )における拡張過程の反応経路を解析した。まず始めに、積層欠陥の拡張前後の構造を電荷正状態で構造最適化計算を行うことで安定構造を探索した。その結果、電荷正状態では、キंक構造付近のSi-Si結合が切断され、Siダンダリングボンドが形成される構造変化が確認され、構造(A')、(B1')、(B2')という3つの安定構造が得られた。この変化は、Si-Si結合に由来する欠陥準位が価電子帯近傍のギャップ中に誘起され、正孔を捕獲したためだと考えられる。ゆえにFig. 6に示すように、電荷正状態ではSi-Si

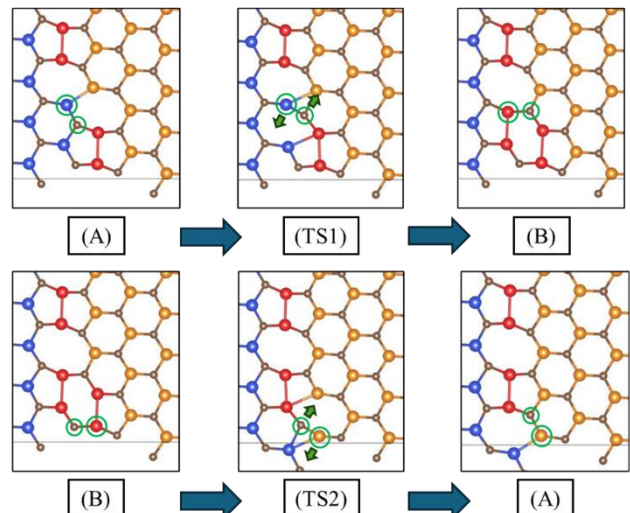
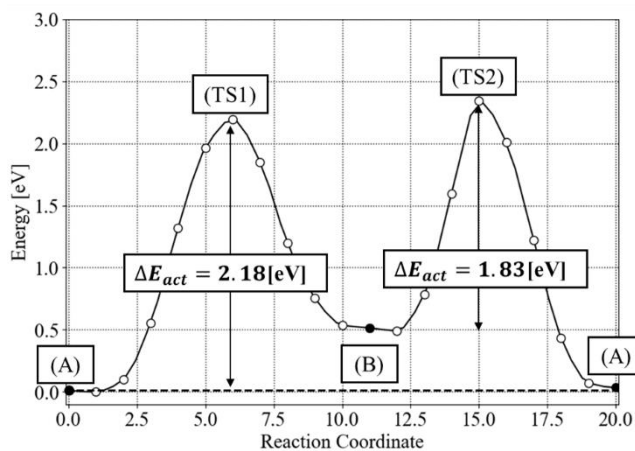


Fig. 5. Energy profile along the SFs expansion reaction pathway from (A) to (B) and (B) to (A) calculated by neutral charge state. The label (TS) represents the transition state in each pathway. The figures show a part of the atomic configuration for each structure labeled in the profile. The green circle highlights the main displaced atoms, and the green arrows represent the displacement direction parallel to the  $b_1$  direction.



結合が切断された状態で拡張が進行している。構造(A')⇒(B1')や構造(B2')⇒構造(A')の変化では、キック構造近傍のC原子が $-b_1$ 方向にすべることで拡張が進行している。この状態では、Si-Si結合が切断されているため、C原子のすべりが支配的となっている。そして構造(B1')⇒構造(B2')の変化では、Si core dimer 構造内で切断された Si-Si 結合が入れ替わる変化が確認された。算出された活性化エネルギーは 0.65eV と低く、中性状態よりも拡張が進行しやすいことが明らかとなった。この結果より、拡張の進行が主に電荷正状態で生じると我々は結論付けた。実際に積層欠陥の拡張は電流印加時や UV 照射時といった非平衡条件下において頻繁に報告されている[5,6]。しかし電荷正状態の結果だけでは BPD の拡張速度の大きさと対応しない点や、REDG 効果と積層欠陥の拡張の関連性が不明なため、最後に得られた二つの異なる荷電状態の反応経路を比較した。

### 3.3 REDG 効果を考慮した拡張メカニズム

最後に、REDG 効果が積層欠陥の拡張に及ぼす影響を解析するため、得られた 2 つの反応経路を比較した。Fig. 7 は得られた 2 種類の反応経路をフェルミエネルギー  $E_F = 0.0\text{eV}$  と定義して比較した結果である。Fig. 7 の結果より構造(A') および構造(B1') 付近で中性状態と電荷正状態の相対的

なエネルギーの大小関係が変化していることが明らかとなった。すなわちこれらの構造付近において再結合が発生し、荷電状態が変化する可能性を示唆している。続いて電荷正状態における先述した構造付近の電子構造を解析した結果、構造(B1') から遷移状態 (TS)間の構造変化において正孔を捕獲した欠陥準位がミッドギャップ中から価電子帯に近づくようにエネルギーレベルが低下する電子構造の変化が確認された。このエネルギーレベルの低下は、正孔が放出されやすくなることを意味する。したがって、構造(B1') ⇒(TS)間の構造変化中に再結合が発生することで、荷電状態が電荷正状態から中性状態へと変化して拡張が進行すると我々は考察した。

これまでの解析結果に基づき、以下のような BPD の微視的な拡張メカニズムを考察した。Fig. 7 の実線が我々が考察した拡張経路を示している。まず BPD の拡張は、BPD 近傍に過剰なキャリアが注入される際に頻出する。この結果から、BPD が拡張する際はキック構造付近の Si core に正孔が捕獲された電荷正状態であると考えられる。そして拡張は主にこの電荷正状態で行うと推測される。しかし構造(B1')⇒(TS)において正に帯電した欠陥準位において再結合が発生することで、BPD の荷電状態が電荷正状態から中性状態へと変化すると考えられる。最終的に、この再結合

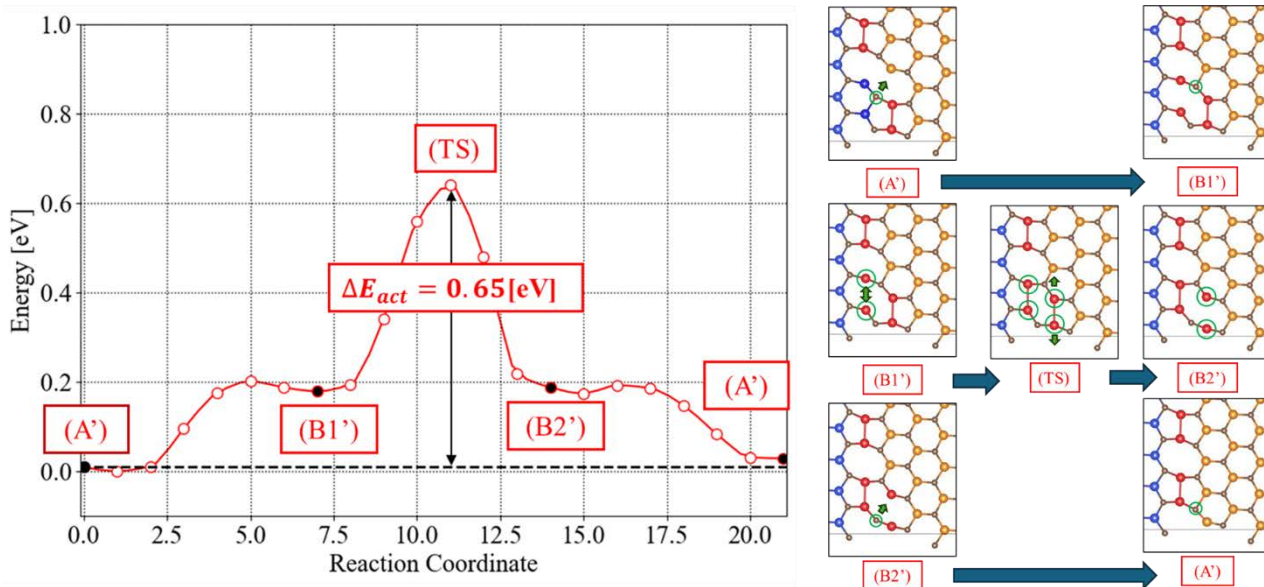


Fig. 6. Energy profile along the SFs expansion reaction pathway calculated by positive charged state. The label (TS) represents the transition state in the pathway. The figures show a part of the atomic configuration for each structure labeled in the profile. The structures labeled with the same letters as in Fig. 5 indicate similar configuration. The green circle highlights the main displaced atom, and the green arrows represent the displacement direction parallel to the  $b_1$  direction or  $b_{BPD}$  direction.



により発生したエネルギーを駆動力となり、キンク構造付近の原子配列に変化を引き起こし、BPDのさらなる拡張が促進されると考察される。このような拡張経路の場合、活性化エネルギーは約0.2~0.65eVと低下し、BPDの拡張速度の速さが説明可能となる。以上のように我々は中性状態と電荷正状態間におけるキャリアの授受により得られる低い活性化エネルギー経路でBPDの拡張が進行していくと結論付けた。

#### 4. 結論・今後の展望

本研究では、密度汎関数理論に基づく第一原理計算を用いて、4H-SiCにおける基底面転位の微視的な拡張メカニズムを考察した。その結果、積層欠陥拡張の活性化エネルギーが電荷正状態において低下することが明らかとなった。さらに、電荷正状態と中性状態での反応経路を比較するとともに、電荷正状態における電子構造を解析した結果、電荷正状態における拡張の進行中に再結合が発生し、反応経路の荷電状態が変化する結果が得られた。反応経路の荷電状態が変化することで、電荷正状態における活性化障壁を超える必要がなくなり、拡張に伴う活性化エネルギーは低下する。これらの結果より我々は中性状態と電荷正状態間におけるキャリアの授受により得られる低い活性化エネルギー経路でBPDの拡張が進行していくと結論付けた。

#### 謝辞

本研究では、東京大学物性研究所、自然科学研究機構計算科学研究センターの計算資源を利用した

#### 参考文献

- [1] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology* (John Wiley and Sons, Singapore, 2014).
- [2] T. Kimoto, *Jpn. J. Appl. Phys.* 54, 0040103(2015).
- [3] J. P. Bergman et. al, *Mater. Sci. Forum* 353-356, 299 (2001)
- [4] T. Tawara et.al., *Fuji Denki Review*, vol.90 no.4 (2017).
- [5] A. Iijima et. al, *Appl. Phys. Lett.* 116, 092105 (2020)
- [6] T.Tawara et. al, *Journal of Applied Physics* 123, 025707 (2018)
- [7] G. Kresse and D. Joubert, *Phys. Rev. B* 59, 1758 (1999)
- [8] P. E. Blochl, *Phys. Rev. B* 50, 17953 (1994)
- [9] J. P. Perdew et al., *Phys. Rev. Lett.* 77, 3865 (1996).
- [10] A. Iijima et al, *Appl. Philos. Mag.* 97, 2736 (2017)
- [11] T. Kimoto et al, *Appl. Phys. Express* 13, 120101 (2020)
- [12] A. T. Blumenau et al, *Physical Review B* 68, 174108 (2003)
- [13] C. Freysoldt et. al, *Phys. Rev. B.*, 97, 205425 (2018)
- [14] A. Galeckas et. al, *Appl. Phys. Lett.* 82, 883 (2002)

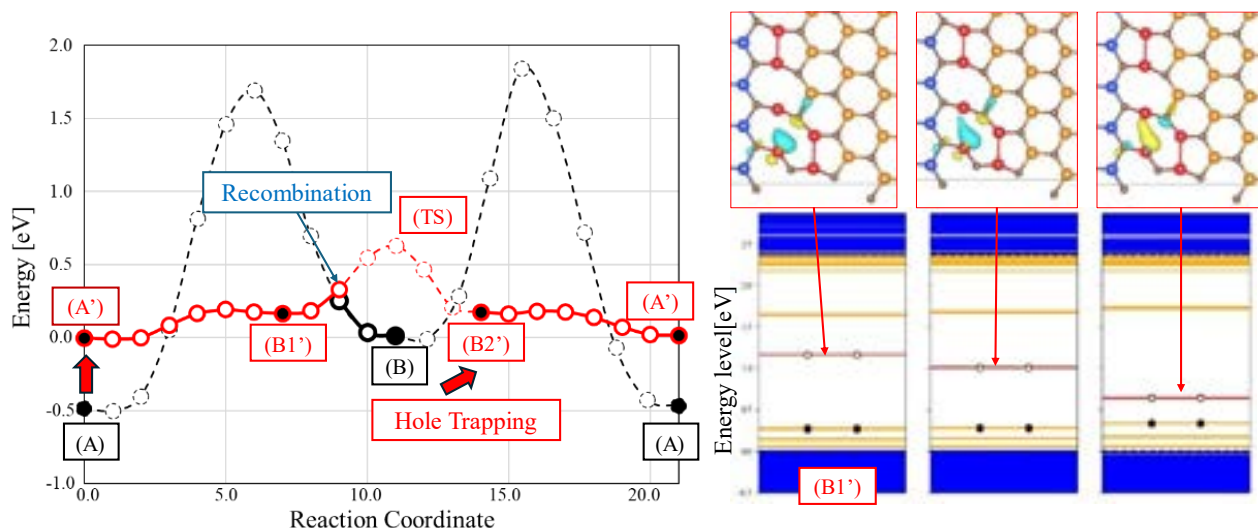


Fig. 7. Comparison of energy profile along the SFs expansion reaction pathway for neutral and positive charged states. The solid line represents the proposed expansion pathway. The red arrow indicates the change of the charged state due to hole trapping while, the blue arrow shows the change of the charged state due to recombination. The energy levels and the corresponding wavefunction from structure (B1') to (TS) are shown in the right panel. The orange line represents the defect state induced in the band gap, and the red line indicates the defect state with trapped holes, meaning the positively charged defect states energy level decreases as expansion progress.

# 第一原理計算を用いた NO アニール後の SiC(1-100)/SiO<sub>2</sub> 界面の電子状態解析 First-principles analysis on electronic-structure of SiC(1-100)/SiO<sub>2</sub> interface after NO annealing.

杉山 耕生, 船木 七星斗, 植本 光治, 小野 倫也  
神戸大学大学院工学研究科 〒 657-8501 兵庫県神戸市灘区六甲台町 1-1

Kosei Sugiyama, Nahoto Funaki, Mitsuharu Uemoto, and Tomoya Ono

Graduate school of engineering, Kobe University, 1-1 Rokkodai-cho, Nada, Kobe, 657-8501, Japan

Tel: + 81-78-803-6106, Fax: + 78-803-6106 (e-mail: 244t230t@stu.kobe-u.ac.jp)

## Abstract

SiC-MOSFETs are attracting attention as a material for next-generation power devices with low loss and high breakdown voltage. On the other hand, the SiC/SiO<sub>2</sub> interface of SiC-MOSFETs has very low electron mobility compared to that in the bulk. This problem is believed to be caused by defects at the SiC/SiO<sub>2</sub> interface. NO annealing has been used to remove the defects and improve the electron mobility, but the effect of nitridation on the electronic structure of the interface is currently unclear. In this study, we investigate the electronic and conduction properties of the SiC(0001)/SiO<sub>2</sub> interface, which is used in conventional planar MOSFETs, and the SiC(1-100)/SiO<sub>2</sub> interface, which attracts much attention for trench MOSFETs, using first-principles calculations.

## 1. はじめに

SiC は次世代パワーデバイスの材料として注目を集めており、従来用いられてきた Si に比べ絶縁破壊強度や熱伝導率、飽和ドリフト速度の点で優位である。4H-SiC の Si 面[(0001)]を用いて作成されるプレーナー型 MOSFET では、SiC/SiO<sub>2</sub> 界面のオン電流がバルク中に比べて非常に低く、期待されている性能を十分に発揮できていない。オン電流の低下は SiC 基板の熱酸化過程で形成される欠陥によるキャリア散乱が原因だと考えられており、オン電流を増加させるために熱酸化後に NO アニールが施されている。オン電流はホール移動度と可動キャリア密度の積で決まる値である。畠山らは NO アニールによって可動キャリア密度が向上する一方でホール移動度は変化しないことを報告している[1]。

我々はこれまで第一原理計算を用いて NO アニール後の界面原子構造を調べ、SiC 基板中の C 原子を N 原子で置換したモデルを提案し[2]、NO アニール後の N 原子は SiC 基板側の最も SiO<sub>2</sub> に近い原子層に蓄積することを報告した[3]。また、ステップを持った(0001)面を対象とした研究では、NO アニールによって挿入され

た N 原子が SiO<sub>2</sub> 層のクーロン相互作用を遮蔽することを報告した[4]。これにより反転層の形成に重要な役割を果たす伝導帯端(CBE)準位がステップ端でソース・ドレイン方向に連続になり、チャネル移動度が向上する可能性が示唆される。この研究における N 原子密度は実デバイスのものより 3 倍高かった。

本研究では、界面の N 原子密度を実デバイスに合わせた SiC(0001)/SiO<sub>2</sub> 界面モデルを用いて第一原理計算で、NO アニール後の電子状態を調査した。一方で実デバイスにおいて希薄に部分的に挿入された N 原子がキャリアを散乱する可能性が考えられる。そこで我々は伝導特性計算を行い、部分的に挿入された N 原子のホール移動度への影響を調査した。

またこれまで主流であった 4H-SiC の Si 面を用いるプレーナー型 MOSFET に加え、近年では高集積化が可能でオン電流が高い m 面[(1-100)]を用いるトレンチ型が注目されている。(1-100)面は(0001)面に比べてオン電流の観点で優位性があるが、(0001)面に比べ凹凸の多い複雑な SiC/SiO<sub>2</sub> 界面構造をもちモデルを作成することが困難であるため NO アニール後の電子状態の理論的な理解は(0001)面ほど進んでいない。そこで本研究では SiC(1-100)/SiO<sub>2</sub> 界面モデルに対

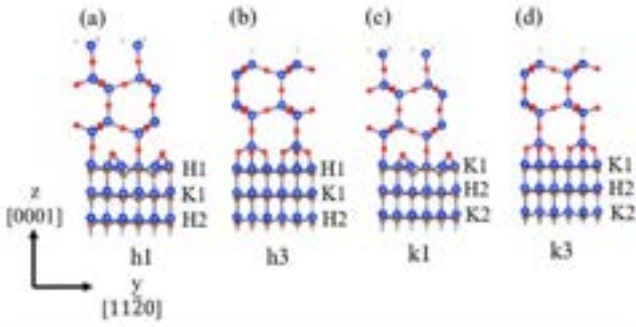


Fig. 1. Calculation models for SiC(0001)/SiO<sub>2</sub> interfaces. Blue, brown, red, green and gray spheres represent Si, C, O, N and H atoms, respectively. (a), (b), (c) and (d) represent h1, h3, k1 and k3 models, respectively.

しても SiC(0001)/SiO<sub>2</sub> 界面と同様の調査を行った。

## 2. SiC(0001)/SiO<sub>2</sub> 界面の電子状態と伝導特性

本研究で用いた SiC(0001)/SiO<sub>2</sub> 界面の計算モデルを Fig. 1 に示す。ここで最上位層が h サイトのものに対して、SiO<sub>2</sub> 層の O 原子と 1 配位で結合している Fig. 1(a) のモデルを h1 モデル、SiO<sub>2</sub> 層の O 原子と 3 配位で結合している Fig. 1(b) のモデルを h3 モデルと名付けた。最上層が k サイトのものに対しても同様に k1, k3 モデルと名付けた。SiC 層において h サイトの 1 層目を H1、k サイトの 1 層目を K1 と名付けた。NO アニール後の界面における N 原子面密度は実デバイスに合わせて  $3.5 \times 10^{14} \text{ cm}^{-2}$  とした。

第一原理計算には、密度汎関数理論に基づくシミュレーションコード RSPACE を使用した。また、交換相関効果には局所密度近似を用い、電子-イオン相互作用には PAW 法を用いた。SiC(0001)/SiO<sub>2</sub> 界面モデルのセルサイズは  $5.33 \times 27.72 \times 40.44 \text{ \AA}^3$  とした。計算には  $\Gamma$  点を含む  $3 \times 3 \times 1$  の k 点メッシュを採用し、実空間の格子間隔は  $0.18 \times 0.19 \times 0.18 \text{ \AA}^3$  とした。

界面モデルにおける CBE 準位の出現位置を定量的に調査するために、部分電荷(PC)を計算した。PC の計算方法の概略を Fig. 2 に示す。PC は SiC/SiO<sub>2</sub> 界面モデルと界面モデルから原子層を切り出した薄膜モデルの波動関数の内積をとることで計算し、以下の式を用いた。

$$\rho_{PC} = \sum_{i,j,k} \left| \int \psi_{i,k}^*(r) \phi_{j,k}(r) dr \right|^2 \times \theta(\epsilon_{i,k} - \epsilon_F) \theta(\epsilon_{\max} - \epsilon_{i,k}) \theta(\epsilon_{j,k} - \epsilon_F) \theta(\epsilon_{\max} - \epsilon_{j,k}) \Delta_{k'}$$

ここで  $\psi$  は界面モデルの波動関数、 $\phi$  は薄膜モデルの波動関数を意味する。 $\epsilon$  は波動関数のエネルギー、 $k$  はブリルアンゾーン内のサンプリング

点のインデックスである。 $\epsilon_{\max}$  は伝導帯端状態を含むように 1.95 eV とした。NO アニール後の薄膜モデルには窒化位置を変えた 3 種類のモデルを使用した。そのモデルを Fig. 3 に示す。4H-SiC の CBE 準位は [0001] 方向に対して h サイトの直下に出現することが分かっている[5]。PC が基板中の原子層よりも大幅に減っている場合、その原子層には CBE 準位が存在しないことを意味する。

h1 モデルと h3 モデルにおける PC の計算結果を Fig. 4 に示す。アニール前の CBE 準位の出現位置は、h1 モデルは H2 層、h3 モデルでは H1 層より基板側となっている。一方でアニール後

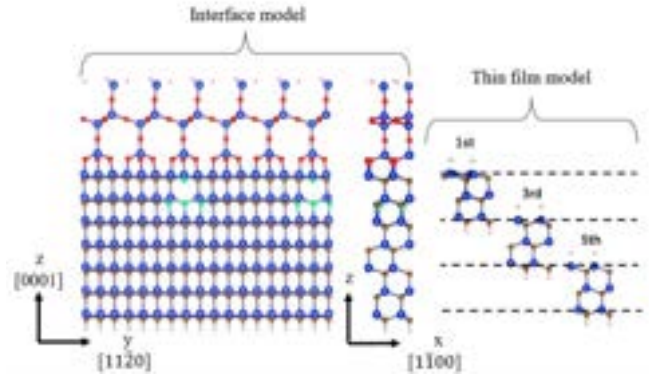


Fig. 2. Schematic image of PC calculation. Thin film models are extracted from the interface models before NO annealing. The wavefunction of the interface models are projected to the wavefunction of the thin film models.

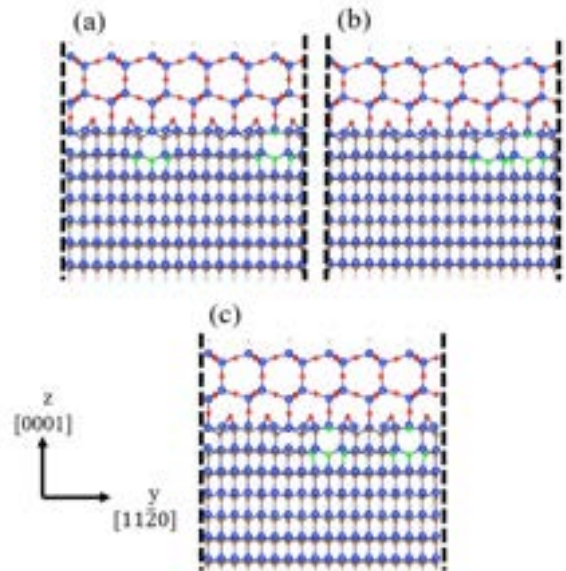


Fig. 3. Interface atomic structures after NO annealing. (a) equally spaced nitridation regions. (b) and (c) unequally spaced nitridation regions.



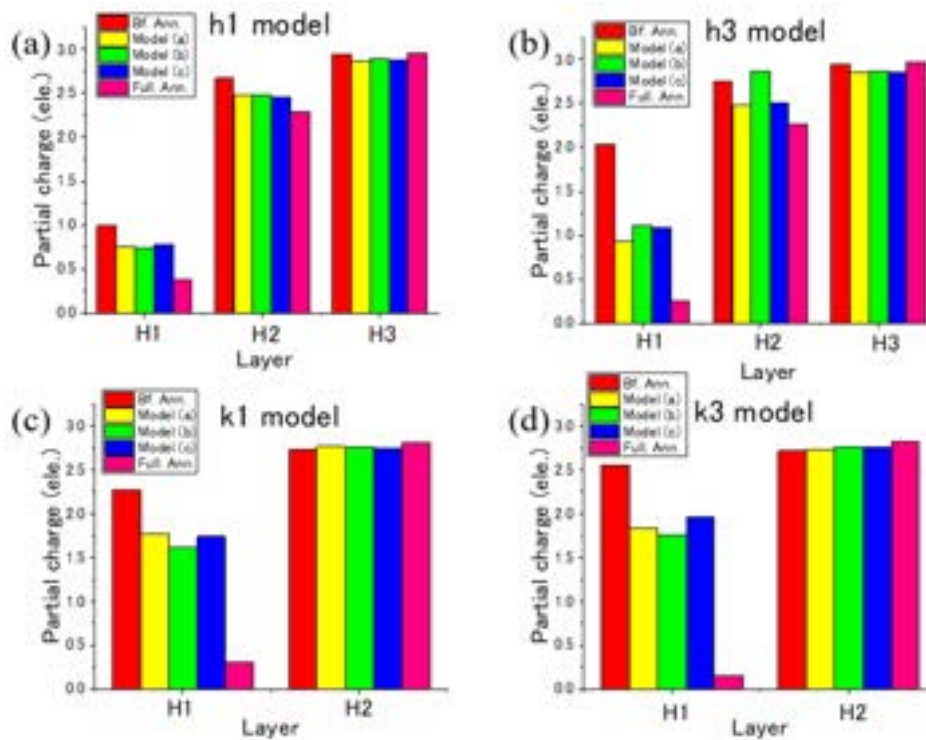


Fig. 4. PC for (a) h1, (b) h3, (c) k1 and (d) k3 models. Red, yellow, green, blue and pink bars represent the model before annealing, model (a), model (b), model (c) and the model where all the possible sites are nitrided.

では h1 モデルと h3 モデルのいずれも H2 層より基板側に CBE 準位が出現している。NO アニール後には全てのモデルで H2 層目から CBE 準位が出現するようになり、CBE 準位の出現位置が揃ったことが確認できる。この結果は、実デバイスの N 原子面密度においても N 原子層によるクーロン力遮蔽効果が期待できることを意味している。

次に、部分的に挿入された N 原子がキャリアを散乱し、ホール移動度に影響を与える可能性を伝導特性計算を用いて調査した。本研究の伝導特性計算で用いた計算モデルを Fig. 5 に示す。

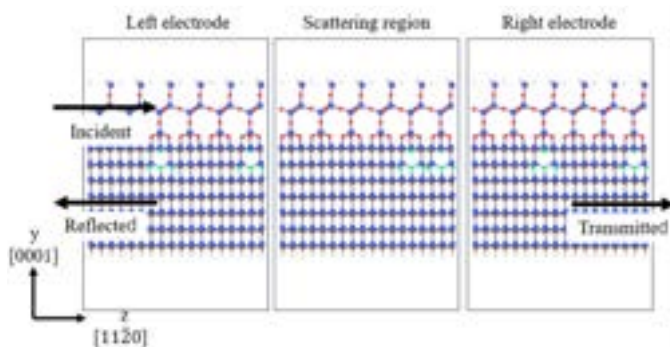


Fig. 5. Calculation model for conduction property. Carrier current flows from left electrode to right.

計算モデルは左電極領域、散乱領域、右電極領域の 3 つに分けられ、両電極領域と散乱領域にはそれぞれ model(a)と model(b)を用いた。伝導特性計算では左側から電子を入射し、電子の透過率と反射率を計算した。左電極から右電極への散乱波動関数は、overbridging-boundary matching 法によって評価した。計算には  $6 \times 1 \times 2$  の k 点メッシュを採用した。

h3 モデルと k3 モデルにおける電子密度分布と伝導特性を Fig. 6 に示す。h3 モデルにおいて、上部の H2 チャンネルは N 原子が挿入された領域で透過率が減少していることが確認できる。一方 k3 モデルにおいて、上部と下部のチャンネルの両方で透過率が減少していないことが確認できる。これはチャンネルが窒化層から離れて存在していることにより、キャリア散乱が抑制されていることが理由だと考えられる。また、部分的に挿入された N 原子による上部チャンネルのキャリア散乱は O 原子挿入による欠陥と同様のものである。これは NO アニールによって界面のホール移動度は向上しないという畠山らの結果と矛盾しない。さらにこの結果は、界面の N 原子面密度がポテンシャルの揺らぎがなくなる程度に十分に高い場合にはホール移動度の向上が期待できることを示唆している。

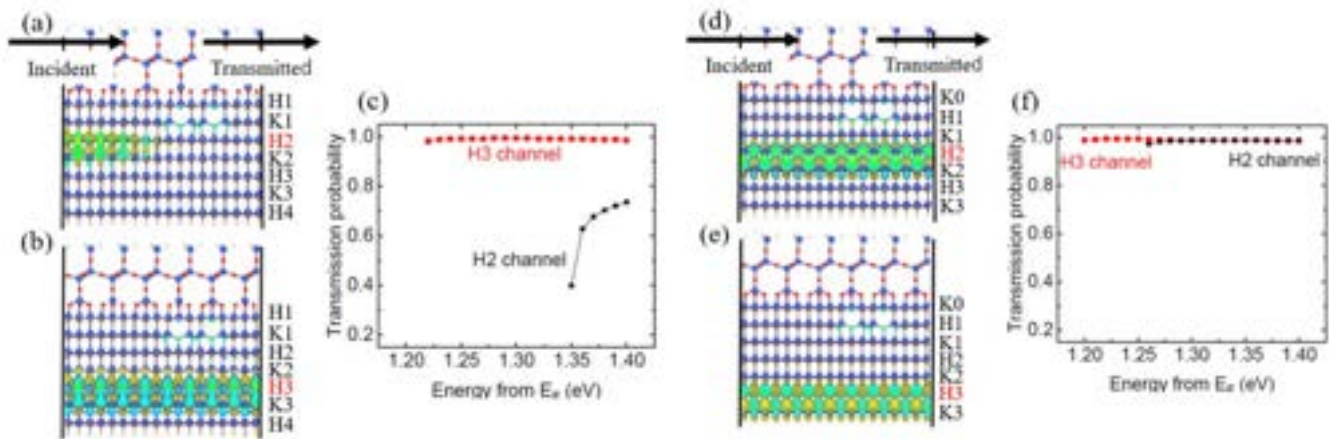


Fig. 6. Electron density distributions of scattering wavefunctions at (a)[(d)] upper (H2) and (b)[(e)] lower (H3) channels of h3[k3] model, respectively, and (c)[(f)] transmission probabilities of H2 and H3 channels of h3[k3] model.

### 3. SiC(1-100)/SiO<sub>2</sub> 界面の原子構造

(1-100)面における界面モデルは、古典分子動力学によって有望な原子構造を抽出し、第一原理計算で構造最適化を行った。古典分子動力学による計算には Terstoff ポテンシャルを採用した。SiC 基板上的 SiO<sub>2</sub> 層は tridymite 構造を参考に積層し、古典分子動力学で構造最適化をした。このときダングリングボンドが生じないように留意した。酸化膜として機能する厚さと第一原理計算における計算コストの削減を考慮し、SiO<sub>2</sub> 層は 4 層積層した。古典分子動力学で得た最安定原子構造を基に最上部と最下部を H 原子で終端し第一原理計算の初期原子構造とした。界面モデルを Fig. 7 に示す。セルサイズは

$32.88 \times 35.78 \times 152.46 \text{ \AA}^3$  とし、原子数は 180 とした。計算は  $\Gamma$  点のみで行い、実空間の格子間隔は  $0.33 \times 0.36 \times 0.36 \text{ \AA}^3$  とした。電子-イオン相互作用に PAW 法を使用し、交換相関汎関数として局所密度近似を用いた。窒化層における界面の N 原子密度を変化させ、SiO<sub>2</sub> 層からのクーロン相互作用の遮蔽効果を局所状態密度や部分電荷密度で評価する予定である。

### 4. まとめ

本研究では NO アニール後の SiC(0001)/SiO<sub>2</sub> における界面の N 原子面密度を実験値に合わせ、CBE 準位の出現位置への影響を第一原理計算を用いて調査した。PC の計算により、NO アニール前には酸化膜の構造に対して不揃いであった CBE 準位の出現位置が NO アニールにより揃うことを確認した。これは N 原子密度を実デバイスに合わせた場合でも N 原子層によるクーロン相互作用の遮蔽効果が生じることを意味する。さらに、部分的に挿入された N 原子により、窒化層に近いチャンネルでキャリアの散乱が生じることを確認した。

### 謝辞

本研究の一部は、日本学術振興会科学研究費補助金基盤研究 B(24K01346)、学術変革研究 A(JP22H05463、24H01196)、研究拠点形成事業(JPJSCCA20230005)、科学技術振興機構戦略的創造研究推進事業(JPMJCR22B4)の支援を受けて実施しました。第一原理計算は、東京大学物

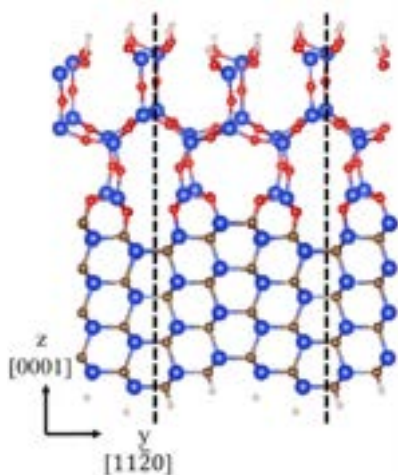


Fig. 7. Calculation model of SiC(1-100)/SiO<sub>2</sub> interfaces. Blue, brown, red, green and gray spheres represent Si, C, O, N and H atoms, respectively. Broken lines represent boundary of periodic cell.

性研究所、筑波大学計算科学研究センター、HPCI システム利用研究課題(課題番号：hp230175、hp240178)を通じて理化学研究所が提供するスーパーコンピュータ富岳の計算資源の提供を受け実行しました。

#### 参考文献

- [1] T. Hatakeyama *et al.*, Appl. Phys. Express **10**, 046601 (2017).
- [2] M. Uemoto *et al.*, J. Phys. Soc. Jpn. **90**, 124713 (2021).
- [3] N. Komatsu *et al.*, J. Appl. Phys. **132**, 155701 (2022).
- [4] M. Uemoto *et al.*, Appl. Phys. Express **17**, 011009 (2024).
- [5] Y.-i. Matsushita *et al.*, Phys. Rev. Lett. **108**, 246404 (2012).



# GaN エピタキシャル成長における Mg 不純物取り込み機構の解析

## Analysis of Mg Impurity Incorporation Mechanism in GaN Epitaxial Growth

大木 淳平<sup>1</sup> 白石 賢二<sup>2</sup>

1 名古屋大学 大学院 工学研究科 物質科学専攻

2 名古屋大学 未来材料・システム研究所 教授

Jumpei Ogi<sup>1</sup>, Kenji Shiraishi<sup>2</sup>

1 Graduate School of Engineering, Nagoya University, Nagoya 4648603, Japan

2 Institute of Materials and Systems for Sustainability, Nagoya University, Nagoya 4648601, Japan

1 [Tel:090-9453-8400](tel:090-9453-8400) (e-mail: [ogi.jumpei.p0@s.mail.nagoya-u.ac.jp](mailto:ogi.jumpei.p0@s.mail.nagoya-u.ac.jp))

### Abstract

The blue LED is a crucial technology used in a wide range of fields and indispensable for the development of modern society. GaN is suitable as a material for blue LEDs due to its excellent characteristics, including a wide bandgap and a direct transition-type band structure. In this study, we analyzed how Mg, which acts as an acceptor, is incorporated into GaN during epitaxial growth from two perspectives: energy and bandgap.

#### 1. はじめに

青色発光ダイオード (LED) は、情報処理、交通信号、医療機器、農業用照明など、幅広い分野で応用されており、現代社会の発展に不可欠な技術となっている。特に、青色 LED は高効率かつ長寿命の白色 LED の実現に不可欠であり、照明分野でのエネルギー消費の大幅な削減に寄与している。このような青色 LED の発展の背後には、窒化ガリウム (GaN) を用いた半導体技術の革新が大きな役割を果たしている。加えて、GaN は高い化学的安定性と熱安定性を持つため、高温や高電流密度に耐える特性を持つ。これにより、青色 LED は過酷な環境でも動作可能であり、産業用や航空宇宙分野など、信頼性が要求される応用分野にも利用されている。このように、GaN の特性は、青色 LED の性能向上および多様な応用可能性を広げる上で、極めて重要である。

GaN が青色 LED の材料として適している理由は、そのバンドギャップとバンド構造にある。GaN はワイドバンドギャップ半導体であり、約 3.4eV のバンドギャップを持つ。この特性により、GaN は短波長領域 (青色～紫外領域) での発光が可能である。また、GaN は直接遷移型バンド構造を持つため、効率的に光を発生させることができる。この特性が、青色 LED において高い発光効率を実現する鍵となっている。GaN

を含む様々な半導体材料とそれぞれのバンドギャップ、発光色、波長の関係を Fig.1 に示す。

半導体材料の特徴を決める要素として、バンド構造が挙げられる。その中でも、価電子帯と伝導帯の間のエネルギー差であるバンドギャップは、半導体の光学および電気的特性を決定づける非常に重要な要素である。このバンドギャップの構造に基づいて、半導体は「直接遷移型」と「間接遷移型」に分類される。以下に直接遷移型と間接遷移型のそれぞれの特徴を示す[1]。

#### ・直接遷移型

伝導帯の最小値と価電子帯の最大値が同じ波数 (k 値) に位置するバンド構造。電子と正孔が再結合する際に発生するエネルギーが全て光として放出されるため、効率的に発光する。フォノンによる熱エネルギーが発生しないため、高効率な光電変換が可能である。よって、直接遷移型半導体は LED の材料として適していると言える。

#### ・間接遷移型

伝導帯の最小値と価電子帯の最大値が異なる波数 (k 値) に位置するバンド構造。直接遷移型と異なり、電子が伝導帯から価電子帯に遷移する際に発生するエネルギーの一部が、フォノンを介して熱エネルギーに変換される。その分光エネルギーへの変換効率が低下することに加え、デバイスが熱によって劣化しやすくなる。

よって、間接遷移型半導体は LED の材料に適していないと言える。

GaN のバンドギャップは約 3.4eV と幅広く、これは青色光(波長約 450nm)に対応している。直接遷移型半導体である GaN は、効率的にこのエネルギーを光として放出できるため、青色 LED に適していると言える。

本研究は、GaN のエピタキシャル成長に着目して行った。エピタキシャル成長とは、基板上に結晶構造が揃った単結晶薄膜を形成する技術であり、半導体デバイスの製造において不可欠なプロセスである。エピタキシャル成長技術は、青色 LED だけではなく光デバイスや高周波デバイス、パワーエレクトロニクス分野で欠かせない基盤技術であり、現代のエレクトロニクス産業を支える要となっている。

エピタキシャル成長は大きく 2 つに分類される。1 つは基板と同じ材料を成長させるホモエピタキシャル成長であり、もう 1 つは異なる材料を成長させるヘテロエピタキシャル成長である。青色 LED においては、異種基板上に GaN を成長させるヘテロエピタキシャル成長が主に利用されている。このヘテロエピタキシャル成長により、基板の結晶構造を反映した高品質な結晶膜を得ることが可能である。エピタキシャル成長にはいくつか種類があるが、GaN の成長には MOVPE 法 (Metal-Organic Vapor Phase Epitaxy 法: 金属有機化学気相成長法) が主に用いられる。MOVPE 法では、原料ガスとしてトリメチルガリウム(TMGa)、アンモニア、窒素、水素を基板に流し込み GaN の薄膜を形成する。<sup>[2]</sup>

GaN のエピタキシャル成長についての理論的な研究は今まで行われておらず、Mg がどのように結晶内部に取り込まれるのか詳細がわかっていなかった。本研究の目的は、エピタキシャル成長中に実現していると考えられる Mg 不純物の取り込み過程を第一原理計算によって考察することである。不純物である Mg がどのような振る舞いをするかを観察するために、GaN 結晶構造中の Ga 原子のうちの 1 個を Mg 原子で置換した GaNMg 構造を作成し構造最適化計算を行った後、エネルギーを計算した。また、 $\Gamma$  点におけるバンド構造を計算し、アクセプター準位について調査した。また、Mg-H 複合体に関してもアクセプターとして機能するのかどうかを確認するために同様の計算を行った。

半導体材料	バンドギャップ (eV)	波長 (nm)	発光色
GaN	3.4	365~450	紫外~青
GaAs	1.43	870	赤外
SiC	2.3	540	緑
Si	1.1	1100	赤外
InP	1.34	920	赤外
CdS	2.4	515	緑
AlN	6.0	200	遠紫外
GaP	2.3	540	緑

Fig.1 Examples and Properties of Semiconductor Materials

## 2. 計算条件

前章でも述べたように、本研究ではエピタキシャル成長中に実現していると考えられる Mg 不純物の取り込み過程を第一原理計算によって考察することを目的としている。不純物である Mg または Mg-H 複合体がどのような振る舞いをするかを観察するために、GaN 結晶構造中の Ga 原子のうちの 1 個を Mg 原子で置換した GaNMg 構造、また Mg-H 複合体で置換した GaNMg-H 構造を作成した。構造最適化計算を行った後、両者のエネルギーを計算し、比較した。また、 $\Gamma$  点におけるバンド構造を計算し、アクセプター準位について調査した。

2 種類の計算モデルである GaNMg 構造と GaNMg-H 構造を作成するために、Fig.2 で示す GaN 結晶構造を用意した。ここで計算モデルの詳細を述べる。用意したモデルは 256 個の Ga 原子、256 個の N 原子、12 個の H 原子、16 個の仮想 H 原子の合計 540 原子で構成されており、 $(4 \times 4)$  表面  $\times$  16 層のウルツ鉱型の結晶である。また、バルク側は価電子数  $3/4$  個の仮想 H 原子  $\times$  16 個で終端しており、表面側は通常の H 原子  $\times$  12 個で終端している。また、このモデルには真空層を設けたが、これは隣のセルからの影響を受けにくくするためである。

計算手法を述べる。本研究で行った計算には、第一原理計算コードである VASP(Vienna Ab-initio Simulation Package)を用いた<sup>[3]</sup>。VASP は、金属結晶や無機固体などの様々な物質に対して密度汎関数理論に基づいた電子状態計算や量子力学的分子動力学計算を実行し、バンド計算や安定状態・遷移状態における構造の最適化、反応経路探索などを行う計算パッケージである。

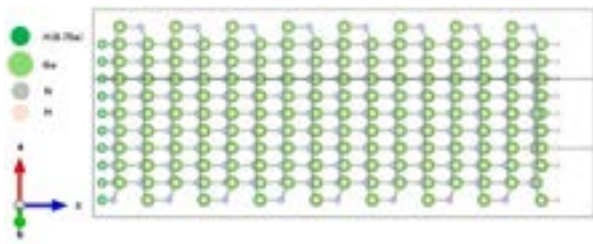


Fig.2 Crystal structure of GaN

### 3. 結果および考察

GaNMg 構造及び GaNMg-H 構造のエネルギーを比較した図は Fig.3 のようになった。最表面のエネルギーを 0 とし、これを基準とした。図からわかるように、Mg 単体の方が複合体よりもエネルギー的に安定しており、内部に取り込まれやすいと言える。また、両者とも最表面に析出する場合が最も安定していることがわかる。しかし、両者とも 2 層目以降のエネルギー差は非常に小さいことがわかる。これは、最表面と結晶内部で Mg の配位数が異なることが主な原因であると考えられる。まず、Mg の原子半径は Ga よりも小さいという特徴がある。最表面では 3 配位であるため Mg が表面側の Ga に近づくだけで Ga の移動は起こらないが、結晶内部では周囲の Ga の位置に影響を及ぼしている可能性が考えられる。またこの結果から、一度結晶内部に取り込まれるとそのまま深層部まで容易に取り込まれることがわかる。

また、GaNMg 構造及び GaNMg-H 構造の、 $\Gamma$  点におけるバンド構造を計算した。GaNMg 構造においてはどれも価電子帯の上端にアクセプター準位が現れたが、GaNMg-H 構造ではアクセプター準位が現れないという結果になった。理由としては、GaNMg 構造では Mg によって正孔が発生しアクセプターとしての機能を果たしていたが、GaNMg-H 構造では H によって電子が満たされアクセプターとしての機能を失ったからだと考えられる。

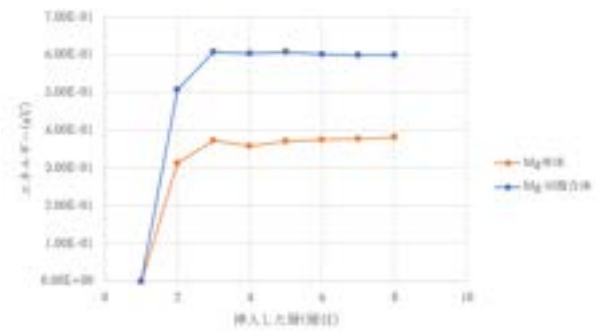


Fig.3 Energy comparison

### 4. まとめ

本研究では、Mg 不純物・Mg-H 不純物がエピタキシャル成長においてどのように GaN 結晶の内部に取り込まれるのかを第一原理計算によって解析した。Mg 不純物と Mg-H 不純物の比較としては、両者とも最表面のエネルギーが最も小さく 2 層目以降のエネルギーはほとんど変わらないという結果が得られた。これは、両者とも一度結晶内部に取り込まれるとそのまま深層部まで到達しやすいことを意味している。また、前者はアクセプターとして機能するが、後者はアクセプターとしての機能を失っていることがわかった。

### 謝辞

本研究の遂行にあたって、適切な助言と丁寧なご指導を下された白石研究室の白石賢二教授、芳松克則准教授、洗平昌晃助教、押山淳特任教授に深く感謝を申し上げます。

### 参考文献

- [1] 須崎渉. "半導体レーザーの基礎 II." *レーザー研究* 29.9 (2001): 613-619.
- [2] 天野浩, and 赤崎勇. "GaN pn 接合青色・紫外発光ダイオード." *応用物理* 60.2 (1991): 163-166.
- [3] G. Kresse and D. Joubert, *Phys. Rev. B* 59, 1758 (1999).

# CSD 法を用いた機能性酸化物薄膜及びデバイス応用に関する検討 Study on functional oxide films and device applications via CSD method

宮迫 毅明

株式会社村田製作所  
〒617-8555 京都府長岡京市東神足1丁目10番1号

Takaaki Miyasako  
Murata Manufacturing Co., Ltd.

1-10-1 Higashikotari, Nagaokakyo-shi, Kyoto 617-8555, Japan

Tel: + 81-077-586-8778, Fax: + 81-077-586-8798 (e-mail: takaaki.miyasako@murata.com)

## **Abstract**

Chemical solution deposition (CSD) has been applied to the development of various functional materials and device applications as a low-cost and versatile deposition method compared with the vacuum-based deposition which requires expensive equipment. Focusing on the wide controllability of composition, microstructure and crystallographic orientation of CSD-derived films, we investigated various functional oxide materials such as ferroelectrics, paraelectric insulators and semiconductors for passive and active components. In this work, we present that CSD-derived films can achieve stable ferroelectricity in HfO<sub>2</sub>-based ferroelectrics and propose ferroelectric gate-controlled variable capacitors (FeV-caps) as one of its novel applications. In addition, a proton conductive oxide is demonstrated as a future possibility of CSD-derived material, which is obtained by controlling organic residue in the film after thermal decomposition.

化学溶液堆積法 (CSD 法) は、金属有機化合物の前駆体溶液をディップコートやスピコート法で基板に塗布し、溶媒乾燥、酸化熱分解、焼結を経て酸化物薄膜を形成する手法で、真空成膜法に比べて低コストで多用途の成膜法として様々な分野で活用されている。一般的に、CSD 法の前駆体溶液は、ゾルゲル法と MOD 法 (Metal Organic Decomposition) の 2 種類に分類される。ゾルゲル法は、金属アルコキシドをアルコール溶媒に溶かした溶液を前駆体溶液とし、加水分解、脱水縮重合反応を経て金属酸化物のネットワークを形成する<sup>[1]</sup>。一方、MOD 法は、有機金属化合物 (主に有機酸塩) を有機溶剤に溶解させた溶液を出発原料とし、熱処理による有機配位子の酸化熱分解によって金属酸化膜を形成する<sup>[2,3]</sup>。金属アルコキシドを出発原料に用いると、緻密な高質膜を

得やすいが、縮重合の反応性が高いため、大気中での安定制御に課題がある。一方、MOD 法でよく用いられるカルボン酸金属錯体は加水分解を受けにくく、大気中で安定であるが、有機成分が残留して加熱中の脱ガスによってポーラスな膜になりやすい<sup>[4]</sup>。

上記を踏まえ、我々は、金属アルコキシドを出発原料として、カルボン酸等の溶媒を添加した安定な CSD 溶液の設計を確立した。このような CSD 溶液を用い、これまでに、ペロブスカイト型強誘電体 (BaTiO<sub>3</sub> 系)<sup>[5]</sup>、蛍石型強誘電体 (HfO<sub>2</sub> 系)<sup>[6]</sup>、酸化物半導体 (In<sub>2</sub>O<sub>3</sub> 系) 等の機能性酸化物で良好な膜特性を実現し、それらを用いた薄膜デバイス<sup>[7-9]</sup>の原理検証を実施した。一例として、Fig.1 に CSD 法で作製した HfO<sub>2</sub> 系強誘電体キャパシタ (14%Ce-doped HfO<sub>2</sub>, 80nm-thick) の *P-V*

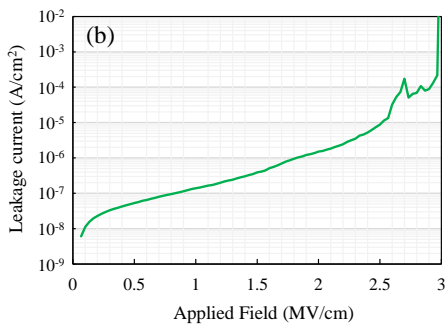
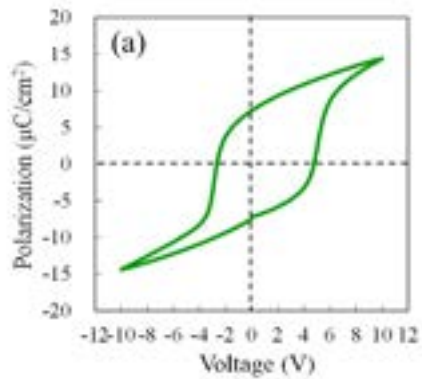


Fig.1 (a) P-V characteristics of the Pt/Ce-HfO<sub>2</sub>/Pt capacitor. (b) Leakage current of the 80-nm-thick 14%Ce-HfO<sub>2</sub> film.

(Polarization-Voltage)特性及び  $I$ - $V$  リーク特性を示す。 $P$ - $V$ は明確な強誘電体ヒステリシス特性を示し、自発分極値  $P_r$  及び飽和分極値  $P_s$ は、それぞれ  $P_r=7.3 \mu\text{C}/\text{cm}^2$  及び  $P_s=14.4 \mu\text{C}/\text{cm}^2$  が得られた。 $I$ - $V$  特性では、2 MV/cm の印加電界まで  $10^{-6} \text{A}/\text{cm}^2$  以下の低いリーク電流を保ち、3 MV/cm 付近の高い絶縁破壊特性を実現した。これらの電気特性はALD法やスパッタ法等の真空成膜法で作製した同様の膜と比較しても遜色ない特性である<sup>[10,11]</sup>。我々はこのようなHfO<sub>2</sub>系強誘電体が有する高い絶縁性と大きな誘起電荷量に着目し、デバイス応用の一つとして強誘電体ゲート制御型可変容量素子(FeV-cap)を提案した。デバイス構造は、14%Ce ドープ HfO<sub>2</sub> 膜をゲートに、導電性酸化物 ITO (Indium Tin Oxide)をチャネルに用いた強誘電体ゲートFET(FeFET)を作製し、その上に誘電体キャパシタを積層する構造とした (Fig.2)。強誘電体の大きな誘起電荷量によって、FeFET が大きなオン電流、すなわち低い

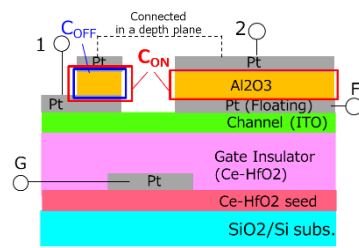


Fig.2 Cross-sectional schematic illustration of the fabricated FeV-cap.

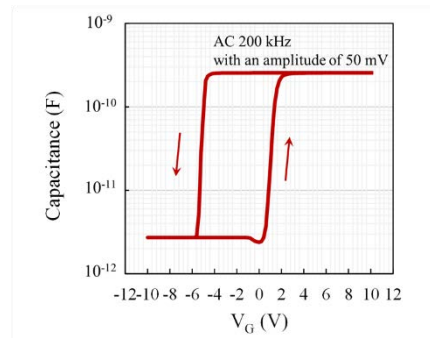


Fig.3 C-V characteristics of the fabricated FeV-cap.

オン抵抗 (50~100Ω)を示すため、FET のチャネル層が積層キャパシタの電極の一部として機能することによって、電極面積可変の可変容量素子を実現した。作製した FeV-cap は、ゲート電圧の掃引に従って容量値が急峻に変化し、強誘電体ゲートに由来する反時計回りのヒステリシス特性を示している (Fig.3)。得られた容量変調率  $C_{\text{ON}}/C_{\text{OFF}} = 94$  は、電極の設計面積比 120 倍よりも 2 割程度目減りしているものの、強誘電体の大電荷制御によって非常に大きな容量変調を実現している。このような大きな変調率を有する可変キャパシタは、各種コンバータの出力制御や電源のノイズ、サージ除去、ソフトスイッチング等、次世代パワーエレクトロニクスや通信デバイスの小型・高効率化、低コスト化に貢献する電子部品として期待される。

上記のような、金属アルコキシドを出発原料とした CSD 溶液とは別に、有機金属錯体の特徴である大量の有機成分を積極的に利用することによって、酸化物薄膜にプロトン伝導性を付与できることを



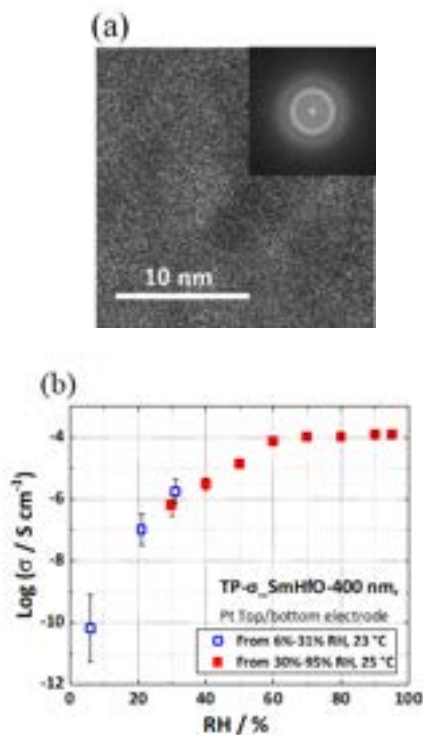


Fig.4 (a) Cross-sectional TEM and TED images of the fabricated Sm-Hf-O film. (b) Humidity dependence of proton conductivity.

見出した。Sm アセチルアセトナートと Hf アセチルアセトナートを前駆体を用いた CSD 溶液にカルボン酸系添剤を添加した溶液を調合し、焼成後 (500°C in Air) の Sm-Hf-O 膜中に水酸基やカルボキシル基を積極的に残存させることによって、H<sub>2</sub>O を媒介としたプロトン伝導性酸化物の作製に成功した。断面 TEM 及び透過電子回折像から、得られた膜はアモルファス～微結晶の緻密な構造を有し(Fig.4 (a))、プロトン伝導率は室温大気中で 10<sup>-5</sup> S/cm 程度で、湿度上昇とともに 10<sup>-4</sup> S/cm まで増加することが分かった(Fig.4 (b))。このように緻密な固体酸化膜で、室温下において高いプロトン伝導性を示す点は特異的であり、金属有機化合物を出発原料に用いた化学溶液とその熱分解反応を制御した CSD 法ならではの膜特性と考えられる。プロトン伝導性酸化物の応用展開としては、超低電圧駆動のイオンゲートトランジスタやニューロモルフィック素子等の次世代イオントロニクスデバイスへの適

用が期待される。

講演では、CSD 溶液の設計指針、機能性酸化物(強誘電体、半導体)の基礎特性及びそれらを用いた薄膜デバイス(強誘電体ゲート制御型可変キャパシタ)の検討、さらに有機金属錯体を用いたプロトン伝導性酸化物の基本特性及び今後の展望について紹介する。

謝辞

強誘電体関連デバイスは、北陸先端科学技術大学院大学・徳光永輔教授、プロトン伝導材料については、同大学・高村禪教授、廣瀬大亮講師、長尾祐樹教授、青木健太郎助教、Dr. S. Athchaya との連携、サポートによって推進された。

参考文献

- [1] 作花済夫, ゴルゲルの科学, アグネ承風社, 1988
- [2] J. Fukushima et al., J. Mater. Sci., 19, 595-598 (1984)
- [3] G. Yi et al., J. Appl. Phys., 64, 2717-2724 (1988)
- [4] T. Ohishi, IEIEC Trans. on Coms. C, 12, 1202-1207 (2002)
- [5] T. Hosokura, et al., Cryst. Growth, 11, 4253-4256 (2011)
- [6] S. Yoneda, et al., Jpn. J. Appl. Phys. 57, 11UF03 (2018)
- [7] T. Miyasako, et al., Appl. Phys. Lett., 120, 262901 (2022)
- [8] T. Miyasako, et al., Jpn. J. Appl. Phys., 62, SC1084 (2023)
- [9] S.-G. Koh, Jpn. J. Appl. Phys. 63, 08SP06 (2024)
- [10] J. Müller, et al., Nano lett., 12, 4318-4325 (2012)
- [11] T. Shiraishi, et al., Appl. Phys. Lett., 114, 223904 (2019)

# 高性能多結晶 Ge 薄膜トランジスタに向けた低温粒界制御成長

## Low-temperature grain-boundary control growth for high-performance polycrystalline Ge thin-film transistors

筑波大院<sup>1</sup>,熊本大<sup>2</sup>,九州大<sup>3</sup>,居倉功汰<sup>1</sup>,石山隆光<sup>1</sup>,前田真太郎<sup>1</sup>,山本圭介<sup>2,3</sup>,末益崇<sup>1</sup>,都甲薫<sup>1</sup>  
Univ. of Tsukuba<sup>1</sup>, Kumamoto Univ.<sup>2</sup>, Kyushu Univ.<sup>3</sup>, °K. Igura<sup>1</sup>, T. Ishiyama<sup>1</sup>, S. Maeda<sup>1</sup>, K. Yamamoto<sup>2,3</sup>,  
T. Suemasu<sup>1</sup>, and K. Toko<sup>1</sup>

<sup>1</sup>Institute of Applied Physics, Univ. of Tsukuba, 1-1-1 Tennodai, Tsukuba, Ibaraki 305-8573, Japan

<sup>2</sup>Kumamoto Univ., 2-39-1 Kurokami, Chuo-ku, Kumamoto, 860-8555, Japan

<sup>3</sup>Kyushu Univ., 6-1 Kasuga-koen, Kasuga, Fukuoka, 816-8580, Japan

Tel: +81-29-853-5472, Fax: +81-29-853-5205, E-mail: iguko.1020@gmail.com

### Abstract

Recent advances in research on polycrystalline Ge thin films have led to the realization of high-speed thin-film transistors that outperform Si. Although this method achieved the highest-performing low-temperature thin-film transistor among polycrystalline Ge thin films, its characteristics exhibited variability. In this study, we investigated metal-induced lateral crystallization (MILC) of Ge. We prepared a trilayered amorphous Ge layer in which the deposition temperature and thickness of each layer were modulated to increase the growth velocity and suppress spontaneous nucleation. Machine learning analyses efficiently optimized the parameters of the three layers, which expanded the MILC length by more than 10 times (approximately 10  $\mu\text{m}$ ). The applicability of these techniques extends to even on plastic films, enabling the formation of grain-boundary-aligned Ge crystals with sufficient length. The technology developed in this study to control Ge grain boundaries at low temperatures will open up the possibility of high-speed thin-film transistors useful for advanced flexible devices.

**【はじめに】**我々は非晶質 Ge 前駆体を高密度化することで、固相成長 (SPC-) Ge の劇的な大粒径化・高移動度化を達成してきた [1,2]。本手法により、多結晶 Ge 薄膜として最高水準の低温薄膜トランジスタ (TFT) を実証した一方 [3]、その特性にはばらつきが見られた。本研究では Ge-TFT の特性ばらつきを整理するとともに、その抑制に向けた金属誘起横方向成長 (MILC) [4,5] を検討した。

**【実験方法】**石英ガラス基板の上に、基板加熱 (125 °C) を行いながら非晶質 Ge 膜 (100 nm) を分子線堆積した。その後、N<sub>2</sub> 中で熱処理 ( $T_{\text{anneal}} = 450$  °C, 5 h) して SPC を誘起した。また、CMP 法で薄膜化を行い、メタル S/D 蓄積型 TFT (チャンネル幅/長 = 55  $\mu\text{m}$  / 5–15  $\mu\text{m}$ ) を作製した (Fig. 1(a), (b)) [3]。MILC 試料作製においては、前述した非晶質 Ge 膜の直上に、厚さ 5 nm の金属パターン (Ag, Au, Bi, Co, Fe, Ni, Pd, Pt) をスパッタリング堆積とリソグラフィで形成した。これらの試料を N<sub>2</sub> 中で熱処理 ( $T_{\text{anneal}}$ : 325–375 °C, 10–100 h) し、MILC を誘起した (Fig. 3 (a))。

**【結果・考察】**TFT のチャンネル領域の EBSD 像か

ら、チャンネル領域は数  $\mu\text{m}$  径のランダム方位結晶粒で構成されることが判る (Fig. 1(c))。電界効果移動度と on/off 比は、チャンネル長が結晶粒径に近づくほどばらつきが増加した (Fig. 2)。この結果は、TFT 特性のばらつきが多結晶チャンネルに特有のランダム性に影響されていることを示唆している。キャリア輸送方向に沿った粒界の制御、および方位制御に向け、高密度非晶質 Ge 層に対する MILC を 8 種の金属触媒で検討した (Fig. 3(a))。各金属について Ge 層の高密度化を反映し、EBSD で検出可能な  $\mu\text{m}$  オーダーの粒が得られた (Fig. 3(b)-(i))。また、金属ごとに異なる成長様態を示したが、中でも粒界方向がよく制御された Au に着眼するとともに、非晶質 Ge 層の成膜温度を三段階に分けて行う核発生制御手法 [6] を Au の MILC に応用した (Fig. 4)。まず、クラスタリング手法である UMAP を用いて、作製した Ge 層の構造を分類した。そして、そのクラスタリング結果に MILC の成長速度、および自然核の密度を対応付けた (Fig. 5)。UMAP によってこの 6 次元データを 2 次元化することで、横成長速度と核密度それぞれの支配的なパラメータを抽出することができる。その結果、膜構造は 5 つに分類されるとともに、膜構造が特性に

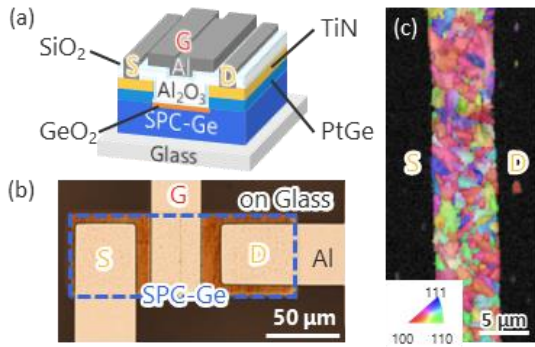


Fig. 1 (a) Schematic and (b) photograph of the SPC-Ge TFT. (c) EBSD image of the SPC-Ge of the channel region with a channel length of 10  $\mu\text{m}$ .

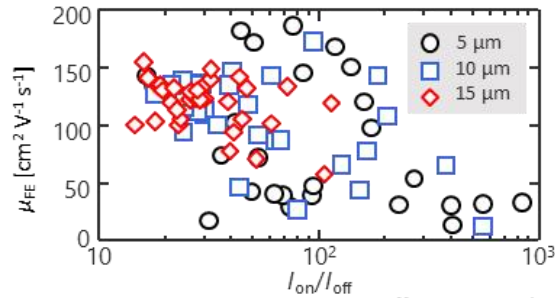


Fig. 2 Field effect mobility  $\mu_{\text{FE}}$  and on off current ratio  $I_{\text{on}}/I_{\text{off}}$  characteristics of the SPC-Ge TFTs with varying channel length.

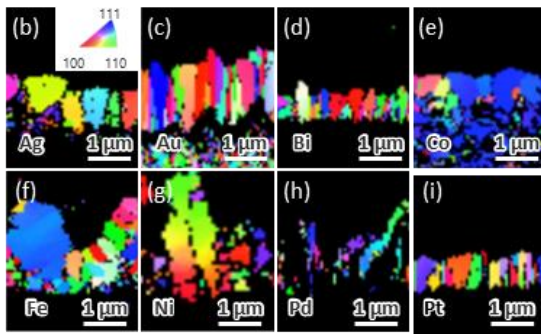
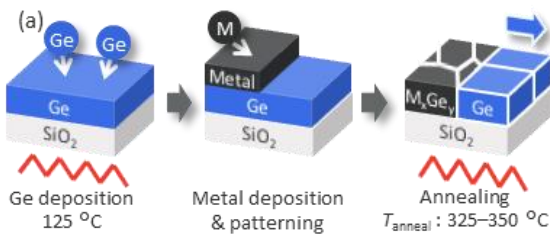


Fig. 3 (a) Schematic of the sample preparation. (b)-(i) EBSD images near the patterns of various catalyst metals with  $T_{\text{anneal}} = 350\text{ }^\circ\text{C}$  (50h).

大きく影響していることが明らかとなった。特に、 $c_3$  のクラスターでは、高い成長速度と低い核密度を両立していることが判る。このクラスターでは Top 層と Bottom 層を室温で堆積しており、それによって表面、および基板界面での核発生を抑制したと考えられる。この膜構造において、長時間熱処理 (150 h) を行った際の逆極点図方位像を示す (Fig. 6(a))。

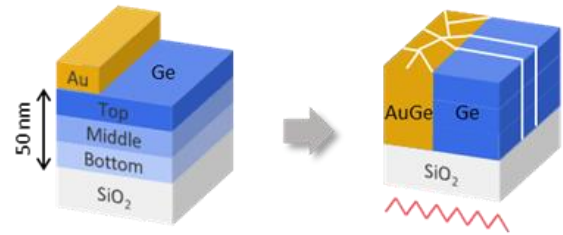


Fig. 4 Schematic of the sample. Deposition temperature and thickness are modulated for the Top, Middle, and Bottom layers, respectively. Total thickness of those layers is 50 nm.

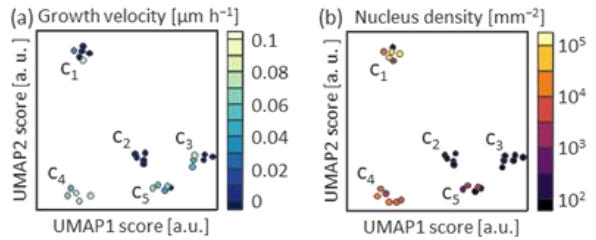


Fig. 5 Results of clustering sample structures using UMAP, where the color of the plots corresponds to the (a) growth velocity and (b) nucleus density after 50 h annealing.

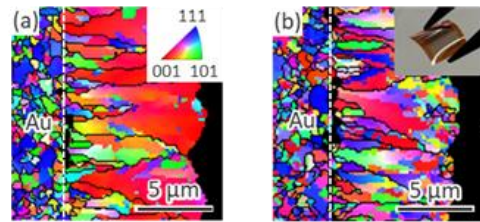


Fig. 6 Inverse pole figure image of the sample formed on (a)  $\text{SiO}_2$  and (b) polyimide after 150 h annealing, where the deposition temperatures of the top and bottom layers are fixed at room temperature.

Au/Ge 界面より 100 方向に優先配向した MILC-Ge が横方向成長しており、配向・粒界制御されていることが判る。成長距離は約 1 桁拡大し、MILC 領域は TFT 応用に充分となる 10  $\mu\text{m}$  に達した。さらに、この結果をプラスチック基板の上に展開した結果、柔軟性と粒界制御の両立を達成した (Fig. 6(b))。本研究では、機械学習を用いた条件最適化により、10  $\mu\text{m}$  の MILC-Ge を初実証した。Ge 薄膜の低温結晶成長において、このような  $\mu\text{m}$  オーダーでの粒界方向制御は本成果が初となる。現在、TFT 試作と性能実証を進めている。

## 参考文献

- [1] K. Toko et al., *Sci. Rep.* 7, 16981 (2017).
- [2] K. Igura et al., *Sci. Rep.* 14, 7812 (2024).
- [3] K. Moto et al., *Appl. Phys. Lett.* 114, 212107 (2019).
- [4] T. Ishiyama et al., *Mater. Des.* 232, 112116 (2023).
- [5] K. Igura et al., *Cryst. Growth Des.* 24, 6142 (2024).
- [6] S. Maeda et al., *Cryst. Growth Des.* 23, 5535 (2024)

# 第一原理計算で見るシリコンテクノロジー Silicon Technologies from the View Points of First Principles Calculations

白石 賢二<sup>1,2</sup>

<sup>1</sup>名古屋大学大学院 工学研究科 〒466-8603 愛知県名古屋市千種区不老町

<sup>2</sup>名古屋大学 未来材料・システム研究所 〒464-8601 愛知県名古屋市千種区不老町

Kenji Shiraishi<sup>1,2</sup>

<sup>1</sup> Graduate School of Engineering, Nagoya University, Nagoya, Aichi 464-8603, Japan

<sup>2</sup> Institute of Materials and Systems for Sustainability, Nagoya University, Nagoya, Aichi, 464-8601, Japan.

\*E-mail: [shiraishi@imass.nagoya-u.ac.jp](mailto:shiraishi@imass.nagoya-u.ac.jp)

## Abstract

We introduce the first principles calculation examples which aim to contribute Si technologies. First, we introduce our very recent approach which consider the fabrication process of 2nm-node Nano-Sheet FET with gate all around structures. We consider that ALD deposition is similar to the initial oxidation processes which we studied in detail in 1998. After ALD deposition, Si atoms are emitted from the Si/SiO<sub>2</sub> interfaces toward SiO<sub>2</sub> region and interfacial defects are formed. We have shown that Si(110) surfaces are better than conventional Si(100) surfaces because of the low atomic density of Si(110) surfaces. Moreover, we show that interface defects caused by ALD deposition can be terminated by high pressure H annealing. The higher H pressure, the better. Second, we introduce our first principles contribution to the mass production of the vibration powered generators with K incorporated a-SiO<sub>2</sub>. We found by the first principles calculations that the origin of the negative charge in the K incorporated a-SiO<sub>2</sub> is the SiO<sub>5</sub> structure. The guiding principles for mass production of vibration powered generators with K incorporated a-SiO<sub>2</sub> is to preserve these SiO<sub>5</sub> structures. This guiding principle dramatically develop the high reliability vibration powered generators, and realized the mass production in 2024.

## 1. はじめに

第一原理計算はシリコンテクノロジーにおいて重要な役割を果たすようになってきている。私が NTT に就職した 1988 年当時は、第一原理計算は産業とは無関係の代物であったが、次第にその重要性が増してゆくことをこの 40 年間感じてきた。最近では第一原理計算が産業技術を先導する例も多く見られるようになってきた。本講演では最近のシリコンテクノロジーにおいて第一原理計算を適応した非常に最近の 2 つの例について紹介する。第一は次世代の極微細 LSI の主役となる Nano-Sheet FET や CFET に代表される技術への第一原理計算に適応例、第二は SiO<sub>2</sub> を主材料とした最近量産化された振動発電素子への適応例である。

FinFET の時代がここ 10 年程度続いていたが極微細 LSI は Gate All Around (GAA) の時代に突入した (Fig. 1)。Nano-Sheet FET では絶縁膜は SiO<sub>2</sub> も含めて ALD 等の堆積法で形成するがこれまで長年使われてきた熱酸化法と比べて異なる点について第一原理計算で考察した最近の我々の研究

例について紹介する。堆積法による酸化膜形成法でも界面第一層は熱酸化と同様の原子レベルの反応が起こると仮定して考察した例である。一方、SiO<sub>2</sub> を主材料とした振動発電素子は橋口らが発見した Si を Wet 酸化の際に KOH を使用して SiO<sub>2</sub> に K 原子と導入すると SiO<sub>2</sub> が負に帯電する現象 [1] を利用したカリウムイオンエレクトレットを用いた振動発電素子である。このカリウムイオンエレクトレットを第一原理計算によって全面的に支援して量産化を行った例について紹介する。



Fig.1: Evolution of nano-level LSI. From FinFET to CFET.

## 2. 計算モデル・計算手法

本研究では、密度汎関数理論に基づく第一原理計算コード VASP (Vienna Ab-initio Program



Package)[2]を使用した。原子核および内殻電子のポテンシャルには、Projector Augmented Wave (PAW) ポテンシャル[3]を使用し、平面波基底のカットオフエネルギーは 500eV に設定した。また、構造最適化計算、NEB 計算、電子状態の計算における交換相関汎関数は、全て GGA-PBE 汎関数を採用している[4]。加えて構造最適化計算においては、全ての原子に働く力の大きさが 0.05eV/Å 以下になるまで行われた。

### 3. Nano-Sheet FET のプロセスの第一原理計算による検討

Nano-Sheet FET は ALD 法で SiO<sub>2</sub> も含む絶縁膜を形成するが、堆積法であっても表面の Si 原子を O 原子がアタックすると一層程度は熱酸化と同様の現象が起きると考えられる。そこで、過去の我々の第一原理計算による熱酸化の原子レベルの研究[5]を振り返ってみる。Fig. 2 は Si 熱酸化の際に表面で起きる原子レベルの現象を図示したものである。この図からわかるように Si 熱酸化初期に Si 原子は SiO<sub>2</sub> 側に放出されて酸化誘起歪みを解放する。この現象は ALD による酸化膜形成でも同様に起こると考えられる。Si 原子が放出されると界面に Si 一個分の空間が形成されると同時に Si ダングリングボンドに起因する界面欠陥が形成される。しかし、H<sub>2</sub> アニールによってこの Si ダングリングボンドに起因する界面欠陥を終端することができる。

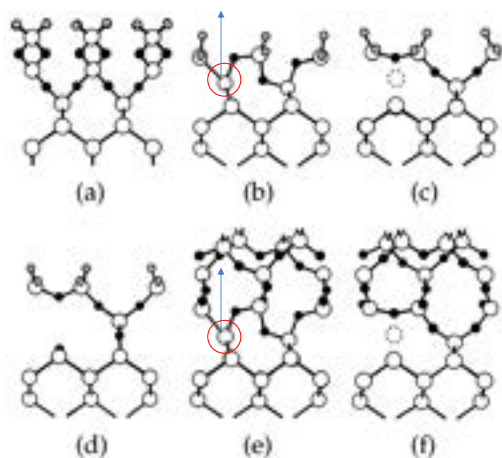


Fig.2: Atomistic views of Si initial oxidation [5]. Si emission occurs during oxidation. This Si emission occurs in case of ALD deposition.

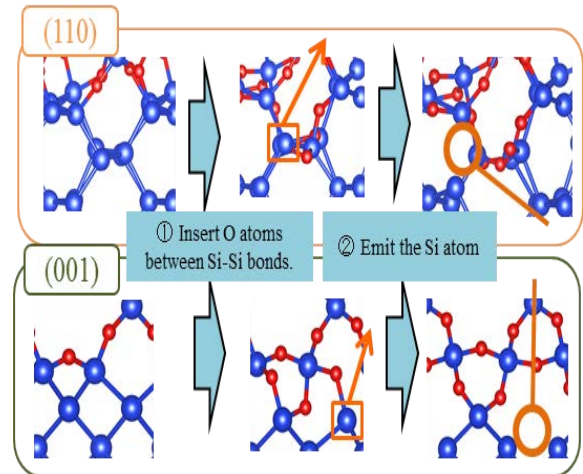


Fig. 3: Atomistic oxidation process of Si(110)/SiO<sub>2</sub> and Si(100)/SiO<sub>2</sub> interfaces. After O atom insertion, Si emission occurs.

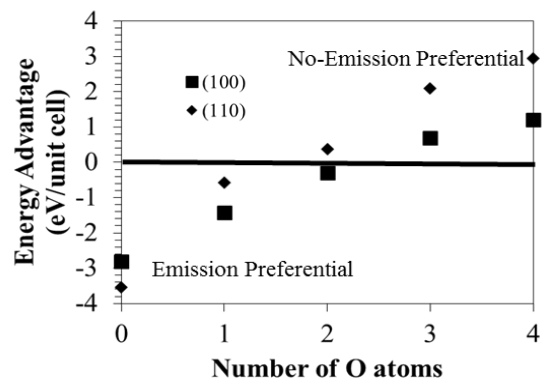


Fig. 4: Energy advantage of the Si emitting structures compared with the non-emitting structures as functions of number of inserted O atoms.

最近我々は、Si(100)と Si(110)表面の酸化の様子を第一原理計算で考察した。Fig. 3 に酸素原子の挿入とそれに続いて起こる Si 原子放出を示す。さらに Fig. 4 に Si(110)と Si(100)表面でどちらが Si 原子が放出しやすいかを示した。その結果 Si(110)面の方が少し Si 放出が起きやすいことがわかる。さらに、Si 放出の際に形成された Si ダングリングボンド起因の界面欠陥を終端するための水素アニールの効果を比較検討したのが Fig. 5 である。この図からわかるように、水素分圧は高ければ高いほど界面欠陥の終端に対して効果が高いことがわかる。これは現在高圧水素アニールが採用されている理由である。また Si(110)面の方が Si(100)よりも全プロセスを合わせると界面欠陥密度が低く抑えられることもわかる。以上から 2nm ノー



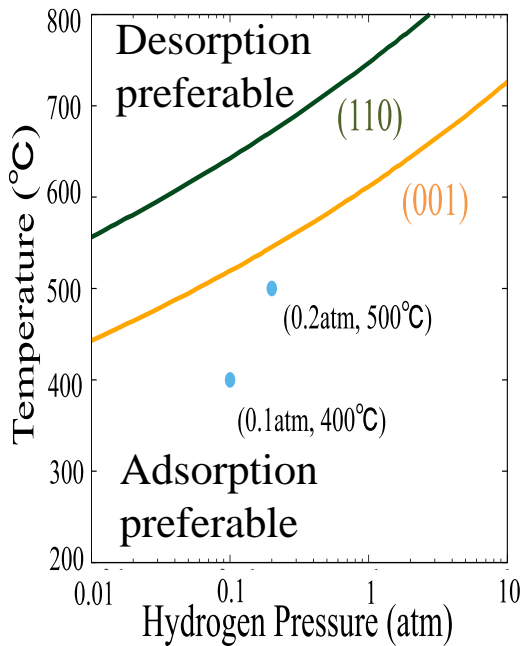


Fig. 5: P-T diagram of the effect of H<sub>2</sub> anneal. Below green (110) and orange (001) lines, H<sub>2</sub> tends to terminate Si dangling bonds. Above green (110) and orange (001) lines, on the other hand, H<sub>2</sub> tends to desorb toward gas phase and Si dangling bonds remain.

ドから使用される Nano-Sheet FET の製造には高圧水素アニールが効果的である。また、使用する Si の面方位は Si(110)面が適していることがわかる。Si(110)面がより高品質になる理由は界面原子密度が Si(110)面の方が Si(100)面よりも低く、H<sub>2</sub> 分子が挿入しやすいことが大きな理由である。このように ALD による酸化膜形成過程という視点で見たとき、Nano-Sheet FET 形成には Si(110)面を使用した高圧水素アニールが有効であると結論することができる。

#### 4. カリウムイオンエレクトレットを用いた振動発電素子開発の第一原理計算による支援

カリウムイオンエレクトレットを組み込んだ MEMS 振動発電素子[6-10]は、数あるエネルギーハーベスティング技術の中でも 2024 年に量産化が実現された技術である。カリウムイオンエレクトレットとはアモルファス SiO<sub>2</sub>(a-SiO<sub>2</sub>)中にカリウム原子を添加することで作製される材料であり、半永久的に負電荷を蓄積し電場を形成し続けることができる。カリウムイオンエレクトレットと金属板を平行に配置し、振動により素子を動かすことで誘導電流が得られるため、半永久的に動作可能なメンテナンスフリーな発電素子の実現できる。Fig. 6 にカリウムイオンエレクトレットの製法を示す。この製造プロセスを第一原理計算で模倣し、K を含む a-SiO<sub>2</sub> を大意義原理分子動力学法 (MD 法) に基づくメルトクエンチ法によって作成した。MD 計算の冷却速度は 50K/ps である。

MD 計算により得られたカリウム含有 a-SiO<sub>2</sub> 構造について考察を行う。カリウム含有 a-SiO<sub>2</sub> の構造を Fig. 7 に示す。この構造には通常の 4 配位 Si 構造に加え、5 本の Si-O 結合を持つ 5 配位 Si 原子、Si-Si 結合を形成する Si 原子など、特徴的な局所構造が見られた。これらの局所構造は得られた 4 つの a-SiO<sub>2</sub> モデルすべてに共通して存在している。構造の参照として同様の温度履歴を用いてカリウムと水素を含まない単純な a-SiO<sub>2</sub> モデルを作成したが、この構造中の Si 原子は全て 4 つの Si-O 結合を成しており、特徴的な局所構造は見られなかった。以上のことから、カリウム含有 a-SiO<sub>2</sub> 構造に見られた 5 配位 Si 構造などの局所構造はカリウム原子の存在によって形成されたもので

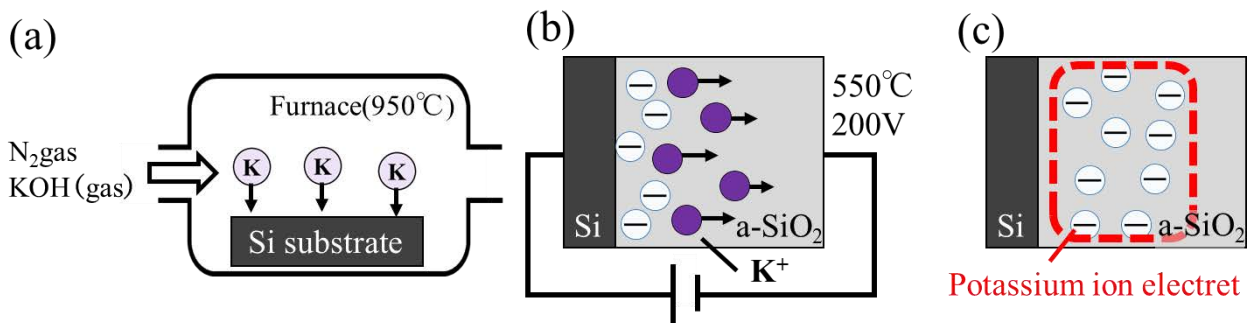


Fig. 6: Schematic diagram of a potassium ion electret fabrication procedure. (1) Fabrication of K-containing a-SiO<sub>2</sub>. Potassium atoms are introduced into the Si substrate during the thermal oxidation process. (2) K<sup>+</sup> ions are moved to the cathode side by applying a voltage while heating. (3) Removal of electrodes. The potassium low density region on the anode side becomes negatively charged and is used as a potassium ion electret.

あり、通常の a-SiO<sub>2</sub> とは全く異なる構造であると考えられる。以降はこれらの各局所構造の詳細について解析を行った[11]。

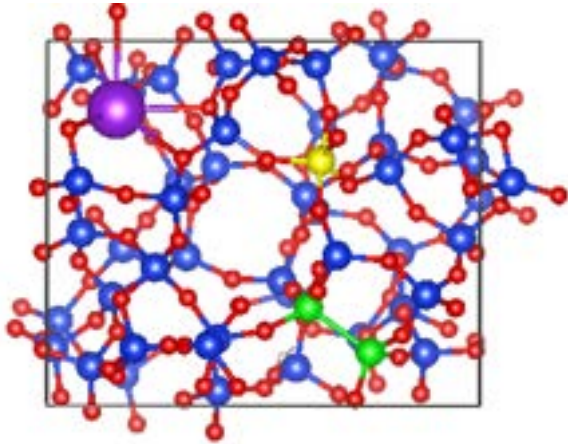


Fig. 7: The structure obtained from the initial MD calculation. The blue, red, purple balls represent Si, O, and K atom, respectively. Characteristic local structures are shown in different colors. The yellow ball represents the five-fold coordinated Si atom, and the green balls represent the Si atoms that form Si-Si bond.

5 配位 Si 原子周辺の構造について注目する。通常の a-SiO<sub>2</sub> 中の Si 原子は全て 4 つの結合を持つ 4 配位構造をとるため、5 つの Si-O 結合を持つ 5 配位 Si の存在は極めて特徴的である。以降では 5 配位 Si 構造を SiO<sub>5</sub> 構造、4 配位 Si 構造を SiO<sub>4</sub> 構造と呼称する。まず初めに、SiO<sub>4</sub> 構造における荷電状態について考察する。Bader Charge 解析の結果によると、4 配位 Si 原子と O 原子のイオン価数はそれぞれ +3.2、-1.6 である。O 原子は 2 つの Si 原子と結合しているため、イオン価数を Si 原子 1 つあたりに換算すると -0.8 となる。以上より、SiO<sub>4</sub> 構造の各イオン価数の合計値をとると 0 になるが、これは SiO<sub>4</sub> 構造が電気的に中性であることを示している。続いて SiO<sub>5</sub> 構造の荷電状態を考察する。5 配位 Si 原子のイオン価数は 4 配位 Si 原子のものと同じ +3.2 であり、周辺の O 原子のイオン価数も全て -0.8 である。よって、イオン価数の合計は -0.8 となるが、これは SiO<sub>5</sub> 構造が負に帯電していることを示している。

最後に、Si-Si 結合周辺の荷電状態を考察する。この構造は 2 つの Si 原子と 6 つの O 原子から形成されている。Si-Si 結合を作る Si 原子のイオン価数は +2.4 である。そのため、イオン価数の合計

値は 0 となり、Si-Si 結合周辺の構造は電気的に中性であることが分かった。以上の考察より、SiO<sub>5</sub> 構造は負に帯電していることが分かった。この結果は、K 原子から SiO<sub>5</sub> 構造へ電子が移動したことを示している。

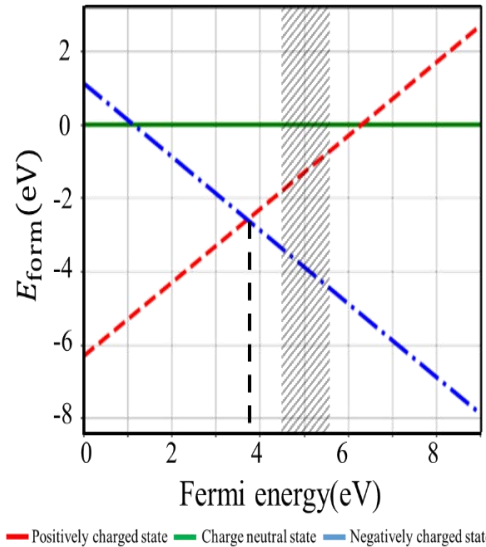


Fig. 8: Comparison of charged state stability. The shaded area shows the bandgap of Si, and the Fermi energy exists within this region.

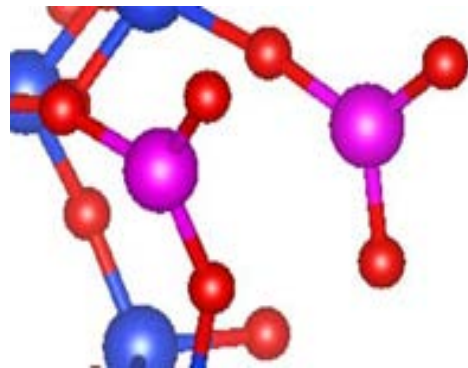


Fig. 9: SiO<sub>3</sub> structures in the positively charged state. By breaking a Si-Si bond, the SiO<sub>3</sub> structures are formed.

次に荷電状態の相対的安定性を比較するために形成エネルギーを計算した結果が Fig.8 である。この図からわかるように基板である Si のフェルミエネルギーの領域では負電荷状態が安定となることがわかる。それに対して SiO<sub>2</sub> の価電子帯上端から 3.7eV 以下で正電荷状態が出現することがわかる。電荷正状態において、SiO<sub>5</sub> は保持されているが、Si-Si 結合は切れ、3 本の Si-O 結合から成る 3 配位 Si 構造 (SiO<sub>3</sub> 構造) が 2 つ形成された (Fig.9)。このように Si-Si 構造はカリウムイオン

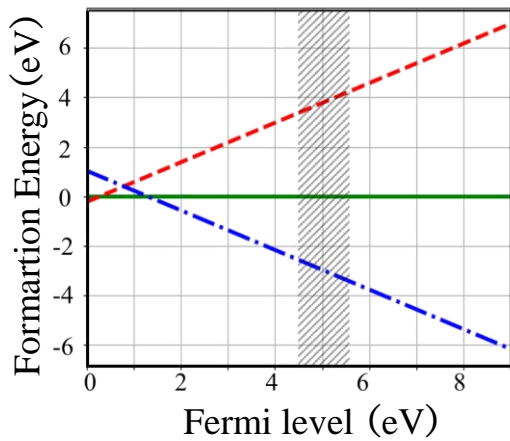


Fig. 10: Comparison of charged state stability after additional oxidation. The shaded area shows the bandgap of Si, and the Fermi energy exists within this region.

エレクトレットを用いた振動発電素子に悪影響を及ぼすと予想される。そこで、我々は追酸化を行うことでSi-Si結合をSi-O-Si結合に変えれば振動発電素子の信頼性が格段に向上すると考え、第一原理計算を行ってみた。追酸化を模してO原子を一つ加えてメルトクエンチ法でK原子を含む $\alpha$ -SiO<sub>2</sub>を作成し、その形成エネルギーを計算した[12]。その結果がFig. 10である。この図からわかるように追酸化によって負電荷の領域が劇的に増えてカリウムイオンエレクトレットの寿命や信頼性が劇的に伸びることが第一原理計算で予想された。実際に実験を行った結果がFig. 11である。Fig. 11からわかるように、第一原理計算で予想した通りに、追酸化プロセスを加えることでカ

リウムイオンエレクトレット寿命が大きく伸びることが実験的にも示された。

このように、第一原理計算によってカリウムイオンエレクトレット負電荷の起源はSiO<sub>5</sub>構造であることがわかったことで、量産化にはSiO<sub>5</sub>構造を壊さないプロセスを考えればよいという大きな指針が得られた。その結果、振動発電素子の性能は一気に上がった。さらに、第一原理計算によって提案された追酸化プロセスも合わせて、カリウムイオンエレクトレットを用いたSiO<sub>2</sub>ベースの振動発電素子は2024年4月に量産化され市場投入された。

## 5. 結論

私が1988年にNTTに入社した時、第一原理計算はせいぜい実験結果の解析にしか役立っておらず、まさか産業界に役立つ日がくるとは全く思っていなかった。しかし、現在では第一原理計算が量産化に大きな役割を果たす例は非常に多くなってきている。本稿で最初に紹介した第一原理計算によって考察したNano-Sheet FETのプロセスは現在のLSI技術の技術動向と一致している。また、2番目に紹介したカリウムイオンエレクトレットを用いたSiO<sub>2</sub>ベースの振動発電素子では、第一原理計算が中心的な役割を果たした結果、量産化されるまでに至った。課題は、SiO<sub>5</sub>構造は理論的に予言したものであるが、それを実験的に観測することである。私は第一原理計算が量産化に大きく貢献した例に、これまで4回も出会うことができた。第一原理計算が産業界を大きく牽引する未来を心から待ち望んでいる。

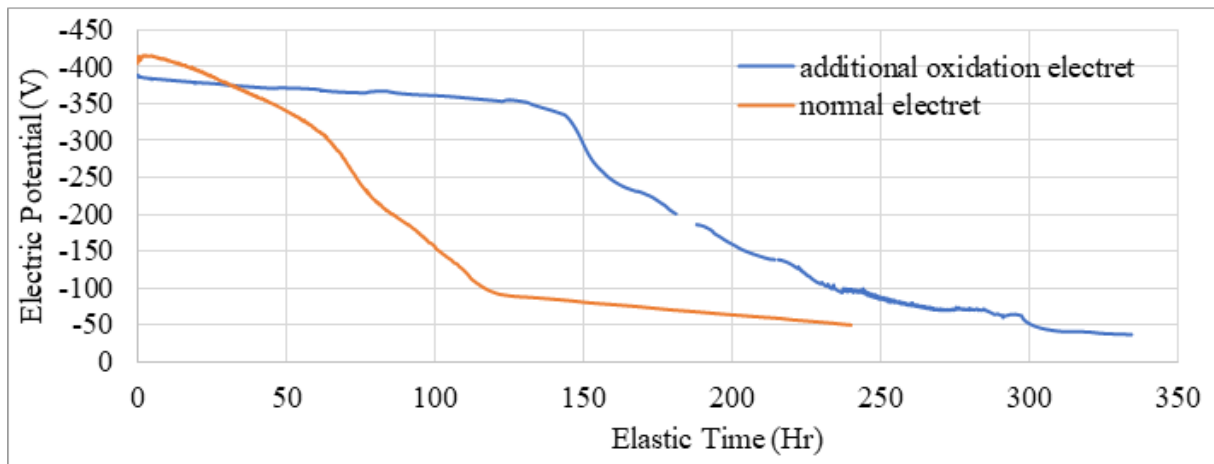


Fig. 11: Experimentally observed electric potential with and without additional oxidation.

## References

- [1] G. Hashiguchi et al., AIP Advances **6**, 035004 (2016).
- [2] G. Kresse and D. Joubert, Phys. Rev. B **59**, 1758 (1999)
- [3] P. E. Blochl, Phys. Rev. B **50**, 17953 (1994)
- [4] J. P. Perdew et al., Phys. Rev. Lett. **77**, 3865 (1996).
- [5] H. Kageshima and K. Shiraishi, Phys. Rev. Lett. **81**, 5936 (1998).
- [6] M. Suzuki et al., J. of Microelectromechanical Systems, **25**, 652 (2016).
- [7] H. Koga et al., Micromachines, **8**, 293 (2017).
- [8] Y. Tohyama et al., **31**, 2779-2802 (2019).
- [9] H. Toshiyoshi et al., Vac. Surf. Sci., **63**, 223 (2020).
- [10] C. Sano et al., Micromachines, **11**, 267 (2020).
- [11] T. Nakansihi et al., Appl. Phys. Lett. **117**, 193902 (2020).
- [12] Y. Ohata et al., Appl. Phys. Lett. **121**, 243903 (2022).

# キャビティ付き集積熱電デバイスの微細化効果

## The Effect of Miniaturization of Integrated Thermoelectric Device with Cavity

三浦 拓也, Md Mehdee Hasan Mahfuz, 松木 武雄, 渡邊 孝信

早稲田大学 〒169-8555 東京都新宿区大久保 3-4-1

Takuya Miura, Md Mehdee Hasan Mahfuz, Takeo Matsuki, Takanobu Watanabe

Waseda University, 3-4-1 Ookubo Shinjuku, Tokyo 169-8555, Japan

Tel: 03-5286-1621, Fax: 03-5286-1719 (e-mail:t-miura@suou.waseda.jp)

### Abstract

We investigated the effect of introducing cavity space underneath the Si nanowire (Si-NW) thermoelements and the dependence of the Thermoelectric (TE) performance on the cavity size and Si-NW length. If the cavity does not reach the Si-NW region, the areal power density can be increased by shortening the Si-NW. When the cavity extends over the entire Si-NW region, the power density peaked at a certain length of the Si-NW. These results indicate that the introduction of cavities improves power generation performance, but there is a limit to performance improvement through miniaturization.

### 1. はじめに

環境中に存在する微小なエネルギーから電力を得るエナジーハーベスティング技術が近年注目されている。我々は未利用な熱エネルギーに着目し、Si 集積回路技術で作製可能な平面型集積熱電デバイス (Planner Thermoelectric Generator: TEG) の開発を行っている。この熱電デバイスは Si をナノワイヤ状に加工した Si ナノワイヤ (Si-NW) を発電部に利用している。従来、バルク状の Si は高い熱伝導率を有し、熱電材料として不向きであるとされてきたが、2008 年に Si を Si-NW 状に加工すると熱伝導率が低下し、熱電材料に適した熱電性能指数を得ることが明らかになった[1, 2]。我々が提案する熱電デバイスでは、ヒートガイド (HG) と呼ぶ金属からなる導熱路を通じて、Si 基板上に横たわった Si-NW の片側に熱が選択的に注入されることで Si-NW に急峻な温度勾配が形成され、ゼーベック効果により電位差が生じる。この発電部を多数、直列に接続させることでより大きな電位差に変換する[3]。これまでの試作では、Si 基板中にキャビティ(空洞)を設けないキャビティフリー構造を採用し、Si-NW を短くするほど単位面積当たりの発電密度が増すことを実証した[4]。さらに発電性能を向上させるには、Si 基板にキャビティを設け、注入された熱が基

板裏面に抜けるのを抑制することが効果的と考えられる。これにより Si-NW 両端の温度差が増大すると期待されるからである。そこで今回、キャビティ付き平面型集積熱電デバイスを実際に作製し、キャビティ導入の効果と Si-NW 長を縮小したときの効果を調査した。

### 2. 実験条件

作製したデバイスの光学顕微鏡像を Fig. 1、断面 SEM 像を Fig. 2 断面模式図を Fig. 3 に示す。作製したデバイスは Fig. 3 を 1 ペアとした時、最大 42 ペア直列に接続したものである。SOI 基板(SOI 膜 = 120nm、BOX = 145nm、Si 基板 = 745 $\mu$ m)からなる SOI 基板に高温側、低温側 Si-Pad とそれらを結ぶ、長さ 0.25 から 10 $\mu$ m、幅 100nm の Si-NW120 本をドライエッチングにより作製した。Si-NW の表面保護のために熱酸化を行い、5nm の SiO<sub>2</sub> 膜を形成した。その後、P+イオンを 20keV の加速電圧で 5 $\times 10^{15}$ /cm<sup>2</sup> 注入し、1000 $^{\circ}$ C、10 秒間の活性化アニールを行い、n 型の TEG を作製した。その上にプラズマ CVD で第一層間絶縁膜である SiO<sub>2</sub> を成膜した。その後、エッチングにより 1.8 $\times$ 1.8  $\mu$ m<sup>2</sup> のコンタクトホールを形成した後、熱電変換部と電氣的配線層を接続する 300nm の W プラグをプラズマ CVD で成膜、CMP で平坦化を行った。その後、



PVD により TiN (50nm) / AlCu (200nm) / TiN (30nm) / Ti (20nm)の第一配線層を成膜した。その後、プラズマ CVD で第二層間絶縁膜である SiO<sub>2</sub>を 500nm 成膜し、CMP で平坦化を行った。その後、高温側 Si-Pad 上にビアホールを形成し、100nm の絶縁層を形成した。その後 PVD により、TiN (50nm) / AlCu (400nm) / TiN (30nm) / Ti (20nm)のヒートガイド (HG)を形成した。最後に高温側 Si-Pad 下部に形成されたキャビティは第一、第二層間絶縁膜にエッチングウィンドウを形成した後に、XeF<sub>2</sub> ガスを用いたドライエッチングにてそれぞれ 0、5、8.3、14、20 $\mu$ m のキャビティ幅 ( $W_{cav}$ )を持つデバイスを作製した。

発電性能の測定手順は以下の通りである。試料は 21.6 $^{\circ}$ C に保たれたステージ上に置き、接触抵抗を抑えるため、熱伝導率 0.76 W / mK の Si ペーストと 1.7 W / mK の導熱用のカーボンシートをデバイスとステージの間に挿入した。次にステージ温度を 20 $^{\circ}$ C から 40 $^{\circ}$ C まで変化させ、HG の抵抗温度係数を算出した。算出した抵抗温度係数に基づき、ステージとの温度差が 5.8 $^{\circ}$ C に維持されるように、HG に流す電流値を制御し、TE デバイスの開放電圧  $V_{oc}$  [V] を測定した。また、デバイスの内部抵抗  $R$  [ $\Omega$ ] を 4 端子測定法で計測した。

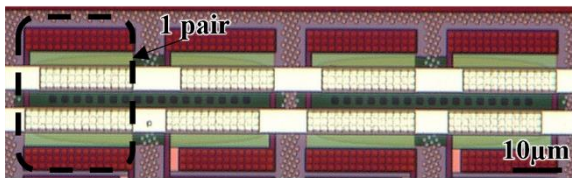


Fig. 1 Optical microscope image of the fabricated device

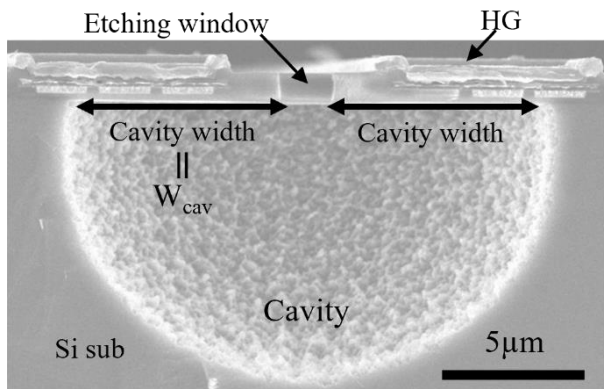


Fig. 2 Cross-sectional SEM image

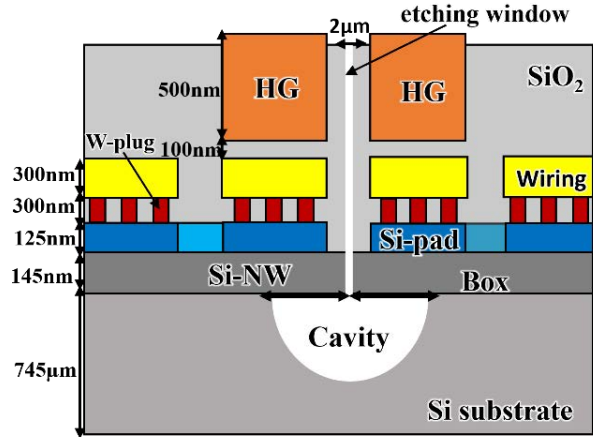


Fig. 3 The schematic diagram of the unit structure (1 pair) of TE device with cavity

### 3. 結果および考察

作製した TE デバイスの内部抵抗の測定結果を Fig. 4、開放電圧の測定結果を Fig. 5 に示す。

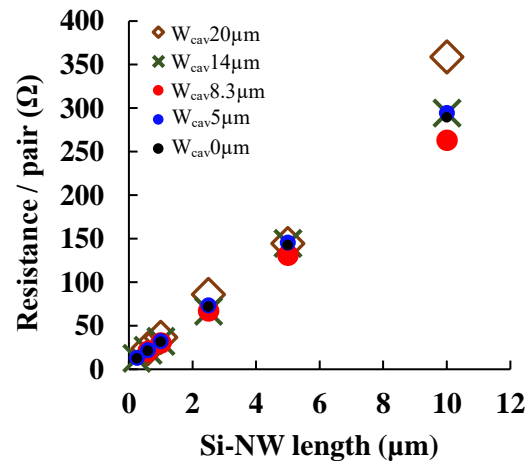


Fig. 4 Resistance per one pair.

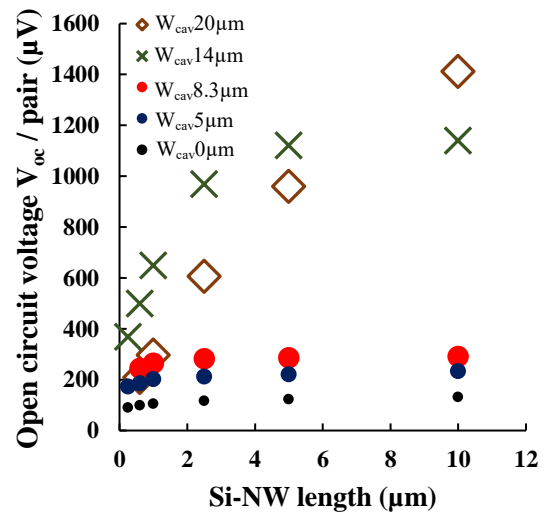


Fig 5  $V_{oc}$  per one pair

今回作製した試料の範囲では概ね、キャビティ幅が大きくなるほど開放電圧が増加する傾向が見られた。ただしキャビティ幅  $W_{cav}=20\mu\text{m}$  では、Si-NW 長が  $5\mu\text{m}$  以下の領域で  $W_{cav}=14\mu\text{m}$  の場合と比べて開放電圧が減少している。 $W_{cav}=20\mu\text{m}$  ではキャビティの端が低温側 Si-Pad まで到達し、Si-NW の低温側と基板の間の熱抵抗が増大するため、Si-NW 両端の温度差が減少したと考えられる。

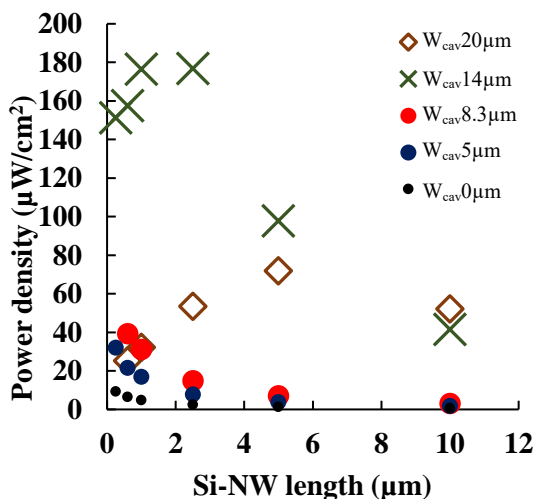


Fig. 6 Areal power density

Fig. 6 に発電密度の測定結果を示す。発電密度は  $P_{\text{density}} = V_{oc}^2 / (4RA)$  で与えられる。 $V_{oc}$  は開放電圧、 $R$  はデバイスの内部抵抗、 $A$  はデバイスの面積を示す。 $W_{cav} \leq 8.3\mu\text{m}$  で Si-NW 長が短くなるほど発電密度が増加していく傾向が見られる。また、 $W_{cav} \geq 14\mu\text{m}$  では発電密度のピークが Si-NW が長い方へシフトしていることが分かる。Fig. 7 に、FEM シミュレーションソフトウェア COMSOL Multiphysics を用いて解析した  $W_{cav}=5\mu\text{m}$  の時と  $W_{cav}=14\mu\text{m}$  の時の Si-NW 間の内部温度分布を示す。 $W_{cav}=5\mu\text{m}$  の時、Si-NW が長くなると温度勾配がほぼなくなっている。一方  $W_{cav}=14\mu\text{m}$  の時は、Si-NW が長くなっても NW 全体にわたって温度勾配が維持されている。以上の結果から、キャビティ幅が大きくなるほど Si-NW 両端の温度差が増大し、その効果は Si-NW を長くするほど顕著であることを示している。Si-NW が長くなるほどデバイスの内部抵抗と占有面積が増大するが、それ以上に開放電圧の増加の影響が勝ったため、発電密度のピークが Si-NW が長い方向へシフトしたと考えられる。

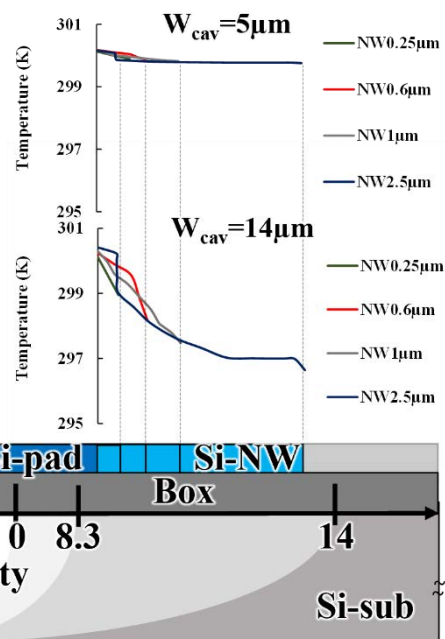


Fig. 7 Internal temperature distribution between Si-NW when cavity width is  $5\mu\text{m}$  and  $14\mu\text{m}$

#### 4. まとめ

本研究では、キャビティ導入の効果をキャビティのサイズと Si-NW 長を様々に変化させて調査した。キャビティを導入することで全体的に発電性能が向上した。キャビティが Si-NW の下部に達しない場合は、発電密度は Si-NW が短くなるほど増加するが、キャビティが Si-NW の下部全体に広がると、発電密度のピークが長 Si-NW 側にシフトした。以上から、適度なサイズのキャビティの導入により発電密度は向上するが、微細化による性能向上の限界も早く訪れることが判明した。

#### 謝辞

本研究は科研費・基盤研究 B(23K22800)、JST-CREST(JPMJCR15Q7, JPMJCR19Q5)、AIST-SCR の支援により実施された。

#### 参考文献

- [1] A. Hochbaum et al., Nature, 451, 163 (2008).
- [2] A. Boukai et al., Nature, 451, 168 (2008).
- [3] T. Watanabe et al., EDTM Proc. Tech. Papers, (2017) 86.
- [4] S. Arai, et al., Jpn. J. Appl. Phys. 63, 02SP38 (2024).

# マイクロ集積熱電デバイスの熱電レグ部に印可される温度差の特定

## Identification of Temperature Difference Across the Thermoelements of an Integrated Micro Thermoelectric Device

荒山 瀧一郎, 三浦 拓也, Md Mehdee Hasan Mahfuz, 松木 武夫, 渡邊 孝信

早稲田大学 〒169-8555 東京都新宿区大久保 3-4-1

Ryuichiro Arayama, Takuya Miura, Md Mehdee Hasan Mahfuz, Takeo Matsuki, Takanobu Watanabe

Waseda University, 3-4-1 Okubo, Shinjyuku-ku, Tokyo 169-8555, Japan

Phone: 03-5286-1621, Fax: 03-5286-1719 (e-mail: ryuu1224@fuji.waseda.jp)

### Abstract

Silicon nanowires (Si-NWs) have attracted attention for use in micro-thermoelectric generators (TEG) because of their low thermal conductivity. In this study, the Seebeck coefficient of the Si-NW was precisely measured to identify the temperature difference ( $\Delta T$ ) across the Si-NW in an integrated TEG. The  $\Delta T$  across the ends of the Si-NW in the integrated TEG was identified to be 6.8-8.5% of the total applied  $\Delta T$  of the device. This indicates that there is plenty room to improve the power generation efficiency by increasing the  $\Delta T$  across the Si-NWs through optimization of the device structure.

### 1. はじめに

身の回りの微小なエネルギーから発電するエナジーハーベスティング技術のひとつとして、我々は熱エネルギーを利用した熱電発電の研究を行っている。熱電材料は高い無次元性能指数  $ZT=S^2\sigma/\kappa T$  ( $S$ :ゼーベック係数、 $\sigma$ :電気伝導率、 $\kappa$ :熱伝導率) が要求される。Si ナノワイヤ (Si-NW) は熱伝導率が低いため、バルク Si よりも無次元性能指数  $ZT$  が大きいことが報告されており<sup>[1,2]</sup>、多くの研究グループが Si-NW を熱電材料として用いたマイクロ熱電デバイスの開発を行っている。著者らの研究グループは、ヒートガイド (HG)<sup>[3]</sup> と呼ばれる金属配線を介して、Si 基板上に横たわる Si-NW の一端に選択的に熱を伝達する新しい Si ベースの熱電デバイス (Thermoelectric Generator: TEG) 構造を提案した (Fig. 1)。このデバイスは、Si-NW の両端間に温度差をつけることで起電力を発生させる。デバイスの上面と下面の温度は測定可能であるが、実際に発電している Si-NW 両端に印加される温度差は直接測定することが困難である。本研究では、Si-CMOS プロセスで作製した集積型 TEG の熱電発電が起こる Si-NW 部の熱電性能を明らかにするため、同プロセスで作製した熱電性能評価用の Si-NW デバイスを用いて電気伝導率とゼーベック係数の精密測定を行い、集積型 TEG における Si-NW 部分の実際の温度差を特定した。

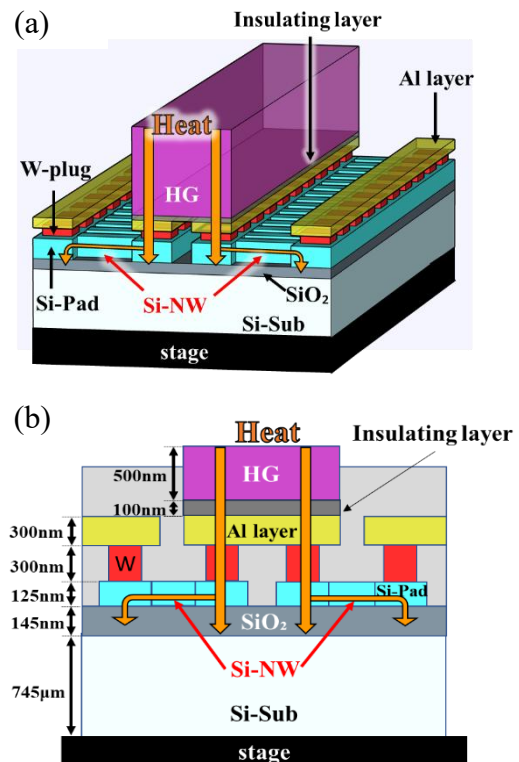


Fig.1 (a) Bird's-eye view and (b) cross-sectional view of the fabricated integrated TEG.

## 2. 実験方法

Fig.1 に模式的に示す集積型 TEG と同時に製作した熱電性能評価用 Si-NW デバイスの上面模式図と断面図を Fig. 2 に、等価回路図を Fig. 3 に示す。この実験では、Si 部分のイオン注入量を変えた 4 種類のデバイスを作製した。まず、SOI 基板 (SOI 膜=120nm、BOX 層 (SiO<sub>2</sub>) = 145nm、Si 基板層=745μm) の Si 層を加工し、Si-Pad と Si-NW を形成した。次に、P<sup>+</sup>イオンを 4 水準 (7.0×10<sup>14</sup>、1.0×10<sup>15</sup>、2.0×10<sup>15</sup>、6.7×10<sup>15</sup> ions/cm<sup>2</sup>) で注入して N 型領域を形成した後、活性化のためアニール処理を行った。続いて層間絶縁層を成膜した後、W プラグを形成した。その後金属 (TiN/AlCu/TiN/Ti) を 300nm 成膜し、第 1 配線金属層を形成した。プラズマ CVD と CMP により、約 320nm の層間絶縁膜を形成した。via ホール形成後、HG 金属が位置する場所にさらに層間絶縁膜 100nm を選択的に形成し、HG および第 2 配線金属層として金属 (TiN/AlCu/TiN/Ti) を 500nm 成膜した。ただし Fig. 2 に示す熱電性能評価用 Si-NW デバイスは第一配線金属層を通電加熱するため、HG 及びそれに伴う層間絶縁膜は形成されない。最後に、Si 基板を XeF<sub>2</sub> ガスでドライエッチングし、Fig. 4 に示すように Si-NW と Al wiring heater の下に Cavity と呼ばれる空洞を形成した。この Cavity により、Si 基板への熱漏れが減少し、主に Si-NW に熱が伝達されることで、ゼーベック係数を精密に測定することができる。

ゼーベック係数の測定は以下の手順で行った。Fig. 2、Fig. 3 に示すように、熱電性能評価用 Si-NW デバイスは Al wiring heater (L=200μm、W=900nm) と Si-resistor (L=200μm、W=700nm) からなるブリッジ回路である。まず、ブリッジ回路を構成する Al wiring heater と Si-resistor の電気抵抗を測定する。次に、熱起電力測定用 Si-NW (L=50μm、W=100nm、200nm、500nm、1μm、2μm、5μm) の電気伝導率と熱起電力を測定した。Al wiring heater と Si-resistor はブリッジ回路を形成するため、Fig. 2、Fig. 3 中の α と γ が等電位となり、β-γ 間の起電力が Si-NW の熱起電力となる。測定時の Si-NW の高温側の温度は、直接接続した Al wiring heater の抵抗温度計から見積もった。

最後に集積型 TEG における Si-NW 部分の実際の温度差を測定した。上記で測定したゼーベック係数  $S$  と集積 TEG の開放電圧  $V$  から、ゼーベック効果の式  $V=SAT$  を用いて、Si-NW 部

分の温度差  $\Delta T$  を算出した。

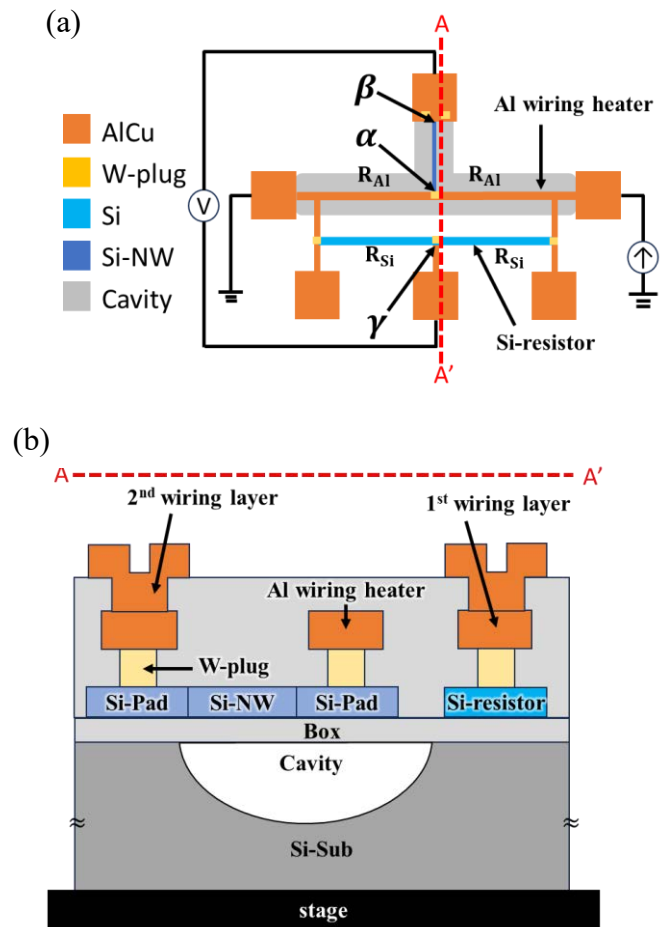


Fig. 2 (a) Top schematic and (b) A-A' cross-sectional view of the Si-NW device for TE performance evaluation.

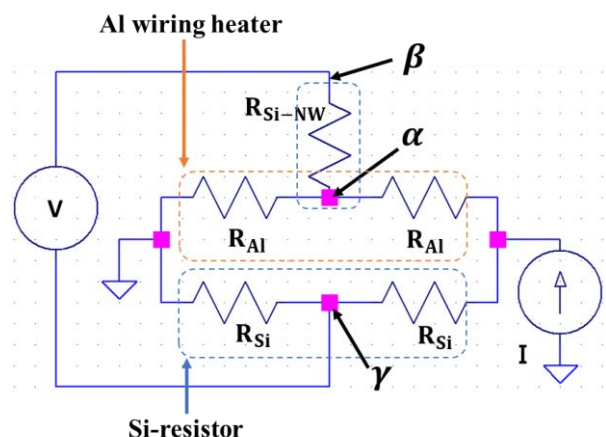


Fig. 3 Equivalent circuit diagram of the Si-NW device for TE performance evaluation.



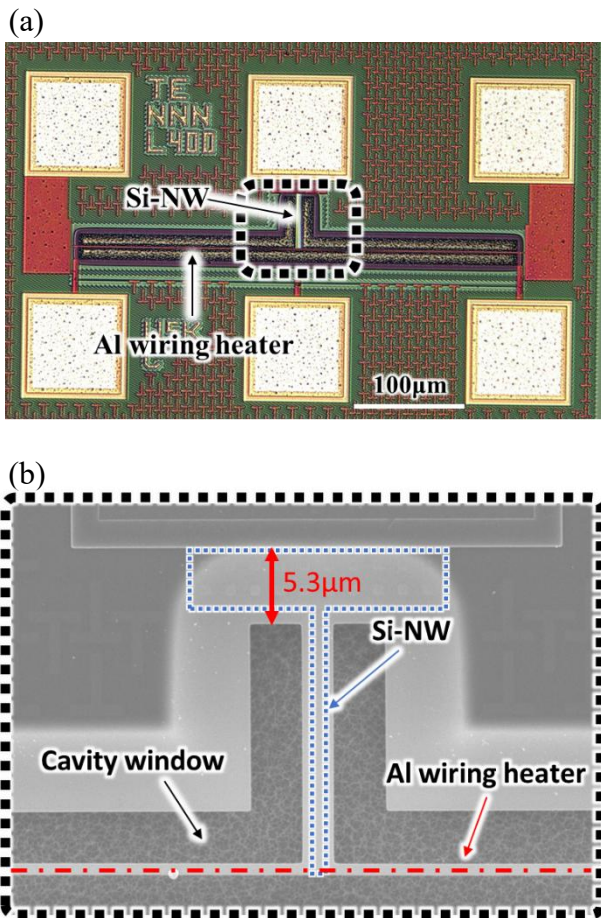


Fig. 4 (a) Microscopic and (b) SEM top view image of the TE parameter measurement device with cavity.

### 3. 結果および考察

ゼーベック係数は、Si-NW の熱起電圧から Si-NW 両端の温度差で割って求めた。Si-NW の高温側の温度は Al wiring heater の温度から推定し、反対側の温度は基板温度とした。Fig. 5 は、イオン注入量の異なる 4 水準のデバイスについて、電気伝導率と Si-NW 幅の関係を示したものである。Si-NW 幅が大きくなるにつれて、電気伝導率も大きくなった。同様の結果は Boukai ら<sup>[4]</sup> も報告しており、NW 幅の増加に伴う電気伝導率の増加は、量子閉じ込めが減少してバンドギャップが減少し、より多くのキャリアが伝導に寄与したと考察している。しかし、後述するように、本研究で観測された電気伝導率の増大は、NW 内の不純物の外方拡散量の低下によると考えた方が自然である。

Fig. 6 に、イオン注入量の異なるデバイスについて、ゼーベック係数と Si-NW 幅の関係を示す。イオン注入量が増加するにつれて、ゼーベック効果は減少した。本研究では、イオン注入以前に Si-NW 等を形成したため、Si-NW 幅が小

さいほどアニールによる活性化中の不純物の外方拡散が促進されていると考えられる。上述の電気伝導率の変化も、不純物濃度の違いで説明できる。不純物の外方拡散を抑制するには、イオン注入後に Si-NW を形成することが有効と考えられる。

次に、集積型 TEG 上部の HG を通電加熱し、HG と試料ステージの間に 1.9 K の温度差を印加して開放電圧を測定した。本研究で測定したゼーベック係数を用いて、Si-NW 部分の温度差  $\Delta T$  は Si-NW 長が 10、30、70  $\mu\text{m}$  の時、それぞれ 0.13、0.15、0.16 K であることがわかった。つまり Fig. 7 に示すように、Si-NW 部分にはデバイス全体に印加した温度差の約 6.8~8.5% しか印加していないことがわかった。Si-NW 両端の温度差  $\Delta T$  は、裏面研磨によって基板を薄くし、基板の熱抵抗を下げることでさらに向上させることができる<sup>[5]</sup>。

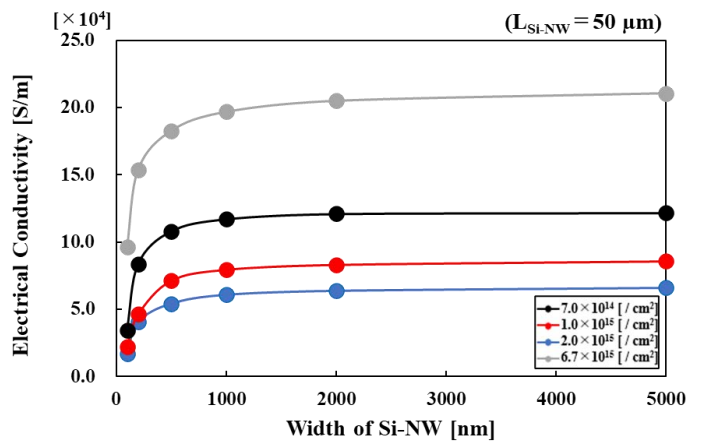


Fig. 5 Electrical conductivity dependence on the width of the Si-NW.

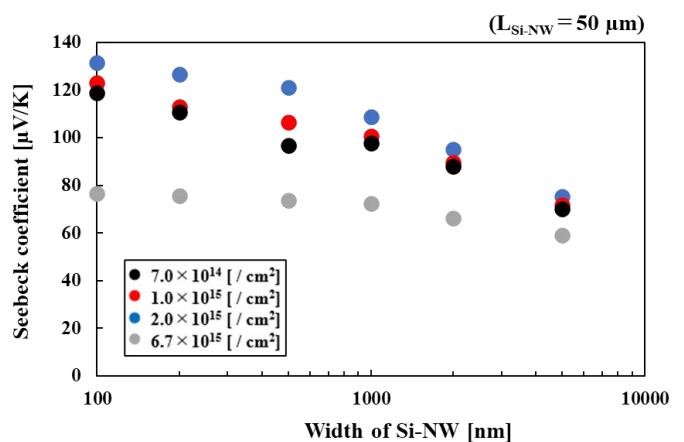


Fig. 6 Dependence of the Seebeck coefficient on the width of the Si-NW.



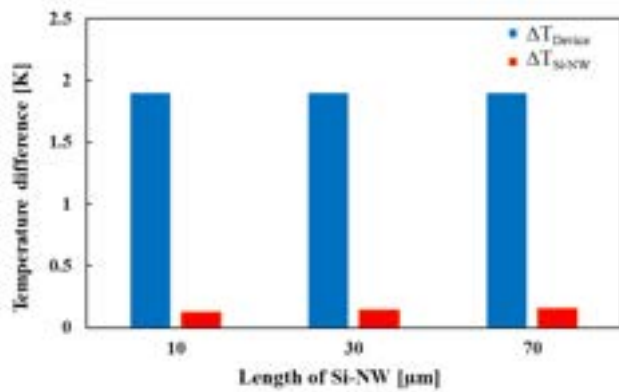


Fig. 7 Temperature difference across the Si-NWs and surfaces of the integrated TEG.  $\Delta T_{\text{Device}}$  denotes applied temperature difference between the top and bottom surfaces of the integrated TEG,  $\Delta T_{\text{Si-NW}}$  is the temperature difference across the Si-NWs.

#### 4. まとめ

Si-NW のゼーベック係数は、Si 基板に Cavity と呼ばれる空洞を設けたデバイスで精密に測定された。精密に測定されたゼーベック係数を用いると、集積型 TEG の発電部分である Si-NW の両端の温度差は、デバイスの上下面に印加し

た温度差の 6.8~8.5%程度に過ぎないことがわかった。熱電素子に印加する温度差を大きくするために、デバイス構造や材料を最適化することにより、発電性能を向上させる余地が大きいと言える<sup>[6]</sup>。

#### 【謝辞】

本研究は JST-CREST(JPMJCR19Q5) 、科研費(22H0150)の助成を受けた。また、測定方法を指導いただいた静岡大名誉教授の猪川洋先生に感謝いたします。

#### 参考文献

- [1] Hochbaum et al., Nature 451, 163 (2008).
- [2] A. Boukai et al., Nature, 451, 168 (2008).
- [3] T. Watanabe et al., IEEE EDTM Proc. Tech. Papers (2017) 86
- [4] A. I. Boukai, Y. Bunimovich, J. Tahir-Kheli, J.-K. Yu, W. A. Goddard, III, and J. R. Heath, Nature 451, 168 (2008).
- [5] S. Arai, T. Miura, M. M. H. Mahfuz, T. Matsuki, Y. Miyake, R. Arayama and T. Watanabe, Jpn. J. Appl. Phys. 63, SP38 (2024).
- [6] R. Arayama, T. Miura, M. M. H. Mahfuz, T. Matsuki and T. Watanabe, Jpn. J. Appl. Phys., JJAP-S1104181.R1 (2024) [Submitted]

# アルカリ金属で作製されるアモルファスSiO<sub>2</sub>薄膜エレクトレットの

## 第一原理計算による帯電状態評価

### Evaluation of the charged state of amorphous SiO<sub>2</sub> thin film electrets prepared with alkali metals by first-principles calculations.

桐越 大貴<sup>1</sup>, 大畑 慶記<sup>1</sup>, 洗平 昌晃<sup>1</sup>, 石黒 巧真<sup>2</sup>, 三屋 裕幸<sup>2</sup>, 年吉 洋<sup>3</sup>, 橋口 原<sup>4</sup>, 白石 賢二<sup>1</sup>

1 名古屋大学 〒464-8601 愛知県名古屋市千種区不老町

2 株式会社鷺宮製作所 〒169-0072 東京都新宿区大久保3丁目8-2

3 東京大学 〒153-8505 東京都目黒区駒場4-6-1

4 静岡大学 〒422-8529 静岡県静岡市駿河区大谷836

Taiki Kirikoshi<sup>1</sup>, Yoshiki Ohata<sup>1</sup>, Masaki Araidai<sup>1</sup>, Takuma Ishiguro<sup>2</sup>, Hiroyuki Mitsuya<sup>2</sup>, Hiroshi Toshiyoshi<sup>3</sup>, Gen Hashiguchi<sup>4</sup>, Kenji Shiraishi<sup>1</sup>

*1 Nagoya University, Furocho, Chikusa, Nagoya, Aichi 464-8601, Japan*

*2 SAGINOMIYA SEISAKUSHO, INC. 3-8-2 Okubo, Shinjuku, Tokyo 169-0072, Japan*

*3 The University of Tokyo, 4-6-1 Komaba, Meguro, Tokyo 153-8505, Japan*

*4 Shizuoka University, 836 Ohtani, Suruga, Shizuoka, Shizuoka 422-8529, Japan*

*e-mail: kirikoshi.taiki.d6@s.mail.nagoya-u.ac.jp*

#### **Abstract**

In recent years, energy harvesting technologies that capture unused forms of energy, such as heat, light, and vibration, and convert them into electrical energy is gaining significant attention. Among these, vibration-based power generation using potassium ion electrets is particularly promising for societal implementation as an autonomous power generation device, due to its ability to generate power with minimal environmental dependence. Potassium ion electrets are materials formed by covalent Si-O bonds, which have drawn attention for their stability as charging materials. These materials are created by inserting K atoms into amorphous SiO<sub>2</sub>, applying voltage at high temperature, and subsequently removing K<sup>+</sup> ions, resulting in the formation of a SiO<sub>5</sub> structure. This SiO<sub>5</sub> structure is known to be semi-permanently negatively charged. Our research group has confirmed, through theoretical calculations, that the SiO<sub>5</sub> structure is repeatedly formed in potassium ion electrets and that the accumulation of negative charges originates from this structure. However, the SiO<sub>5</sub> structure does not exhibit easily detectable characteristic properties, making its experimental observation challenging. Therefore, our research focused on the goal of experimentally confirming the SiO<sub>5</sub> structure. In this study, we present a detailed exploration of the SiO<sub>5</sub> structure's characteristic properties through first-principles calculations, followed by an experimental verification of its existence.

## 1. はじめに

近年、熱、光、振動など普段利用されないエネルギーを収集し、電気エネルギーとして有効活用するエネルギーハーベスティング技術が注目を集めている。特に、振動発電は、発電量が環境条件に左右されにくく、自律発電デバイスとしての社会実装が期待されている。

カリウムイオンエレクトレットは、Si-O 結合という共有結合で構成された材料であり、安定した帯電材料として注目を集めている。この材料は、アモルファス  $\text{SiO}_2$  に K 原子を挿入し、その後高温下で電圧を印加して  $\text{K}^+$  イオンを除去することでアモルファス  $\text{SiO}_2$  が負電荷を帯びることが特徴の材料である<sup>1)</sup>。我々の研究グループはこの負電荷の起源が  $\text{SiO}_5$  構造によるものだという可能性を理論計算で発見した<sup>2)</sup> (図 1)。我々の理論的な  $\text{SiO}_5$  構造の発見はカリウムイオンエレクトレットを用いた振動発電素子の研究開発を一気に加速させて、そしてついに、カリウムイオンエレクトレットを用いた振動発電素子は MEMS デバイスにおいて 2024 年 4 月に量産化され、次世代のエネルギーハーベスティング材料として期待されている<sup>3)</sup>。

我々の研究グループでは、カリウムイオンエ

レクトレット内の  $\text{SiO}_5$  構造が理論計算によって幾度も形成されることを確認しており、負電荷の蓄積起源が  $\text{SiO}_5$  構造にあることを裏付けてきた。しかしながら、 $\text{SiO}_5$  構造は実験的に容易に観察できる特徴的な性質を持っていない。この課題に対し、我々の研究グループは、実験による  $\text{SiO}_5$  構造の直接確認を目標に研究を進めてきた。

本研究では、第一原理計算を用いて  $\text{SiO}_5$  構造の特徴的な性質を探索するとともに、実験を通じた  $\text{SiO}_5$  構造の確認について議論する。

## 2. 計算手法

本研究の計算ではカリウムイオンエレクトレットの計算モデル(カリウム 1 原子、水素 1 原子、酸素 97 原子、ケイ素 48 原子)<sup>4)</sup>とアモルファス  $\text{SiO}_2$  モデル(酸素 96 原子、ケイ素 48 原子)を MD 計算と構造最適化計算を用いて作製し、カリウムイオンエレクトレットの計算モデル(図 1)とアモルファス  $\text{SiO}_2$  モデルを得た。その後、特徴的な構造の解析や電子状態密度を計算し、解析した。なお、計算プログラムには VASP<sup>5)</sup>を使用した。

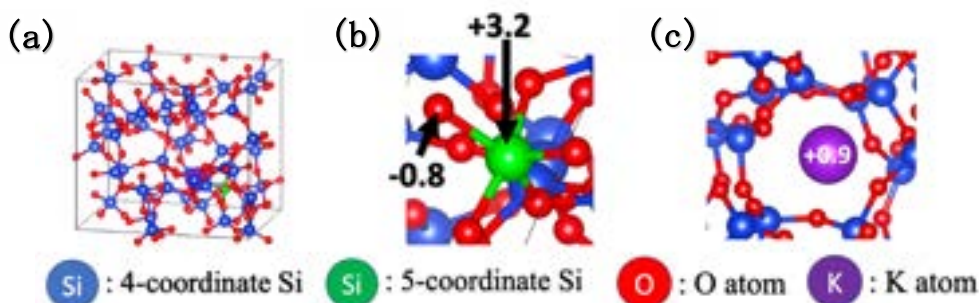


Fig.1: (a) depicts the potassium ion electret model, (b) highlights the  $\text{SiO}_5$  structure within the potassium ion electret model along with the charges of the Si and O atoms comprising the structure (unit: elementary charge), and (c) illustrates the potassium atom in the model and its charge.

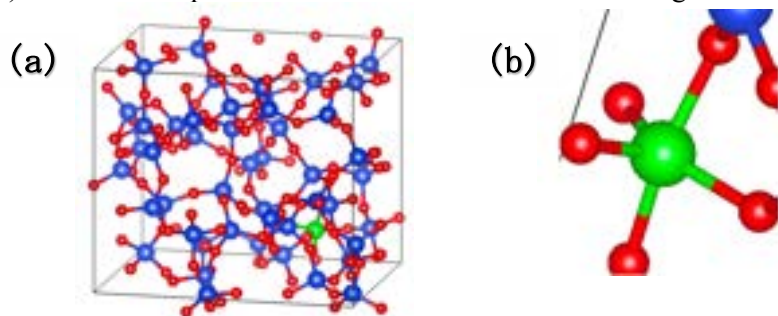


Fig.2: (a) shows a computational model of the potassium ion electret after voltage application, where blue spheres represent Si atoms, red spheres represent O atoms, and green spheres indicate Si atoms forming the  $\text{SiO}_5$  structure. (b) highlights the  $\text{SiO}_5$  structure in detail.

### 3. 結果および考察

図1に示したカリウムイオンエレクトレットモデルは、電圧印加によりカリウム原子を $\text{SiO}_2$ 薄膜から移動させる前の状態を表している。実際に薄膜が負に帯電するのは、電圧印加によってカリウムイオンを移動させた後である。電圧印加後にカリウムイオンが移動したことを想定したカリウムイオンエレクトレットモデルを図2に示す。図2から、カリウムイオンを除去した後でもカリウムイオンエレクトレットモデル内の $\text{SiO}_5$ 構造が維持されており、その構造が堅固であることが確認できる。

さらに、図3(a)(b)には、カリウムイオンエレクトレットモデルとアモルファス $\text{SiO}_2$ モデルそれぞれにおける全てのSi-O結合長を計算し、グラフとして示した。この図3の(a)と(b)を比較すると、カリウムイオンエレクトレットモデルでは他の結合と比べて5つほど結合長が大きくなっていることがわかる。これら5つの結合は、すべてカリウムイオンエレクトレットモデル内で $\text{SiO}_5$ 構造を形成しているSi-O結合である。この結合長の違いは、カリウムイオンエレクトレットの特徴的な構造として無視できない重要な要素である。

この $\text{SiO}_5$ 構造のSi-O結合長が引き伸ばされる原因として、酸素原子同士のクーロン反発が考えられる。通常の $\text{SiO}_2$ では、Si原子には4つの酸素原子が結合している。この場合、Siと酸素原子の電気陰性度の差により、酸素原子側に電子が多く供給され、酸素原子は負電荷を、Si原子は正電荷を帯びる。その結果、クーロン相互作用が最も安定となる距離で結合が形成される。しかし、カリウムイオンエレクトレットでは、Si原子に5つの酸素原子が結合する。そのため、 $\text{SiO}_5$ 構造のSi原子周辺では酸素原子の密度が高くなり、酸素原子間のクーロン反発が増加する。このクーロン反発によるエネルギーバランスを整えるため、Si-O結合長が長くなると考えられる。

次に、アモルファス $\text{SiO}_2$ モデルとカリウムイオンエレクトレットモデルの電子状態密度計算の結果を図4に示す。価電子帯上端の状態密度に注目すると、カリウムイオンエレクトレットモデルの状態密度が0.3~1.3eVほど上方へ遷移していることが確認できる。この上方遷移には、 $\text{SiO}_5$ 構造由来の酸素原子が寄与していることも明らかになった。

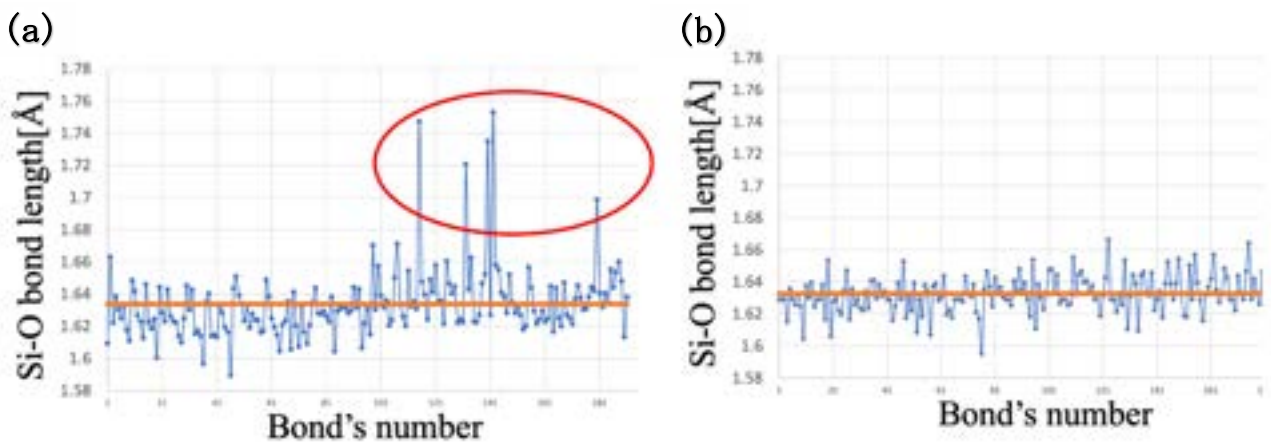


Fig.3: (a) is a graph showing the bond lengths of all Si-O bonds in the potassium ion electret model. (b) presents a similar graph for amorphous $\text{SiO}_2$ . The horizontal axis represents the bond number, which identifies each bond, while the vertical axis shows the bond length. The five bonds within the red frame in graph (a) correspond to the Si-O bonds forming the  $\text{SiO}_5$  structure. The orange line represents the average bond length, which is 1.63 Å in both graphs (a) and (b).



このカリウムイオンエレクトレットモデルの価電子帯上端の状態の波動関数を図5に示す。図5から、この特徴的な電子状態を形成しているのは、 $\text{SiO}_5$  構造由来の酸素原子のローンペアであることがわかる。通常のアモルファス  $\text{SiO}_2$  においても、価電子帯上端の電子状態は酸素原子のローンペアによって構成されている。したがって、図4および図5より、カリウムイオンエレクトレットを構成する酸素原子のローンペアの準位が何らかの影響で価電子帯の最上端まで遷移したと考えられる。

この上方遷移の原因として、 $\text{SiO}_5$  構造由来の Si-O 結合長が挙げられる。図3から、 $\text{SiO}_5$  構造由来の Si-O 結合長の平均は  $1.73 \text{ \AA}$  であり、それ以外の Si-O 結合の平均は  $1.63 \text{ \AA}$  (実験値と一致) である。平均の差は  $0.1 \text{ \AA}$  となる。また、Bader Charge 解析により、Si の帯電量は  $+3.2e$ 、酸素の帯電量は  $-1.6e$  である。この結合長の差と帯電量を用いて、Si が作る電位内での酸素原子のクーロンポテンシャルの差を計算した結果、 $0.67 \text{ eV}$  となり、これが電子状態密度の上方遷移のエネルギー差に相当する。したがって、カリウムイオンエレクトレットモデルの電子状態密度の価電子帯上端の状態の上方遷移は、Si-O 結合長の増加による酸素原子のローンペアのクーロンポテンシャルの増加によって引き起こされていると考えられる。

また、この第一原理計算の結果を踏まえ、XPS 測定でカリウムイオンエレクトレットの電子の束縛エネルギーを測定した結果を図6に示す。図6の価電子帯上端に注目すると、カリウムイオンエレクトレットと通常のアモルファス  $\text{SiO}_2$  では明らかな差異が見られた。この差異の原因として、二つの可能性が考えられる。一つは  $\text{SiO}_5$  構造由来の価電子帯上端の状態密度の差異であり、もう一つはカリウムの存在による影響である。カリウムイオンエレクトレットと通常のアモルファス  $\text{SiO}_2$  との違いとして、 $\text{SiO}_5$  構造の有無以外にも微小に存在するカリウムの影響が考えられる。そこで、カリウムが系に存在している時のカリウムイオンエレクトレットモデルでも電子状態密度を計算した (図7)。図7から、カリウムは価電子帯上端および価電子帯の酸素原子のローンペアの準位付近には状態を持たないことがわかる。したがって、XPS 測定で見られた価電子帯上端の束縛エネルギーの差異は、 $\text{SiO}_5$  構造由来の状態密度の変化による差異であると考えられる。また、束縛エネルギーの違いが見られるエネルギー帯は価電子帯から約  $1\text{eV}$  ほど上方の位置であり、これは状態密度の上方遷移の値と一致しており、この可能性を後押しする結果となっている。この結果を踏まえ、さらなる実験的検証を行い、 $\text{SiO}_5$  構造の存在を確かめる必要がある。

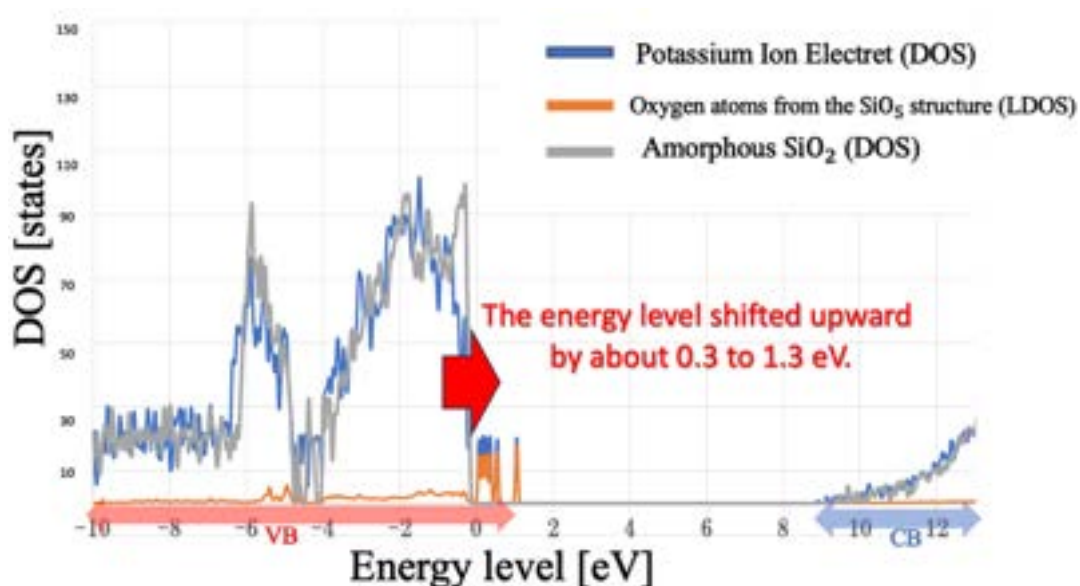


Fig.4: This graph shows the electronic density of states for the computational model. The blue line represents the potassium ion electret, while the gray line corresponds to amorphous  $\text{SiO}_2$ . The orange line indicates the local density of states for the oxygen atoms forming the  $\text{SiO}_5$  structure.



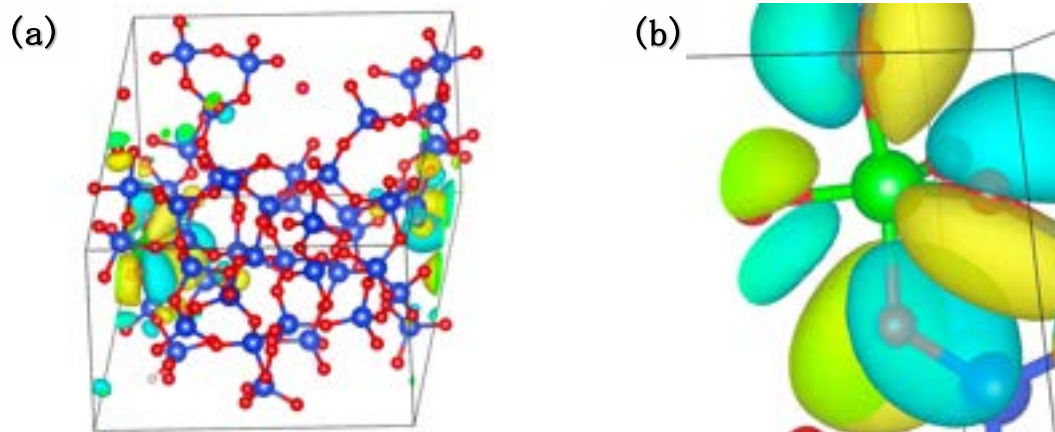


Fig.5: (a) is a visualization of the wave function of the top state of the valence band of the potassium ion electret model. We can see that the wavefunction is localized around the  $\text{SiO}_5$  structure. (b) is a visualization of the wave function of the top state of the valence band when focusing on the  $\text{SiO}_5$  structure. This figure represents a lone pair of oxygen atoms.

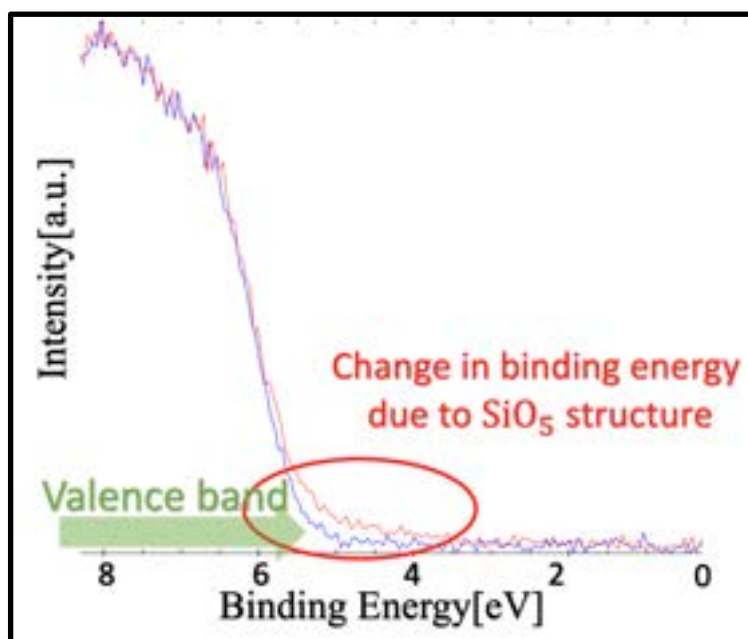


Fig.6: This graph presents the binding energy of electrons at the top of the valence band for both amorphous  $\text{SiO}_2$  and potassium ion electret. The red line represents the binding energy of the potassium ion electret, while the blue line corresponds to that of amorphous  $\text{SiO}_2$ . The red frame highlights the change in binding energy caused by the  $\text{SiO}_5$  structure.

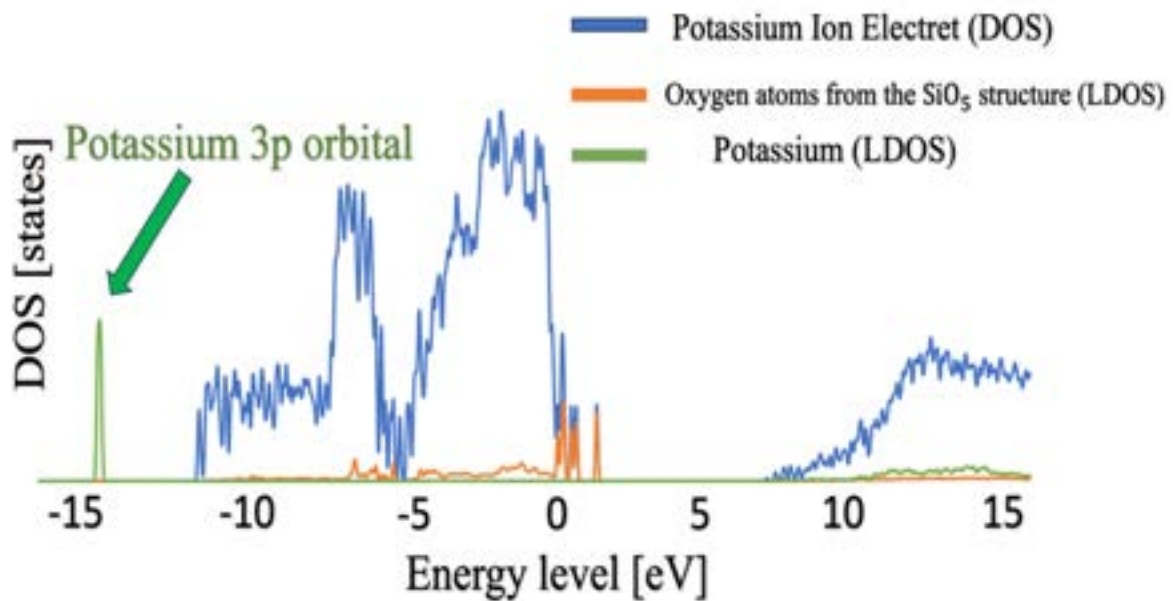


Fig.7: A graph showing the electronic density of states for a potassium ion electret model that includes potassium. The density of states corresponding to potassium does not appear at the top of the valence band.

#### 4. まとめ

カリウムイオンエレクトレットにおける負電荷の蓄積の起源である  $\text{SiO}_5$  構造の検出は、振動発電デバイスの信頼性を確立するために非常に重要な課題であった。これまではこの構造を実験的に直接観察することは難しく、その存在を証明する方法が求められていた。しかし、今回の研究により、 $\text{SiO}_5$  構造の特徴が明らかとなり、実験的検出の可能性を示すことができた。また、XPS 測定では理論計算の結果とよく一致

する結果を得ることができ  $\text{SiO}_5$  構造の存在の可能性が高まった。この  $\text{SiO}_5$  構造の存在をより確実に証明するためには更なる実験的検証を行う必要がある。更なる実験により  $\text{SiO}_5$  構造の存在が検出されれば、カリウムイオンエレクトレットを利用したデバイスの性能と信頼性が大きく向上することが期待される。また、カリウムイオンエレクトレット材料が持つ特異な帯電特性とその安定性に関する新たな理解を提供し、エナジーハーベスティング技術における新たな進展を可能にする重要な一歩となる。

#### 謝辞

本研究は JST-CREST (JPMJCR15Q4 と JPMJCR19Q2) の支援を受けて行われた。

#### 参考文献

- [1] G. Hashiguchi et al., AIP Advance, **6**, 035004 (2016).
- [2] T. Nakanishi et al., Appl. Phys. Lett. **117**, 193902 (2020).
- [3] H. Honma et al, J. Micromech. Microeng. **28** 064005 (2018)
- [4] Y. Ohata et al. Jpn. J. Appl. Phys. **61**, SH1013 (2022).
- [5] G. Kresse and D. Joubert, Phys. Rev. B **59**, 1758 (1999).

# CMOS イメージセンサの特性向上に寄与する新たな機能性シリコンウェーハの研究

## Study on new functional silicon wafers with reduction effect on interface state density for CMOS image sensors

奥山 亮輔<sup>1</sup>

1 株式会社 SUMCO 〒849-4256 佐賀県伊万里市山代町久原 1-52  
Ryosuke Okuyama<sup>1</sup>

1 SUMCO Corporation, 1-52 Kubara, Yamashiro-cho, Imari, Saga 849-4256, Japan  
Tel: + 81-955-20-2298, Fax: + 81-955-20-2294 (e-mail:rokuyama@sumcosi.com)

### Abstract

The trapping and diffusion behavior of hydrogen in the implanted region of a hydrocarbon-molecular ion was investigated by secondary ion mass spectrometry (SIMS) for advanced CMOS image sensors. The hydrogen diffusion behavior contributes to passivating the interface state density of isolation region during the CMOS image sensor fabrication process. This study clarified the hydrogen diffusion behavior after heat treatment. We derived the dissociation activation energy from the implanted region of a hydrocarbon-molecular ion, assuming a dissociation reaction. The activation energy was obtained  $0.76 \pm 0.04$  eV. This activation energy is extremely close to that for C-H<sub>2</sub> binding energy. We consider that hydrogen forms a binding state with a carbon and silicon self-interstitial cluster (C/I cluster). Consequently, hydrogen in the implanted region of a hydrocarbon-molecular-ion forms a binding state with the C-H<sub>2</sub> binding state.

### 1. はじめに

幅広い分野で撮像用デバイスとして使用されている CMOS イメージセンサは一眼レフカメラやスマートフォンだけでなく、車載、監視用といった幅広い分野に応用されている。CMOS イメージセンサに高性能化のための改善すべき技術課題として、重金属汚染に起因した白キズ欠陥や暗電流の低減<sup>1-3</sup>、シリコン基板からデバイスの活性層に外方拡散し、酸素起因の欠陥による残像特性の劣化の改善<sup>4</sup>、および Deep Trench Isolation などの素子分離領域の界面欠陥準位 ( $D_{it}$ ) によるリーク電流の低減が求められている<sup>5,6</sup>。これら CMOS イメージセンサの電气的特性改善のため、我々は炭化水素化合

物をソースガスとした分子イオン注入を用いた近接ゲッタリングエピタキシャルウェーハの開発をおこなってきた<sup>7-12</sup>。この炭化水素分子イオン注入エピタキシャルウェーハは上述した CMOS イメージセンサの技術課題の改善に有用な三つの特長を有している。第一に、重金属不純物に対する高いゲッタリング能力<sup>7-10</sup>。第二に、酸素不純物に対する拡散抑制効果<sup>7-10</sup>。第三は、炭化水素分子イオンに含まれる水素を炭化水素分子イオン注入領域が捕獲し、追加熱処理時に水素を再放出するという三つの特長である<sup>11-13</sup>。これら三つの特長の中で、水素を一度捕獲し再放出するという特長は従来のシリコンウェーハにはない機能であり、炭化水素分子イオン注入エピタキシャルウェーハのユ

ニークな特長の一つである。

さらに近年 CMOS イメージセンサに採用されている三次元積層構造では多層配線層が形成されることから、 $D_{it}$  低減のための水素フォーミングガスアニーリング (FGA)において、水素原子の大部分が配線層にトラップされるために、 $D_{it}$  に対する水素終端効果 (水素パッシベーション効果) が不十分となることが懸念されている<sup>6)</sup>。本研究では炭化水素分子イオン注入領域が水素を捕獲し、さらに追加熱処理時に捕獲された水素が拡散することによって界面準位密度が低減可能であることを明らかとした。このような手法はこれまでに報告事例がなく、シリコンウェーハに新たな付加価値を付与できる可能性を見出した研究である。

## 2. 実験条件

n 型 Si (100)基板に炭素水素分子イオンとして、 $C_3H_5$  を室温にて注入した。ドーズ量は  $1.67 \times 10^{14} - 3.33 \times 10^{14}$  molecular ion/cm<sup>2</sup> とした。注入エネルギーは 80 keV/molecular ion とした。 $C_3H_5$  注入後に 5.0  $\mu m$  のエピタキシャル成長をおこない、さらに  $C_3H_5$  注入領域の水素拡散挙動評価の熱処理条件として、400 °C から 1100 °C、5 min から 360 min の熱処理をおこなった。 $C_3H_5$  注入領域の水素の深さ方向の濃度プロファイルは Secondary Ion Mass Spectroscopy (SIMS) によって評価した。

## 3. 結果および考察

### 3. 1 $C_3H_5$ 注入領域の水素熱処理拡散挙動

Fig.1 は  $C_3H_5$  を分子イオンドーズ量  $1.67 - 3.30 \times 10^{14}$  molecular ion/cm<sup>2</sup> 条件にて注入した後にエピタキシャル成長をおこなったサンプルの SIMS プロファイルを示している。ドーズ量  $1.67 - 3.3 \times 10^{14}$  molecular/cm<sup>2</sup> 条件に対して、それ

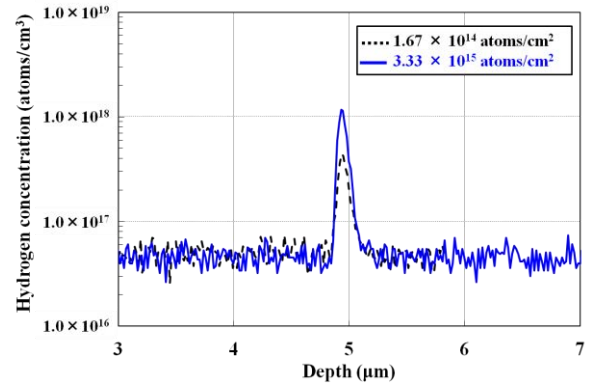


Fig. 1 SIMS profile of hydrogen after epitaxial growth with  $C_3H_5$  dose of  $1.67 \times 10^{14}$  and  $3.3 \times 10^{14}$  atoms/cm<sup>2</sup>.

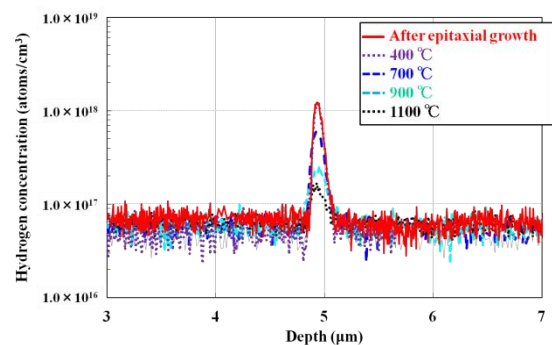


Fig. 2 SIMS profile of hydrogen after heat treatment at 400, 700, 900 and 1100 °C.

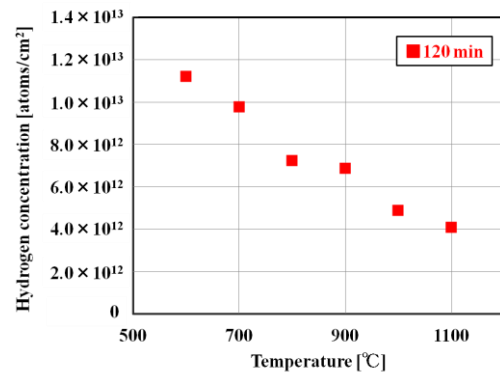


Fig. 3 Plot of integral values in 1.0  $\mu m$  region around hydrogen peak after heat treatment from 600 to 1100 °C for 120 min.

ぞれピーク濃度  $4.8 \times 10^{17}$ ,  $1.2 \times 10^{18}$  atoms/cm<sup>3</sup> の水素プロファイルが観察された。エピタキシャル成長温度は 1100 °C の高温であるが、水素が注入領域中に捕獲されていることがわかる。次に、エピタキシャル成長後サンプルに対する熱処理後の水素拡散挙動の評価をおこなった。Fig.2 は 400 °C から 1100 °C までの 30

min の熱処理後の水素の SIMS プロファイルを示している。水素ピーク濃度は熱処理温度に依存して減少している。しかしながら、1100 °C の熱処理後も水素ピークが確認された。Si 中における水素の拡散速度は極めて速く、1100°C の高温熱処理後に今回の様に水素が高濃度に捕獲されていることが過去に報告された例はない。この結果から、C<sub>3</sub>H<sub>5</sub> 注入領域は水素に対する高い捕獲能力を示すことが明らかとなった。また、拡散した水素は界面準位欠陥のパッシベーションに寄与することが推察される。そのため、界面準位密度との比較のために拡散した水素濃度を算出した。Fig.3 は 600 °C から 1100 °C、120 min 熱処理後の水素のピーク深さ前後 1.0 μm 領域の水素濃度の積分値をプロットしたものである。その結果から、初期水素濃度と熱処理後の水素濃度の差分から拡散した水素濃度を算出した。拡散した水素濃度はおよそ  $1.0 \times 10^{12}$  atoms/cm<sup>2</sup> から  $9.0 \times 10^{12}$  atoms/cm<sup>2</sup> であった。一方、Si(100)/SiO<sub>2</sub> の界面準位密度はおよそ  $1.0 \times 10^{10}$  atoms/cm<sup>2</sup> から  $1.0 \times 10^{11}$  atoms/cm<sup>2</sup> である<sup>14)</sup>。拡散した水素濃度の方が界面準位密度より大きいことから、D<sub>it</sub> 低減のために十分な水素濃度が拡散している結果となった。

次に、C<sub>3</sub>H<sub>5</sub> 注入領域中に捕獲されている水素の結合状態を解析するために、注入領域からの水素の脱離活性化エネルギーの導出を試みた。水素 (H) が注入欠陥 (後述する式で D と仮定した) から脱離する 1 次反応式(1)を仮定した。HD は注入領域中に捕獲された水素を示し、k<sub>1</sub> と k<sub>2</sub> はそれぞれ脱離、吸着反応の反応速度定数である。1 次反応式(1)の反応速度式は(2)式となる。ここで、シリコン中における水素の拡散速度が速いことから、一度脱離した水素が注入欠陥に吸着される逆反応の頻度は極めて小さい (k<sub>1</sub> >> k<sub>2</sub>) と仮定した。そのため、反応速度式

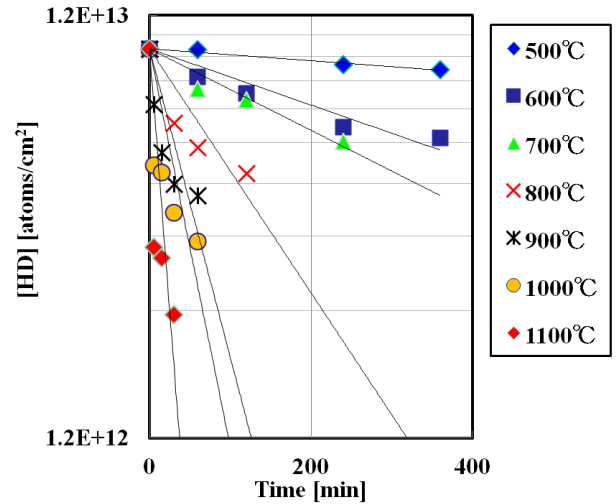


Fig. 4 Plots of logarithm of H concentration on vertical axis and heat-treatment time on horizontal axis.

(2)は式(3)として記述される。反応速度式(3)から熱処理後水素濃度を[HD]、初期水素濃度を[HD]<sub>0</sub>とすると式(4)を得ることができる。t は熱処理時間である。



$$\frac{d[\text{HD}]}{dt} = -k_1[\text{HD}] + k_2[\text{H}][\text{D}] \quad (2)$$

$$\frac{d[\text{HD}]}{dt} = -k_1[\text{HD}] \quad (3)$$

$$[\text{HD}] = [\text{HD}]_0 e^{-k_1 t} \quad (4)$$

[HD]は SIMS 分析によって得られる水素濃度であり、[HD]<sub>0</sub> はエピタキシャル成長直後の注入領域の水素濃度である。さらに式(4)の対数をとると式(5)となる。

$$\ln[\text{HD}] = \ln[\text{HD}]_0 - k_1 t \quad (5)$$

Fig.4 は 500 °C から 1100 °C まで 100 °C 毎の熱処理後の水素濃度を熱処理時間に対して片対数グラフに示したものである。水素濃度が熱処理時間に依存して減少し、かつ線形性を持つことが確認された。そのため、仮定した脱離の



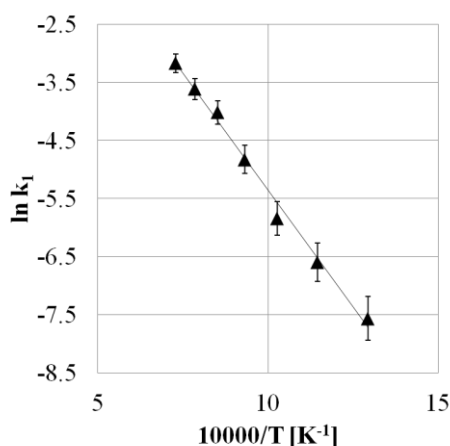


Fig. 5 Arrhenius plot of reaction rate constant  $k_1$ .

みの1次反応モデルによって水素拡散挙動が表現できると考える。反応速度定数  $k_1$  は Fig.4 の各温度条件に対するプロットの傾きから算出した。反応速度定数の誤差は $\pm 5\%$ であった。Fig.5 は Fig.4 から得られた反応速度定数のアレニウスプロットを示したものである。その結果、脱離活性化エネルギーとして  $0.76 \pm 0.04$  eV が見積もられた。

### 3. 2 C<sub>3</sub>H<sub>5</sub> 注入領域中の水素脱離メカニズム

C<sub>3</sub>H<sub>5</sub> 注入領域中の水素の結合状態として、C<sub>3</sub>H<sub>5</sub> 注入領域中の炭素によって水素が捕獲されている結合状態が考えられる。過去の研究では、炭素ドーピングシリコン中の炭素により水素ペア(H<sub>2</sub>)が捕獲されることが Hourahine らにより報告されている<sup>15)</sup>。また、彼らはH<sub>2</sub>と炭素によるC-H<sub>2</sub>欠陥の結合エネルギーがおよそ0.8 eVであることを報告している。この値は導出された脱離活性化エネルギーと近い値であることから注入領域においてもC-H<sub>2</sub>結合状態が形成されている可能性が高いことが推察できる。しかしながら、C-H<sub>2</sub>欠陥の結合エネルギー解析は900℃までの熱処理条件による報告である<sup>15,16)</sup>。炭素クラスター注入領域中の水素は

1100℃の高温熱処理後も高濃度に捕獲されていることから、C-H<sub>2</sub>結合が形成されている状態は従来の報告とは異なっている結合状態が考えられる。その状態としては、注入領域中の炭素が複合体を形成しており、その複合体が高温熱処理時の水素拡散挙動に関係していると推察している。シリコン中の炭素の複合体の形成に関しては、Pinacho らが炭素と格子間シリコン(I: Interstitial Si)の複合体(C/I クラスター)が炭素リッチなシリコン中に形成されることを報告している<sup>17)</sup>。C<sub>3</sub>H<sub>5</sub>注入領域では急峻かつ高濃度な炭素ピークが形成されており、C<sub>3</sub>H<sub>5</sub>の注入時には格子間シリコンも生成されることから、C/I クラスターが注入領域中には形成される可能性は高いと考えられる。このC/Iクラスターと水素が結合状態を形成することによって、C<sub>3</sub>H<sub>5</sub>注入領域では高温熱処理時も水素が捕獲され、かつ熱処理時に水素が再放出される拡散挙動が起きていると考えられる。

### 4. まとめ

水素を含んだ炭化水素分子イオン注入をおこなうことにより、エピタキシャル成長後も注入領域に水素が捕獲されることを見出した。また捕獲された水素は追加熱処理によって炭化水素分子イオン注入領域からの再放出挙動を示した。拡散する水素濃度は界面準位欠陥密度よりも十分に高い濃度であり界面準位へのパッシベーション効果が期待できる結果を得た。さらに、注入領域からの水素の脱離活性化エネルギーとして  $0.76 \pm 0.04$  eV の値が得られた。この値は、過去の研究結果からC-H<sub>2</sub>結合エネルギーと近い値であり、炭化水素分子イオン注入領域中の炭素の複合体であるC/Iクラスターと、C-H<sub>2</sub>結合状態を形成していると解釈した。この特徴的な水素拡散挙動はシリ

コンウェーハにおける新たな機能を提供するものであり、CMOS イメージセンサの更なる高性能化への寄与が期待できる。

#### 謝辞

本研究を遂行するにあたり、研究・開発活動に日頃から多大なるご支援とご理解を頂いている技術本部ならびに生産本部の関係各位に深くお礼申し上げます。

#### 参考文献

- [1] H. Takahashi, CMOS Image Sensor (Corona, Tokyo, 2012) Chap. 3, p. 123 (in Japanese).
- [2] H. I. Kwon, I. M. Kang, B. -G. Park, J. D. Lee, and S. S. Park, IEEE Trans. Electron Devies 51, 178 (2004).
- [3] F. Russo, G. Moccia, G. Nardone, R. Alfonsetti, G. Polsinelli, A. D'Angelo, A. Patacchioila, M. Liverani, P. Pianezza, T. Lippa, M. Carlini, M. L. Polignano, I. Mica, E. Cazzini, M. Ceresoli, and D. Codegoni, Solid-State Electron. 91, 91 (2014)
- [4] A. Ohtani and T. Kaneda, Ext. Abstr. 77th Autumn Meet. Japan Society of Applied Physics and Related Societies, 2016, 14p-P6-11 (in Japanese).
- [5] K. Ohyu, Dr. Thesis, Faculty of Engineering, University of Tokyo, Tokyo (1997) (in Japanese).
- [6] J.-P. Carrere, S. Place, J.-P Oddou, D. Benoit, and F. Roy, IEEE Int. Reliability Physics Symp. (IRPS), (2014), 3C.1.1.
- [7] K. Kurita, T. Kadono, R. Okuyama, R. Hirose, A. Onaka-Masada, Y. Koga, and H. Okuda, Jpn. J. Appl. Phys. 55, 121301 (2016).
- [8] K. Kurita, T. Kadono, R. Okuyama, S. Shigematsu, R. Hirose, A. Onaka-Masada, Y. Koga, and H. Okuda, Phys. Status Solidi A 214, 1700216 (2017).
- [9] R. Okuyama, A. Masada, T. Kadono, R. Hirose, Y. Koga, H. Okuda, and K. Kurita, Proc. 18th Scientific Int. Symp. SIMS and Related Techniques Based on Ion-Solid Interactions, 2016, p. 20.
- [10] A. Onaka-Masada, T. Nakai, R. Okuyama, H. Okuda, T. Kadono, R. Hirose, Y. Koga, K. Kurita, and K. Sueoka, Jpn. J. Appl. Phys. 57, 021304 (2018).
- [11] R. Okuyama, A. Masada, T. Kadono, R. Hirose, Y. Koga, H. Okuda, and K. Kurita, Jpn. J. Appl. Phys. 56, 025601 (2017).
- [12] R. Okuyama, S. Shigematsu, R. Hirose, A. Masada, T. Kadono, Y. Koga, H. Okuda, and K. Kurita, Phys. Status Solidi C 14, 1700036 (2017).
- [13] T. Yamaguchi, 145th JSPS Committee on Processing and Characterizations of Crystals, 153th Sminar, 2017, p. 20 (in Japanese).
- [14] S. M. Sze, semiconductor Devices, Physics and Technology, 2nd Ed. (John Willey & Sons, 2002), p.182. (Chapter 6).
- [15] B. Hourahine, R. Jones, S. Oberg, P. R. Briddon, V. P. Markevich, R. C. Newman, J. Hermansson, M. Kleverman, J. L. Lindstrom, L. I. Murin, N. Fukata, and M. Suezawa, Physica B 308-310, 249 (2001).
- [16] A. L. Endros, W. Kruhler, and F. Koch, J. Appl. Phys. 72, 2264 (1992).
- [17] R. Pinacho, P. Castrillo, M. Jaraiz, I. Martin-Bragado, J. Barbolla, H.-J. Gossmann, G.-H. Glimmer, and J. L. Benton, J. Appl. Phys. 92, 1582 (2002).

# シリコン酸化膜のための ReaxFF 開発と原子レベルプロセス評価

## Development of ReaxFF and the atomic level simulation for the silicon oxidation

野秋 淳一<sup>1</sup> 沼沢 聡志<sup>1</sup> Jeon Joohyun<sup>2</sup> 河内 峻太郎<sup>1</sup>

1 日本サムスン株式会社 Samsung デバイスソリューションズ研究所  
〒220-0011 神奈川県横浜市西区高島一丁目 1-2

Junichi Noaki<sup>1</sup>, Satoshi Numazawa<sup>1</sup>, Jeon Joohyun<sup>2</sup>, Shuntaro Kochi<sup>1</sup>  
1 Samsung Japan Corp., 1-1-2, Takashima, Nishi-ku, Yokohama-shi, Kanagawa, Japan

2 CSE Team, SAMSUNG ELECTRONICS, Hwaseong-si, Gyeonggi-do 18448, Korea

Tel: + 81-80-1341-5337 (e-mail: j.noaki@samsung.com)

### Abstract

We developed the Si/O/H reactive force field parameter set and applied to silicon dry/wet oxidation process to understand the underlying physics of the thermal oxidation of the Si(100) surface. Using the experimental data of the volumes of the SiO<sub>2</sub> crystal as a reference, we reproduce the result over the temperature range of 300–1300 K. In the MD simulation after the extension to the Si/O/H tuning, a significant acceleration of the oxide film growth seen in the ‘in-situ-steam-generation (ISSG)’ is successfully represented. These properties of our model imply its applicability in wider scope. Investigating the configuration of atoms near the interface of the SiO<sub>2</sub> film, we find our model allows us to study the role of hydrogen atoms.

### 1. はじめに

半導体製品の微細化に伴い、製造プロセスに関わる現象を原子スケールで高精度に解析できるフレームワークへの需要が高まっている。特に分子動力学(MD)シミュレーションは各構成原子の運動方程式を解いて時間発展を追跡するため、原子レベルで機構を理解するうえで重要な指針を得ることが期待できる。各時刻における原子間相互作用は原子配置から想定されるポテンシャルエネルギーを通じて評価されるので、シミュレーションの信頼性はポテンシャル関数の性能によって決まる。結合が遷移する化学反応を取り扱うシミュレーションには原子間の結合次数を連続的に扱うタイプが用いられ、反応力場 (reactive force field=ReaxFF) モデル[1,2]はその代表格である。そこではターゲット系を構成する各元素および相互作用の組み合わせ毎にパラメータを決定する作業が焦点になる。なお、近年ニューラルネットワークによるポテンシャルを機械学習するアプロ

ーチが盛んな研究対象となっている[3]。しかし大きな計算負荷やエネルギー評価がブラックボックスであることなど、適用の課題がある。今後の取り組みによってこの状況が打開されることが期待される。

今回我々はシリコンの初期酸化膜形成に関する MD シミュレーションのため、Si/O/H 系の ReaxFF パラメータセットを開発した。酸化膜の品質は製品の寿命や信頼性に直結する。膜の形成スピードや欠陥の生じ方、水素原子の役割りなどを原子レベルで理解することを目指し、製造プロセスを定性的に再現するモデルを構築した。次節よりその内容を説明し、実際のシミュレーション結果について先行研究と比較する形で議論する。なお、より詳細な説明・議論および参考文献については文献[4]を参照されたい。

### 2. パラメータ決定と熱酸化シミュレーション

量子化学計算を反映したエネルギーを構築

Table 1. List of the training data on molecules with evaluated DFT scans (bond/angle/torsion).

System	Molecule	Interaction (scan)
O/H	H <sub>2</sub> , O <sub>2</sub> , OH	H-H, O-O, H-O
	H <sub>2</sub> O	H-O, H-O-H
	H <sub>2</sub> O <sub>2</sub>	O-O, H-O, O-O-H, H-O-O-H
Si/H	SiH <sub>4</sub>	H-Si, H-Si-H
	Si <sub>2</sub> H <sub>6</sub>	H-Si, H-Si-H, H-Si-Si
Si/O/H	Si(OH) <sub>4</sub>	Si-O-H, H-Si-O, O-Si-O
	SiH(OH) <sub>3</sub>	H-Si-O
	SiH <sub>2</sub> (OH) <sub>2</sub>	O-Si, H-Si-H, O-Si-O
	SiH <sub>3</sub> OH	H-Si, O-Si

する標準的な手法は、密度汎関数法 (DFT) による計算結果を訓練データとして用意し、これを再現するようにパラメータを調整することである。*i* 番目の原子配位に対応するエネルギーを DFT と MD で計算し、その差  $E_{\text{DFT}}^{(i)} - E_{\text{MD}}^{(i)}$  の二乗和を最小にするパラメータを探索する。MD 計算には LAMMPS [5] を用いた。

二元素系(O/H, Si/H および Si/O)のパラメータ調整を行った後、これらを三元素系(Si/O/H)に統合した。Table 1 に分子上の訓練データと各々で扱う相互作用をまとめている。これらの DFT 計算には GAUSSIAN16 [6] (B3LYP/6-31+G(3df, 2p)) を用いた。二元素系のうち O/H と Si/H については勾配法による局所的最小値探索を中心に調整を行った。

他方 Si/O の調整には SiO<sub>2</sub> 結晶の性質の情報を取り入れた。既存の文献パラメータ[7-10]を初期値とし、訓練データとして3つの相( $\alpha$  石英,  $\beta$  石英, トリディマイト、それぞれ 72, 72, 96 原子)に相当する構造データを、密度を変えて計 47 個用意した。DFT 計算には VASP [11] を使用した。大域的なパラメータ探索のため“Rotation-invariant Particle Swarm Optimization with Gaussian Mutation (RiPSOGM)”[12]と呼ばれる粒子群最適化の変種を採用した。

Si/O 系ではこの最適化で得られたパラメータの性能を構造データの最適化前後でのエネルギー安定性と 300-1300 K における熱膨張係数の再現性(30,375 原子の構造データによる)によって評価した。調整を加え RiPSOGM を適宜実行して得られた結果を Fig. 1 (DFT との比較)

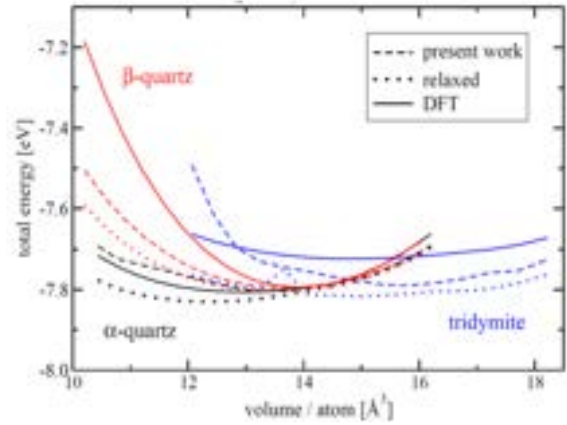


Fig. 1 Comparison of the total energy of the SiO<sub>2</sub> crystal structure data between DFT (solid lines) and MD (dashed and dotted lines before and after the relaxation, respectively). Different colors correspond to different crystal structure.

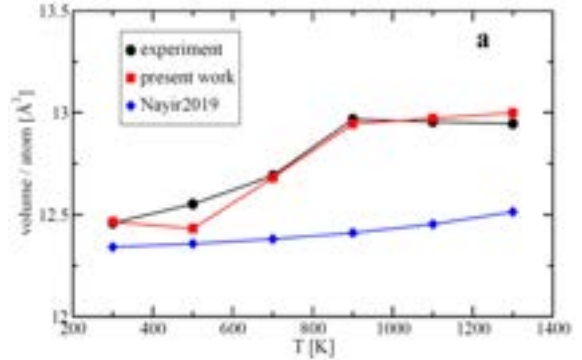


Fig. 2 Thermal expansion behavior of the SiO<sub>2</sub> crystal. Experimental result (circles) and MD results (squares and diamonds from the present work and ref. [10] respectively) are compared.

と Fig. 2 (実験との比較)に示す。熱膨張については先行研究[7, 10]と比較しても我々のパラメータは実験値[13]に近い値を示しており、特に 900 K 付近の相転移による熱膨張傾向の変化も再現できている。

最後に三元素(Si/O/H)にまたがる相互作用を調整するため、再び Table 1 のテスト分子を扱った。二元素系で決定したパラメータは固定し、調整には RiPSOGM を使用した。

以上の手順で得られた ReaxFF パラメータを用いて、我々はシリコン熱酸化のシミュレーションを行った。酸化膜製造工程では効率性のため水素原子を添加する方法 (in-situ-steam-generation = ISSG、以降“ウェット酸化”と表記)

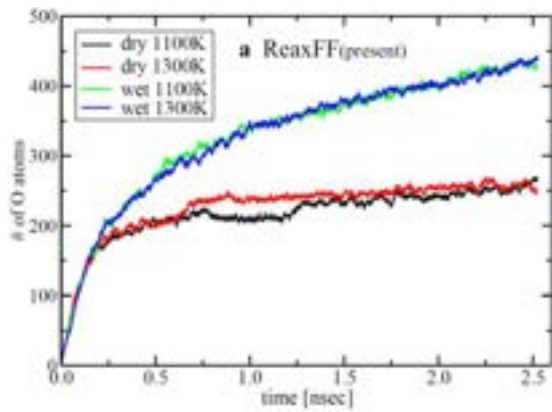


Fig. 3 Time evolution of the number of O atoms retained in the system through the thermal oxidation of Si. Result of the wet and the dry process at  $T = 1100$  K and  $1300$  K are compared.

が知られており[14, 15]、これについて詳しく調べることが我々の目的のひとつである。Si(100)基盤構造( $32.18 \text{ \AA} \times 32.18 \text{ \AA}$ の界面(周期境界)・厚み $21.45 \text{ \AA}$ )を作成し、 $\Delta t = 0.25 \text{ fsec}$ にて計1,000万ステップの間に5,000ステップごと初期表面から約 $14 \text{ \AA}$ 上方より $\text{O}_2$ 分子を入射させる(ドライ酸化)。入射粒子に水素原子が添加される場合(ウェット酸化)については $\text{H}_2 : \text{O}_2 = 1 : 1$ の入射を設定した。温度は二種類、ランジュバン法により $T=1100 \text{ K}$ ,  $1300 \text{ K}$ を試した。各種結合原子数を評価するためのカットオフとしては可視化ツール AtomEye [16]の既定値を用いた。

比較のため、以上の設定によるシミュレーションを文献[10] (Nayir2019)によるパラメータでも行った。Nayir2019はSi/O部分を文献[6, 7]を継承し水素原子との相互作用を調整している。既存パラメータの代表例として、重要な示唆が得られる比較対象である。

### 3. 結果および考察

酸素原子堆積数の時間推移を Fig. 3 に示した。 $t=0.2 \text{ nsec}$  付近までは差がないが、その後我々のパラメータではドライに比べウェット酸化でより堆積が進行し、水素添加による酸化膜形成の加速が得られたと考えられる。Nayir2019ではこのようなドライ/ウェット間における酸素堆積の違いは見られない。一方でいずれのパラメータにおいても温度の違いによるふるまいの差は見られない。以下では  $1300 \text{ K}$  における結果について議論する。

酸化過程の詳細を調べるため、酸化配位数ごとのシリコン原子数および Si-O 結合の酸素原子数の時間推移を Fig. 4 にプロットした。ウェット酸化(Fig. 4a, 4c)では完全酸化( $\text{Si}^{4+}$ 、酸化膜

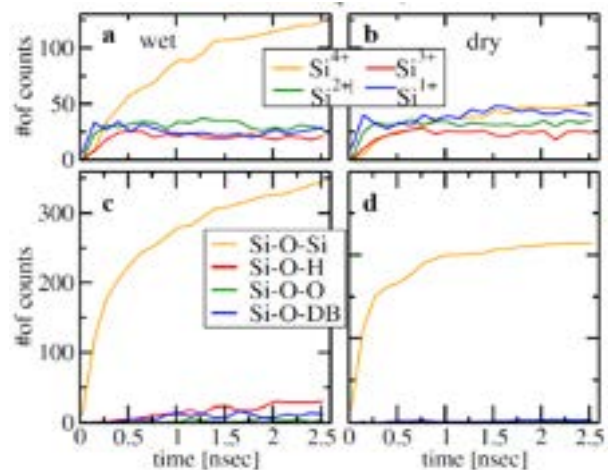


Fig. 4 Relation between the oxygen coordination numbers of Si and the number of O-bond centers in the time evolution. Profiles of O-coordination numbers and O-bond centers of Si atoms are depicted for the wet process (a, c) as well as for the dry process (b, d).

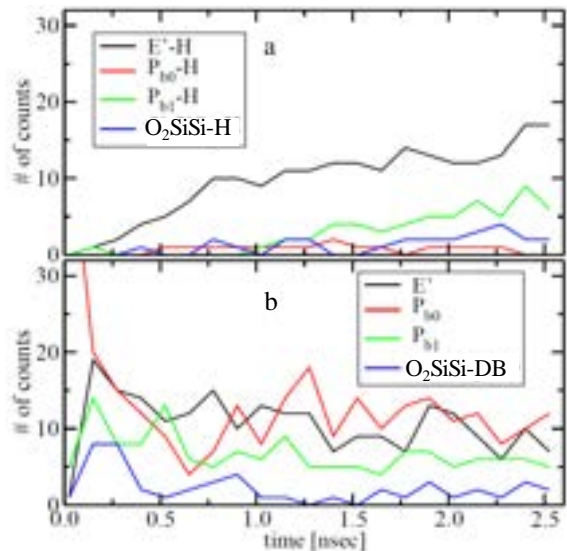


Fig. 5 Comparison between the number of H-terminated defects and that of the unterminated defects through the time evolution of the wet oxidation.

の形成に相当)のみが顕著に増え、連動して Si-O-Si および Si-O-H、Si-O-DB(=dangling bond)が増加している。これはドライ酸化(Fig. 4b, 4d)や Nayir2019 の場合には見られなかった[4]。我々の結果は、水素の混入によって酸化膜界面中に生じた Si-H-Si 架橋構造が酸素原子の移動度を上げて酸化を促進するという量子化学計算からの示唆[17]に合致する。



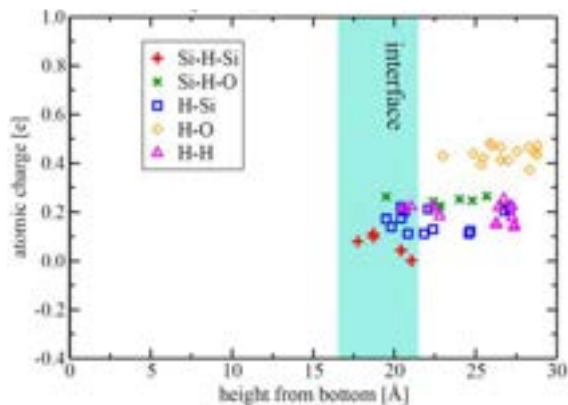


Fig. 6 Charge distribution of H atoms in the oxide layer formed on Si substrate at the latest time (2.5 nsec). Bonding configurations and locating height distributions are indicated.

酸化膜中の Si-H 基は O-欠陥に H が充填された形で現れることが多い。この形で存在する酸化膜中の水素原子のふるまいを調べるため O-欠陥と対応する H-終端シリコン原子数を比較した結果が Fig. 5a および 5b である。O-欠陥は酸化配位数の大きい順に  $O_3Si-DB$  ( $E'$ )、 $O_2SiSi-DB$ 、 $OSi_2Si-DB$  ( $P_{b1}$ )、 $Si_3Si-DB$  ( $P_{b0}$ ) の 4 種類を考慮した。どれもシミュレーション時間中概ね一定数であるが (Fig. 5b)、対応する H-終端の比率は  $E'-H$  が顕著に伸びており (Fig. 5a)、これが Fig. 4c で見た Si-O-Si の増加を誘引していると考えられる。なお  $P_{b1}-H$  が 1.0 nsec 付近から微増しているが、これらは界面に存在する水素終端構造が酸化膜内の  $E'-H$  に変化する途中段階と推察される。

$t = 2.5$  nsec におけるウェット酸化膜中の水素原子のふるまいを電荷分布の観点から調べた結果が Fig. 6 である。水素原子のもつ電荷を結合状態 (Si-H-Si、Si-H-O、H-Si、H-O および H-H) ごとに Si 基板底からの位置に対しプロットした。特に基板上部から入射された水素が、反応界面である約 5.0 Å の範囲までに留まっていることが分かる。これは水素が  $SiO_2$  側からバルク Si へ侵入する際に障壁が存在するという村上らの測定結果 [18] と矛盾しない。Nayir2019 の場合にはこの現象は見られず、水素は基板深くまで入り込む [4]。

同じ時刻において、一定の膜厚内に存在する Si/O/H 原子の電荷平均をウェット酸化膜とドライ酸化膜について調べた結果が Fig. 7 である。ドライ酸化の場合、表面の上下ごく狭い領域で電荷に  $\pm 10e$  程度の大きなギャップが生じ、酸化膜とバルク Si の境界が明確になっている。これによりよく知られたレイヤー-バイ-レイヤー酸化 [19] が起こっていると考えられる。また、ウ

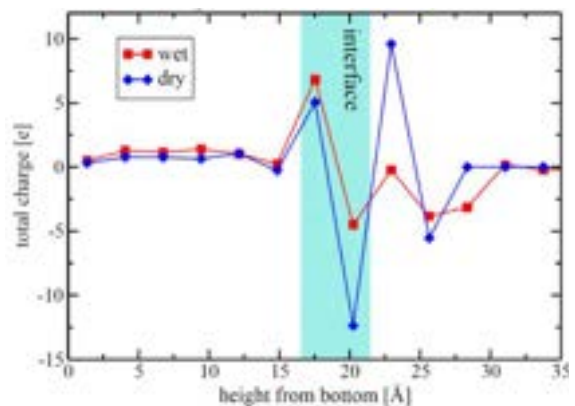


Fig. 7 Results of the population analysis at the latest time as a function of layer height for the wet/dry process.

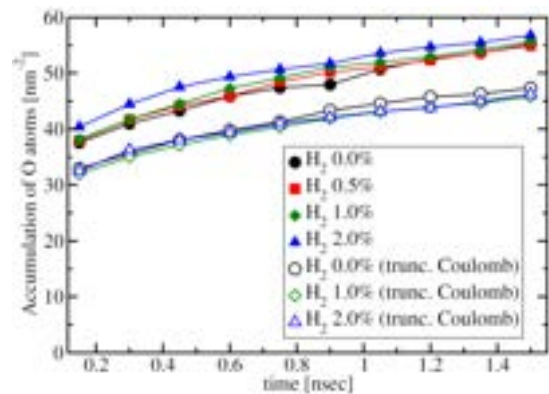


Fig. 8 Areal density of the O accumulation for different  $H_2$  contents (filled symbols) as a function of time. Data with open symbols are obtained after truncating the Coulomb cutoff.

ェット酸化ではこのギャップが緩和されている点もレイヤー-バイ-レイヤー酸化が緩和される事実と符合する。

水素の影響を考察するうえで興味深いことに、非常に少量の水素添加でも熱酸化を有意に加速させ、ゲート酸化膜の品質を向上させることが Luo らの実験 [15] で報告されている。我々はこのに対応したモデルを構築し追加シミュレーション ( $\Delta t = 0.15$  fsec,  $T = 950^\circ C$ ) を行った。Fig. 8 (充填記号) に  $H_2$  の添加率を 0.0–2.0% の範囲で変化させた場合の酸素原子堆積の時間推移をプロットした。水素添加量増加に伴い酸素原子の吸着率は上昇し実験結果と定性的に合っている。一方で Si 中の水素原子によって酸素原子の拡散障壁が下がることが知られているが [20]、その場合に推定される大きな酸化加速効果 [21] はこのケースのモデル計算では見ら

Table 2. Effect of the H<sub>2</sub> existence on the oxidation. The average oxide densities are compared with the experiment [22] for different H<sub>2</sub> contents (or Si/O/H components).

H <sub>2</sub> -contents		0%	1%	2%
Density	MD	2.273	2.203	2.194
	[g/cm <sup>3</sup> ]	ref.[21]	2.227	2.180
Si/O/H ratio [%]		32/68/0	31/67/2	30/67/3

れなかった。この微小な増加を説明する仮説として、微量水素原子は表面に蓄積する酸素原子の負電荷を中和し、更なる酸素原子吸着を阻む反発力を緩和していると推定した。これを検証するため、クーロン力のカットオフを10.0 Åから5.0 Åへと短縮することで遮蔽効果を弱めたうえ同様のシミュレーションを行った。結果をFig. 8 (白抜き記号) に示す。この場合は酸化膜の成長が抑えられるうえ、水素原子比率の違いによる有意な差は認められない。これは我々の推論からの予測と矛盾しない。

また Table 2 には SiO<sub>2</sub> の質量密度を水素原子の添加率を変えて計算した結果を、実験値[22]とともに載せている。添加率に対する傾向のみならず、値自体も精度よく再現されており、我々のモデルでは定性的な評価に加え、ある程度の定量的な議論も可能であるといえる。

#### 4. まとめ

シリコン熱酸化の MD シミュレーションのため、Si/O/H 系における ReaxFF パラメータセットを開発した。その際、DFT による訓練データを系統的に構築し、且つ酸化膜熱膨張特性の再現性も考慮し調整を行った。プロセス条件をモデル化したシミュレーションでは水素添加による酸化膜形成の加速が実現され、いくつかの解析例を通して水素原子の膜内でのふるまいの現実的議論が可能であることを示した。このパラメータは文献[4]のサポートページにて公開されている。

#### 謝辞

本研究の遂行にあたり Samsung デバイスソリューションズ研究所 Process TCAD Lab および Samsung Electronics Corp. Ltd., Semiconductor R&D Center, CSE Team 諸氏の協力を得たことをここに感謝いたします。

#### 参考文献

- [1] A. C. T. van Duin et al., *J. Phys. Chem. A* **105**, 9396–9409 (2001).
- [2] T. P. Senftle et al., *npj Comp. Mat.* **2**, 15011 (2016).
- [3] T. T. Duignan, *ACS Phys. Chem Au* 2024, **4**, 232-241 (2024).
- [4] J. Noaki et al., *npj Comp. Mat.* **9**, 161 (2023); <https://doi.org/10.1038/s41524-023-01112-6>
- [5] S. Plimpton, *J. Comp. Phys.* **117**, 1–19 (1995) <http://lammps.sandia.gov>
- [6] Frisch, M. J. et al. Gaussian 09, Revision E.01, Gaussian, Inc., Wallingford CT, 2009.
- [7] A. C. T. van Duin et al., *J. Phys. Chem. A* **107**, 3803 (2003).
- [8] J. C. Fogarty et al., *J. Chem. Phys.* **132**, 174704 (2010).
- [9] S. Dampala et al., *Appl. Phys. Lett.* **106**, 011602 (2015).
- [10] N. Nayir, A. C. T. van Duin and S. Erkoç, *J. Phys. Chem. A* **123**, 4303–4313 (2019).
- [11] G. Kresse and J. Furthmüller, *Phys. Rev. B* **54**, 11169 (1996).
- [12] D. Furman et al. *J. Chem. Theory Comput.* **14**, 3100-3112 (2018).
- [13] M. A. Carpenter et al., *Am. Mineral.* **83**, 2 (1998).
- [14] R. Sharangpani et al., *Sol. Stat. Tech.* **41**, 91 (1998).
- [15] T. Y. Luo et al., *Proc. SPIE* 4181, Challenges in Process Integration and Device Technology (2000).
- [16] L. Li, *Model. Simul. Mat. Sci. Eng.*, **11** 173–177 (2003).
- [17] R. B. Capaz et al., *Phys. Rev. B* **59**, 4898 (1999).
- [18] K. Murakami et al., *Jpn. J. Appl. Phys.* **48**, 091204 (2009).
- [19] H. Watanabe et al., *Phys. Rev. Lett.* **80**, 345 (1998).
- [20] T. Bakos et al., *Phys. Rev. Lett.* **88**, 055508 (2002).
- [21] B. E. Deal and A. S. Grove, *J. Appl. Phys.* **36**, 3770 (1963).
- [22] R. Okuyama et al., *Jpn. J. Appl. Phys.* **59**, 125502 (2020).

# レーザー角度分解光電子分光法を用いたホールサブバンドの高分解能測定 High resolution analysis of holesubband probed by laser-ARPES

坂田 智裕<sup>1</sup>, 武田 さくら<sup>2</sup>, 山本 勇<sup>3</sup>, 東 純平<sup>3</sup>,  
小野 太智<sup>2</sup>, 堀江 里菜<sup>2</sup>, 奥村 勇斗<sup>2</sup>, 市川 涼太<sup>2</sup>, 山田 敬一<sup>1</sup>, 宮田 洋明<sup>1</sup>

1 株式会社東レリサーチセンター 〒520-8567 滋賀県大津市園山 3-2-11

2 奈良先端科学技術大学院大学 先端科学技術研究科 〒630-0192 奈良県生駒市高山町 8916-5

3 佐賀大学 シンクロトロン光応用研究センター 〒841-0005 佐賀県鳥栖市弥生が丘 8-7

Tomohiro Sakata<sup>1</sup>, Sakura N Takeda<sup>2</sup>, Isamu Yamamoto<sup>3</sup>, Junpei Azuma<sup>3</sup>,  
Taichi Ono<sup>3</sup>, Rima Horie<sup>3</sup>, Hayato Okumura<sup>3</sup>, Ryota Ichikawa<sup>3</sup>, Keiichi Yamada<sup>1</sup>, Hiroaki Miyata<sup>1</sup>

1 Toray Research Center, Inc., 3-2-11 Sonoyama, Otsu, Shiga 520-8567, Japan

2 Division of Materials Science, Nara Institute of Science and Technology,

8916-5 Takayama, Ikoma, Nara 630-0192, Japan

3 Synchrotron Light Application Center, Saga University, 8-7 Yayoigaoka, Tosu, Saga 841-0005, Japan

Tel: + 81-77-510-9109 (e-mail: tomohiro.sakata.r9@trc.toray)

## Abstract

In this study, the electronic structure within the inversion layer was investigated by laser-ARPES to reveal the polarization dependence of the subband dispersion. Laser-ARPES has high wavenumber resolution due to the low kinetic energy of the emitted photoelectrons, and the polarization can be easily controlled. Light hole-like subbands, LH0 and LH1, are mainly observed in s-polarization. On the other hand, heavy hole-like subbands, HH0 and HH1, are observable in both s- and p-polarization. In addition, a hybridization between LH0 and HH1 subbands can be observed in s-polarization in contrast to p-polarization. This phenomenon is strongly related to the geometric arrangement of the valence orbitals.

## 1. はじめに

半導体表面近傍に形成される反転層では、バルクの電子状態とは異なり、量子化されたサブバンドが形成されることが知られている。このサブバンド分散は MOSFET 動作における移動度などデバイス性能を決める重要な指標であり、本研究会でも角度分解光電子分光法 (ARPES) やシミュレーションを用いたホールサブバンドに関する報告が盛んになされてきた [1][2]。この反転層中の電子状態であるサブバンドの詳細な分散形状や軌道情報は、デバイス特性のキーパラメーターであるキャリアの有効質量の異方性やサブオキサイド形成に関するメカニズムの理解に必要である。

本研究では、反転層中のサブバンド形成メカ

ニズムの理解を目的とし、Si(111)表面への Pb 吸着によって誘起される Si 表面近傍の反転層中の電子状態について、高い波数空間分解能を有し、変更の切り替えが容易なレーザー角度分解光電子分光法 (laser-ARPES) 測定を実施した。

## 2. 実験条件

測定は九州シンクロトロン光研究センター (SAGA-LS) の佐賀大学ビームライン BL13 にて実施した。

試料は n 型 Si (111) 単結晶基板を用いた。真空導入後 200°C で 12 時間保持し、試料および試料ホルダーのデガスを実施した。表面清浄

化処理として、1250°Cフラッシュアニーリングを行い、LEED(low-energy electron diffraction)を用いて Si(111)7×7 表面超構造を確認した。Si(111) $\sqrt{3} \times \sqrt{3}$ -Pb 表面超構造は、Si(111)清浄表面への Pb(1 ML)加熱蒸着により作製した。反転層中に形成されるホールサブバンドの偏光依存解析では、入射光を Ti:Sapphire レーザー(4 $\omega$ =6.0 eV) の四倍高調波として用い、s 偏光および p 偏光での ARPES 測定を実施した。

### 3. 結果および考察

図 1 に s 偏光(a)および p 偏光(b)の[11-2]方向のレーザーARPES 結果を示す。両偏光で反転層形成により量子化されたサブバンド構造が認められた。図 1(c)に s および p 偏光で認められたバンド分散形状を併記した。s 偏光では、曲率の大きい分散形状(HH0, HH1)および曲率の小さい分散形状(LH0, LH1)が検出された。一方、p 偏光では曲率の大きい分散形状(HH0, HH1)が主として検出された。

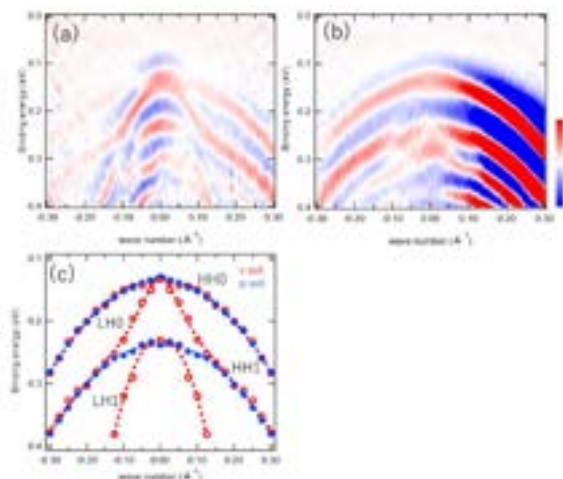


Fig.1 Laser ARPES intensity map probed by s-polarization(a) and p-polarization(b). (C)band dispersion obtained by s- and p- polarization.

異なる偏光を用いた ARPES において、バンド分散の強度の違いは、検出面に対するバンドの構成軌道の対称性を反映している。s 偏光において観測されているバンド分散は図 2(a)に示す検出面に対して偶対称性を持つ軌道が主であると推定され、一方 p 偏光で観測されてい

るバンド分散は図 2(b)に示す検出面に対して奇対称性を持つ軌道が主であると考えられる。

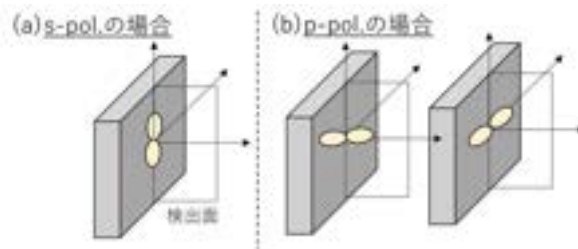


Fig.2 Schematic figure of the geometric arrangement of the orbital that is detectable by s-polarization (a) and p-polarization (b).

以上より、s および p の両偏光において認められた HH0, HH1 は図 2(a)および(b)に示す検出面に対して偶および奇対称性を持つ軌道で構成されていると考えられ、s 偏光でのみ認められた LH0, LH1 は図 2(a)に示す検出面に対して偶対称性を持つ軌道で構成されていると考えられる。

また、図 1(c)より s 偏光のバンド分散形状から LH0 は HH1 と強いバンド間反発(hybridization)が認められた一方、p 偏光の HH1 は s 偏光のバンド間反発に比べて弱いと考えられる。これら混成(hybridization)の大きさは、上述したバンドの空間的な重なりが大きさが要因と考えられる。

### 4. まとめ

レーザーARPES による反転層中のサブバンドの偏光依存性から、サブバンド形成メカニズムの解明を試みた。その結果、サブバンド間の混成の大きさは、バンドを構成する軌道の空間的な重なりと相関があることが示された。

### 参考文献

- [1] S. N. Takeda *et al.*, *Phys. Rev. B* 82, 035318 (2010).
- [2] S. N. Takeda *et al.*, *Phys. Rev. B* 93, 125418 (2016).



# 4H-SiC 表面近傍に誘起した炭素欠陥の高温水素雰囲気による低減効果 Effect of high temperature hydrogen mixed ambient on reduction of carbon-related defects generated in 4H-SiC surface region

○呂 楚陽, 女屋 崇, 喜多 浩之

東京大学大学院新領域創成科学研究科 物質系専攻 〒277-8561 千葉県柏市柏の葉 5-1-5

°Chuyang Lyu, Takashi Onaya, Koji Kita

Department of Advanced Materials Science, The University of Tokyo, 5-1-5 Kashiwanoha, Kashiwa-shi,

Chiba 277-8561, Japan

Tel: +81-3-7136-3818 (e-mail: l.chuyang22a@ams.k.u-tokyo.ac.jp)

## Abstract

In this study, not only the formation of carbon-related defects near the surface of SiC substrates at a high-temperature in low- $P_{O_2}$  ambient, but also the decomposition of those defects by hydrogen-containing ambient annealing was investigated using attenuated total reflectance Fourier-transform infrared spectroscopy (ATR-FTIR).

### 1. はじめに

水素雰囲気アニールが SiC MOSFET の電気特性を大幅に改善することが報告されてきた[1]。SiC MOSFET の電気特性は SiC/SiO<sub>2</sub> 界面に存在する欠陥準位へのキャリア捕獲に強く制約されるが、水素雰囲気アニールがどのような界面欠陥に有効であるかは未だに調べられていない。SiC/SiO<sub>2</sub> 界面に形成する欠陥の一つとして、炭素欠陥がよく知られている[2]。我々は既に、高温・低酸素分圧 ( $P_{O_2}$ ) でのアニールを行うと、SiC 表面近傍に C-C 結合を含む炭素欠陥が析出する様子を全反射フーリエ変換赤外分光法 (ATR-FTIR) によって観察できることを報告した[3]。本研究ではこの炭素欠陥を意図的に誘起させた後に水素混入雰囲気でのアニールを追加するときの欠陥密度の低減効果を調査した。

### 2. 実験条件

5  $\mu\text{m}$  の n 型エピ層 ( $N_D \sim 1.0 \times 10^{16} \text{ cm}^{-3}$ ) を持つ (0001) 面 4H-SiC ウェハを基板として用いた。基板洗浄の後、1500°C で約  $10^{-1} \text{ Pa}$  の残留酸素が存在する Ar 雰囲気中でアニールを施すことで、SiC 基板表面近傍に意図的に炭素関連欠陥を形成し、Ge プリズムを用いた ATR-FTIR 測定により評価した。5% HF 溶液で洗浄後、5% 水素 (Ar 希釈) 雰囲気中で 1200 °C から 1500°C のアニールを施し、この炭素欠陥の増減を調査した。

### 3. 結果および考察

1500°C、 $P_{O_2} \sim 10^{-1} \text{ Pa}$  での Ar アニールの前後

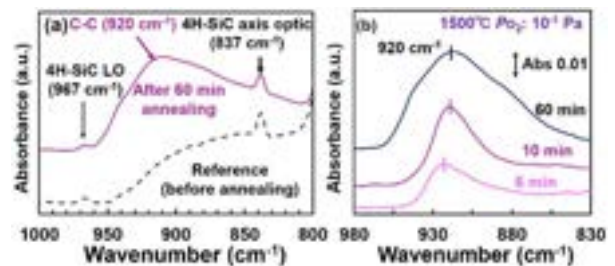


Fig. 1 (a) ATR-FTIR absorbance spectra of 4H-SiC before and after annealing at 1500°C for 60 min under  $P_{O_2} \sim 10^{-1} \text{ Pa}$ . (b) Differential absorbance spectrum obtained by subtracting the spectrum before annealing from the one after annealing.

での SiC 基板の吸光度スペクトルを Fig. 1(a) に比較した。どちらも  $837 \text{ cm}^{-1}$  と  $967 \text{ cm}^{-1}$  に SiC の axial optic と longitudinal optic (LO) に帰属する振動モード[4]が観察される一方、アニール後の試料には  $920 \text{ cm}^{-1}$  付近に明確な吸収ピークが観察される。この波数はシリコン-炭素クラスター中に観測される C-C の対称伸縮振動モードの報告値[5]に近く、C-C 結合を含む炭素欠陥の生成を検出していると考えられる。既に我々は、この炭素欠陥の生成が顕在化する条件には、アニールの温度と  $P_{O_2}$  の 2 つが厳しい制約があることを見出している。それらの条件の熱力学的な考察から、この炭素欠陥の生成は Si と CO の昇華とともに固体の炭素を生じる反応  $(2+x) \text{ SiC} + \text{O}_2 \rightarrow (2+x) \text{ Si} \uparrow + 2 \text{ CO} \uparrow + x \text{ C(s)}$  に伴うものであることを推定した (ここで  $x$  は生成する CO と C(s) の比率を表すためのパラメーターである)。後続の議論では Fig. 1(b) のようにアニール前後のスペクトルから差分スペクトルを求



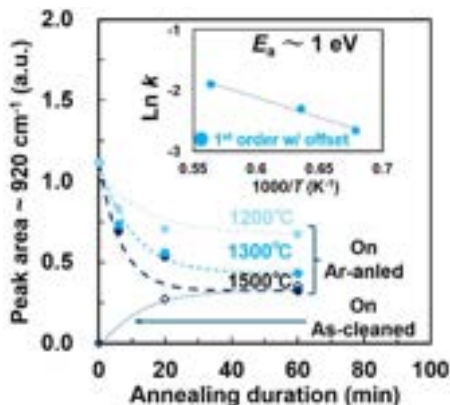


Fig. 2 Annealing duration dependence of the peak area  $\sim 920 \text{ cm}^{-1}$  in 5%  $\text{H}_2$  ambient at different temperatures. Temperature dependence of defect reduction rate constant  $k$  is shown in the inset.

め、基板由来の吸収を除去した上で、 $920 \text{ cm}^{-1}$  付近のピーク面積のアニールによる変化について議論を行った。

$1500^\circ\text{C}$ 、 $P_{\text{O}_2} \sim 10^{-1} \text{ Pa}$  の雰囲気下で 60 min のアニールを行ってこの炭素欠陥を生成させた後に、5%  $\text{H}_2$  雰囲気中で  $1200^\circ\text{C}$  から  $1500^\circ\text{C}$  の様々な温度でアニールを行った結果を Fig. 2 に示す。ピーク面積のアニール時間依存性から、5%  $\text{H}_2$  雰囲気でのアニールが炭素欠陥密度を大きく低減することが明らかとなった。図では、5%  $\text{H}_2$  アニールによって完全には除去できない欠陥が一定量存在するという仮定のもと、欠陥密度に比例した一次反応（減衰速度定数  $k$ ）であると仮定した近似曲線を点線で示した。このモデルでは、欠陥密度  $[C]$  は、時刻  $t = \infty$  において  $[C]$  にオフセットを与えた式:  $[C] = C_0 \cdot \exp(-kt) + C_\infty$  (式中の  $C_0$ ,  $C_\infty$  はそれぞれ初期の欠陥密度、およびオフセットを表す) で与えられる。比較のため Fig. 2 には、SiC 基板に事前の Ar 雰囲気での  $1500^\circ\text{C}$  アニールを行わずに (炭素欠陥を生成させずに) 洗浄後にそのまま 5%  $\text{H}_2$  雰囲気中でアニールした結果も示している。5%  $\text{H}_2$  雰囲気においてもわずかに C-C 関連欠陥が生成している。そこでこのときの飽和値を前述のオフセットとして採用した。

推定した  $k$  の値の温度依存性は Fig. 2 の挿入図のようになる。ここから欠陥低減の活性化エネルギーが約 1 eV 前後と見積もられた。この値は、 $\text{H}_2$  中での SiC エッチング反応の示す高い活性化エネルギー ( $\sim 2.5 \text{ eV}$ ) [6] よりも、 $\text{H}_2$  とグラファイトからメタンを生成する反応の活性化エネルギー ( $\sim 1 \text{ eV}$ ) [7] に近いと考えられる。従って、 $\text{H}_2$  雰囲気でのアニールは単に SiC 表面をエッチングするだけではなく、水素が SiC 基板表面近傍の炭素欠陥を炭化水素 ( $\text{C}_x\text{H}_y$ ) として分解・昇華させている機構があり、本実験条件では後者が支配的に進行すると推測される。

SiC 表面近傍での (1) 高温の低  $P_{\text{O}_2}$  雰囲気中で

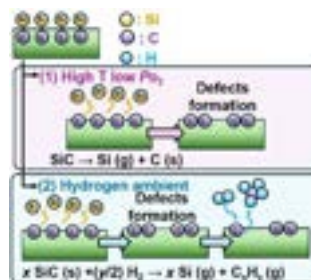


Fig. 3 Schematics of (1) carbon-related defect formation in the surface region of SiC by low- $P_{\text{O}_2}$  annealing and (2) its reduction by annealing in  $\text{H}_2$ -included ambient.

の炭素欠陥の生成と、(2)  $\text{H}_2$  による炭素欠陥密度の低減の機構として考えられるものを Fig. 3 に模式的に示す。高温の低  $P_{\text{O}_2}$  雰囲気中では、SiC 表面からの Si 昇華により残存した炭素が、互いに結合して炭素欠陥を生成する。一方、 $\text{H}_2$  を含む雰囲気では、Si の昇華に伴う炭素欠陥の生成と同時に、炭素欠陥と  $\text{H}_2$  の反応により生じた  $\text{C}_x\text{H}_y$  の脱離が進行する。両反応の仮定は  $\text{H}_2$  による SiC エッチング反応の機構の理解 [8] ともよく整合する。前述のように、この  $\text{C}_x\text{H}_y$  の生成・脱離反応の速度が炭素欠陥密度  $[C]$  に比例すると考えると、Fig. 2 で観察された炭素欠陥の減少が一定量  $C_\infty$  で停止する現象は、 $[C]$  の減少とともに  $\text{C}_x\text{H}_y$  の生成・脱離反応の速度が低下し、Si 昇華に伴って進行する  $[C]$  の増大速度と釣り合っ て定常状態になるためと考えられる。

#### 4. まとめ

高温・低  $P_{\text{O}_2}$  条件でのアニールによって SiC 表面近傍に生じる C-C を含む炭素関連欠陥は FTIR 測定によって検出できる。この欠陥の密度が  $\text{H}_2$  を含む雰囲気での高温アニールによって大幅に低減できることを明らかにした。この低減過程が一定量で停止するのは、欠陥密度の低下に伴い  $\text{H}_2$  による  $\text{C}_x\text{H}_y$  の脱離速度が減少し、Si 昇華に伴う炭素欠陥生成反応の速度と釣り合っ て定常状態に達するためと考えられる。

謝辞：本研究の一部は JSPS 科研費および JST 次世代研究者挑戦的研究プログラム JPMJSP2108 の助成により実施された。

#### 参考文献

- [1] K. Tachiki *et al.*, APEX 13, 121002 (2020).
- [2] V. V. Afanasev *et al.*, Phys. Status Solidi A 162, 321 (1997).
- [3] 呂 他, 第 71 回応用物理学会春季学術講演会, 23p-52A-9 (2024).
- [4] D. W. Feldman *et al.*, Phys. Rev. 173, 787 (1968).
- [5] J. D. Presilla-Márquez *et al.*, J. Chem. Phys. 100, 181 (1994).
- [6] K. Akiyama *et al.*, JJAP 48, 095505 (2009).
- [7] J. W. H. Chi and C. E. Landahl. Nuclear Applications. 4, 159 (2017).
- [8] Y. Ishida and S. Yoshida, Jpn. J. Appl. Phys. 55, 095501 (2016).

# 4H-SiC 表面に対する N ラジカル窒化と NO アニール窒化の 表面 N 密度飽和挙動を決定する因子の違い

## Difference of factors to determine the surface N density saturation behaviors between N radical nitridation and NO annealing nitridation on 4H-SiC surfaces

吉田 遥希 女屋 崇 喜多 浩之

東京大学大学院新領域創成科学研究科 物質系専攻 〒277-8561 千葉県柏市柏の葉 5-1-5

Haruki Yoshida, Takashi Onaya, and Koji Kita

Dept. of Adv. Materials Sci., The Univ. of Tokyo, 5-1-5 Kashiwanoha, Kashiwa-shi, Chiba 277-8561, Japan

Tel/Fax:+81-04-7136-5456 (e-mail:yoshida-haruki3840@g.ecc.u-tokyo.ac.jp)

### Abstract

In conventional NO nitridation of SiC surfaces, N removal reaction due to the surface oxidation causes saturation of surface N density. We investigated the case of nitridation by N-radicals where oxidation is greatly suppressed. We found that N density saturation was clearly observed, even though the unintentionally grown ultra-thin oxide was not the main factor of the saturation. It was suggested that the N removal occurs by exposing the surface to a high vacuum without any cap layer like SiO<sub>2</sub>.

#### 1. はじめに

SiC MOSFET では界面に形成される C 由来の欠陥準位がその性能を低下させている。性能の向上には SiC 最表面の C の N による置換が有効で、一般に NO アニール窒化が用いられる。しかし界面に導入される N 密度はアニール時間とともに飽和し、SiC 最表面の C 原子サイト密度の一部に留まること[1]が課題である。NO アニールの条件変更だけでこれを克服することは難しいため[2]、界面の N 密度の増大のためには N<sub>2</sub> プラズマ[3]などの N 活性種の利用が期待される。本研究では SiC 表面への N ラジカル照射による窒化について反応過程を調査し、SiC 表面 N 密度に寄与する因子について NO アニールの場合との違いを検討した。

#### 2. 実験条件

4H-SiC(0001)Si 面基板を化学洗浄した後、500W の高周波プラズマで生成した N ラジカルを距離 200 mm の位置から照射した。チャンパー内の圧力を  $6 \times 10^{-3}$  Pa に保ち、基板温度は 500 °C または室温とした。この過程でチャンパー内の残留 O による < 1 nm の意図しない SiO<sub>2</sub> の形成が SiC 表面に確認されたため、これを HF

で除去した後、XPS 測定を行い、SiC 表面の N 密度の相対変化を N 1s ピークと Si 2p ピーク面積比から求め、その N ラジカル照射時間依存性を調べた。比較のため、NO アニール窒化を NO:N<sub>2</sub>=1:2 混合雰囲気下、1150 °C にて SiC 基板に対して行った。さらに、意図しない SiO<sub>2</sub> 膜の形成による N ラジカルの阻害効果を調べるため、予め SiC 基板表面に意図的に 0.5~3 nm の SiO<sub>2</sub> 膜を成長させてから N ラジカル窒化を行った試料も作製した。

#### 3. 結果および考察

図 1 に表面 N 密度のプロセス時間依存性を、N ラジカル窒化（基板温度 500 °C 及び室温）と NO アニール窒化について示した。NO アニール窒化では既知の通り[1,2,4]、明確な飽和挙動を示した。この挙動は NO アニール中の N 導入速度と酸化による N 脱離速度が釣り合うというモデルで説明され[1,4]、表面 N 密度を  $A_N(t)$ 、N 導入速度を  $N_r$ 、N 脱離反応の速度定数を  $k$  とすると、 $A_N(t)$  は式(1)で表される。

$$A_N(t) = \frac{N_r}{k} (1 - e^{-kt}) \quad (\text{Eq.1})$$

一方 N ラジカル窒化では、基板表面に意図し

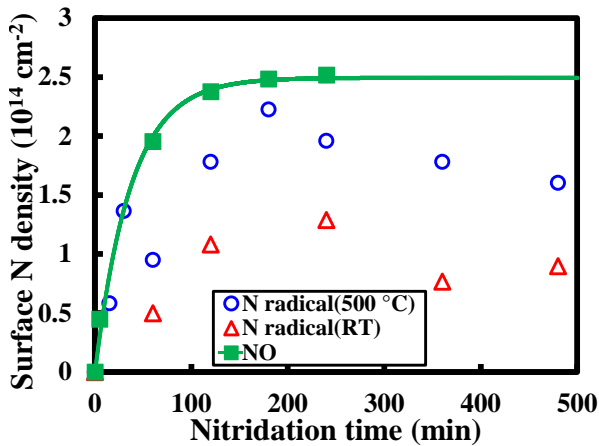


Fig.1 Dependence of surface N density on nitridation time for the cases of N radical nitridation (RT and 500 °C) and NO annealing.

ない<1 nm の極薄酸化膜の成長は確認されるものの、NO アニール窒化と比べて酸化速度は小さく、酸化による脱離反応は大幅に抑制されるはずである。しかし図 1 に示す通り、N ラジカル窒化においても飽和する挙動が明確である。

N ラジカルは容易に失活するため、意図せず表面に形成した極薄酸化膜の失活への寄与は重要である。図 2 に予め SiO<sub>2</sub> 膜を形成して基板温度 500 °C で N ラジカル窒化を行った場合の窒化後膜厚と HF 処理後の表面 N 密度の関係を示した。ばらつきは見られるものの、窒化の抑制は~2 nm で生じている。意図せず成長したく 1 nm 程度の SiO<sub>2</sub> 膜は N ラジカル窒化の速度を

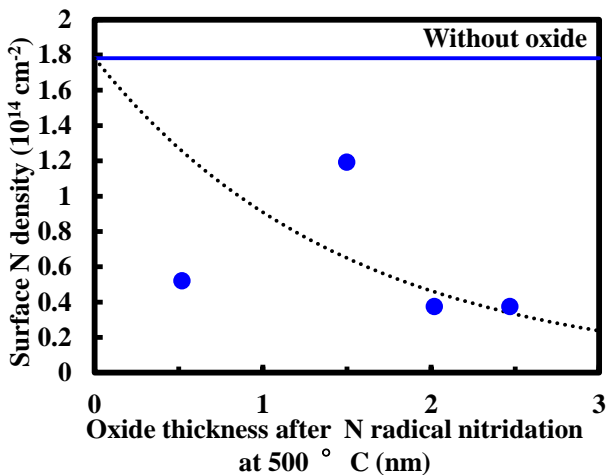


Fig.2 Relationship between surface N density and SiO<sub>2</sub> thickness after N radical nitridation at 500 °C for 2 hours. Dotted curve is a guide to the eye.

低下させるが、飽和挙動を決める主な因子ではないことがわかる。

以上より、式(1)を考慮すると酸化反応が大幅に抑制される N ラジカル窒化では NO アニール窒化とは異なる機構で何らかの脱離反応が進行すると考えられる。そこで基板加熱温度 500 °C で 120 分の N ラジカル窒化を行い、HF で処理した後、高真空環境において 500 °C で 120 分加熱したところ、加熱前よりも N 密度は減少した(図 3(a))。同様な N 密度の減少は、NO アニール窒化後に HF で処理した試料の場合も見られた(図 3(b))。窒化後の SiC 表面を SiO<sub>2</sub> などで覆わずに加熱すると N が脱離することが示唆され、これが N ラジカル窒化における N 導入と釣合い、N 飽和挙動を決めると考えられる。

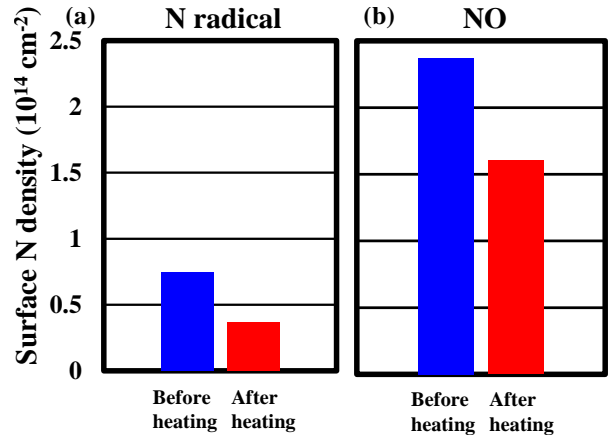


Fig.3 Surface N density of SiC for the cases of (a) N radical nitridation at 500 °C and (b) NO annealing before and after heating in vacuum chamber at 500 °C for two hours.

#### 4. まとめ

SiC 表面の N ラジカル窒化プロセスでは、表面 N 密度の飽和挙動がみられる点で NO アニール窒化と類似するが、飽和挙動を決定する因子は、NO アニール窒化では酸化による脱離反応であるのに対し、N ラジカル窒化の場合は高真空環境での N 脱離反応だと考えて説明できる。

#### 参考文献

- [1] T. Yang and K. Kita, Solid-State Electronics **210**, 108815 (2023).
- [2] 佐々木ら、2024 年春季応物学会。
- [3] H. Fujimoto et al., Appl. Phys. Express **16**, 074004 (2023).
- [4] S. Dhar et al., J. Appl. Phys. **97**, 074902 (2005).

## 電子線照射により生成した SiO<sub>2</sub>/Si 界面欠陥分布の評価

### Evaluation of Defect Distribution at SiO<sub>2</sub>/Si Interface Generated by Electron Beam Irradiation

清水 峻央、早田 康成、蓮沼 隆

筑波大学 〒305-8577 茨城県つくば市天王台 1-1-1

Ryo Shimizu, Yasunari Sohda, Ryu Hasunuma

University of Tsukuba, 1-1-1 Tennoudai, Tsukuba, Ibaraki 305-8577, Japan

Tel: + 81-29-853-5439, Fax: + 81-29-853-5205 (e-mail: s2320280 @u.tsukuba.ac.jp)

#### **Abstract**

Defect distribution at SiO<sub>2</sub>/Si interface generated by electron beam irradiation was investigated by flattening the Si(111) surface in LOW (ultralow-dissolved-oxygen water). By AFM observation after LOW treatment of the Si(111) surface, it was found that the defects were localized in a region with a depth of about 4 nm from the Si surface. This result is probably due to the thermal-oxidation-induced stress accumulated near the SiO<sub>2</sub>/Si interface.

#### 1. はじめに

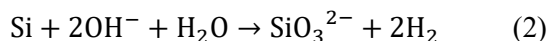
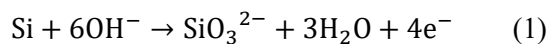
Siを熱酸化して形成されるSiO<sub>2</sub>膜は優れた絶縁性をもち、かつ界面の構造欠陥が非常に少ないことから、長年MOSFETのゲート絶縁膜として用いられている。Si基板を熱酸化する際には、Si-Si結合間にO原子が挿入され、体積が約2.3倍に膨張する。これにより、SiO<sub>2</sub>/Si界面では歪みに伴う酸化誘起応力が発生する。酸化誘起応力に関して、トレンチコーナーや代表的な素子分離構造であるLOCOS (Local Oxidation of Silicon)構造のマスクエッジ下での酸化の際には、局所形状に起因した応力集中が発生することが知られている[1]。Si基板内の過大な応力は転位等の結晶欠陥発生の原因となり、半導体デバイスの電気的特性に悪影響を及ぼす。したがって、SiO<sub>2</sub>/Si界面近傍の微小領域における応力分布を測定するこ

とは重要である。

#### 2. SiO<sub>2</sub>/Si 界面近傍の応力分布の測定法

我々は、SiO<sub>2</sub>/Si界面近傍の応力分布の測定法として、電子線照射によってSi中で発生した欠陥分布を観察する手法を提案した。すなわち、応力による歪み領域では欠陥が生成しやすいと考え、電子線照射した領域のSi中の欠陥分布を観察することで、界面近傍の応力分布を測定することを目指した。また欠陥観察に関しては、欠陥フリーのSi(111)表面が超低溶存酸素水 (LOW: ultralow-dissolved-oxygen water) によるエッチングで原子的に平坦なステップ-テラス構造が得られることを利用した。すなわち電子線照射によって欠陥が生成した場合、欠陥を起点としてエッチングによるエッチピットとして欠陥分布を可視化できると考えた。

純水は室温においても OH<sup>-</sup>が微量に解離しており、Si 表面は以下の反応式に従ってエッチングされる。



ウェット洗浄後の Si 表面はほぼ完全に水素終端しており[2]、理想的な(111)では、その表面は Vertical monohydride のみで構成される。しかし、実際の Si 表面はわずかに(111)から傾斜しており、その場合は Horizontal monohydride や Vertical dihydride、Trihydride も混在することになる。Fig.1 にそれぞれの終端構造の模式図、Table 1. に室温における OH<sup>-</sup>によるエッチング速度比を示す。

Horizontal dihydride や Trihydride はすぐにエッチングされ、最終的には速度比が小さく安定な終端構造が残る。すなわち、Vertical monohydride で構成されるテラスと、Vertical monohydride と Horizontal monohydride で構成されるステップからなるステップ・テラス構造が形成される。ただし、純水中に溶存酸素を含む場合は、原子的に平坦なテラス面を得ることはできない。それは純水中の溶存酸素はある確率で酸素ラジカルとなり、Si 表面を終端していた水素を脱離させる[5]。その結果活性になった Si に酸素等が吸着し、結

果的にエッチングや酸化の起点となり、テラス面のラフネスを増大させるためである[6]~[9]。

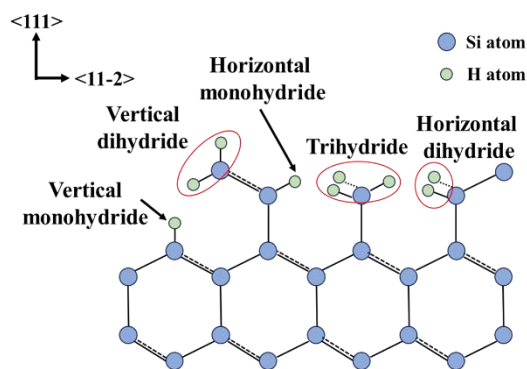


Fig.1 Schematic drawing of various H-termination structures on Si (111) surface.

したがって、純水で Si をエッチングし原子的に平坦なテラス面を得るためには、低溶存酸素水 (LOW: Low Oxygen dissolved Water) を用いる必要があるが、標準状態の純水中には約 8 ppm の溶存酸素が存在する。そこで我々は純水に亜硫酸アンモニウム水和物を少量添加することで溶存酸素を除去し、LOW を得た。純水中で解離した亜硫酸イオンは溶液中の溶存酸素と反応し硫酸イオンとなり(式(3))、脱溶存酸素反応を起こす。

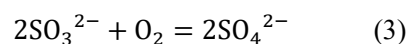


Table 1. The relative etching rate constants for Si(111)-H, as derived from kinetic Monte-Carlo simulation [3], [4].

Site	Trihydride	Horizontal dihydride	Vertical dihydride	Horizontal monohydride	Vertical monohydride
Relative etch rate	∞	∞	100,000	5,000	1(reference)



その結果、亜硫酸アンモニウム添加後の純水は溶存酸素濃度が 1 ppb 以下の LOW となる。この LOW で Si(111)基板をエッチングすることで(以降 LOW 処理)、原子的に平坦な Si(111)面を得ることができる。

LOW 処理の際、Si(111)表面に欠陥があるとそれを起点として面内方向にエッチングが進み、Vertical monohydride の次に安定な終端構造である Vertical dihydride がステップ面となるようなエッチピットが形成される(Fig.2)。したがって、電子線照射によって Si 基板中に欠陥が生成された場合、その欠陥は LOW 処理によりエッチピットとして可視化される。そこで我々は、そのエッチピット分布から電子線照射によって生成した Si 中欠陥分布を観察することが出来ると考えた。

### 3. 実験方法

実験では n-Si(111)を使用した。標準的な RCA 洗浄後に、O<sub>2</sub>100%雰囲気中で厚さ約 150 nm の熱酸化膜を形成した。その後 SEM を用いて加速電圧 3 kV および 10kV で電子線照射を行った。照射後に熱酸化膜を剥離し、Si 表面に LOW を用いて平坦化処理を施し、電子線照射箇所を AFM で観察した。

### 4. 実験結果

Fig.3 の(a)には電子線照射箇所の Si 表面像、(b)にはその断面像を示す。AFM 観察により、LOW 処理後に電子線照射領域が深さ 3 nm 程度のくぼみとなることがわかった。これは、電子線照射領域の Si のエッチングスピード上昇したことを意味し、電子線照射によって SiO<sub>2</sub>/Si 界面近傍の歪み領域に多数の欠陥が生成したことを示唆している。電子線照射により生成した欠陥は LOW 処理によりエッチピットとなり、照射範囲において多量のエッチピットが 3 次元的に連結したために、巨大な一つのくぼみとなったと考えられる。

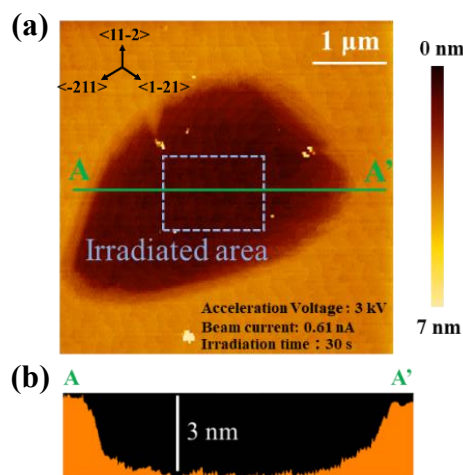


Fig.3 (a) AFM image of Si surface after 1-hour LOW etching and (b) the cross-section at A-A'

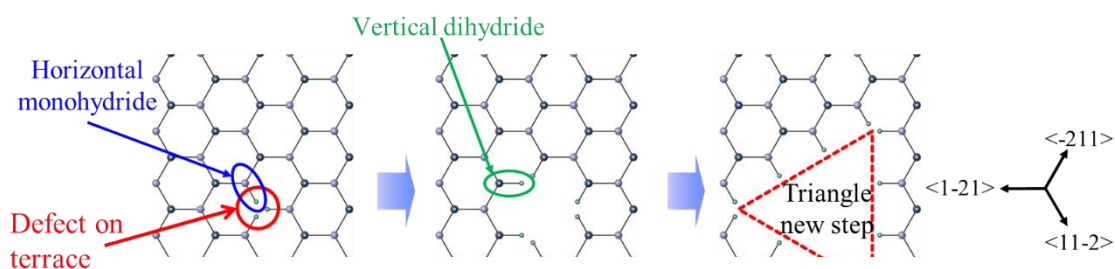


Fig.2 Etch pit formation starting from defect on the terrace

また、LOW 処理をさらに進めても深さが変化しないことが明らかとなった。さらに、電子線の照射量を増やしてもくぼみの深さが最大 3 nm 程度で変化しないことがわかった(Fig.4)。なお、電子線未照射領域では 1 時間の LOW 処理で 1 nm 程度深さ方向にエッチング進行することを確認した。これらの結果は、今回の実験では界面近傍 4 nm 程度の範囲でのみ欠陥が生成したことを示唆している。

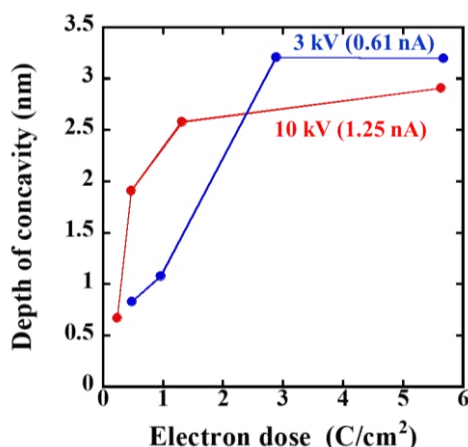
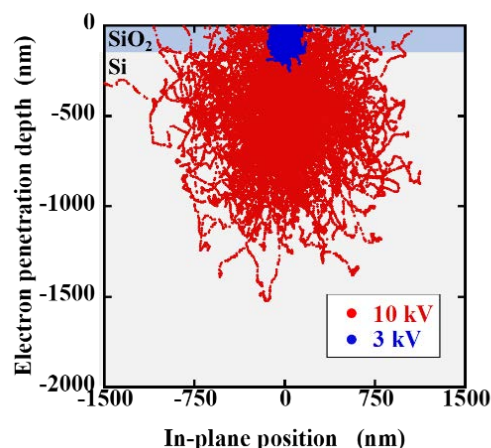


Fig.4 Relationship between electron dose and depth of concavity.

これらの結果を受け、今回の実験条件における試料内の電子線の侵入深さを見積もるために、電子線散乱シミュレーション[10]を行った。シミュレーションでは、実験で用いた試料構造を模したモデルに対して、その表面の 1 点に 10 keV の電子を 500 個注入し、その際の二次電子発生分布を解析した。シミュレーションで得られた二次電子発生地点の分布を Fig.5(a)、二次電子発生数の深さ方向分布を Fig.5(b)および(c)に示す。なお、Fig.5(b)、(c)の縦軸は深さ方向 1nm あたり、かつ注入電子一個あたりの二次電子発生数であ

る。シミュレーションの結果より、10 keV 電子線は SiO<sub>2</sub>/Si 界面よりも 1000nm 以上深くまで侵入していることがわかる。一方で、実験で観察された欠陥生成領域は 3 keV および 10 keV のいずれも Si 表面から 4 nm 程度だった。これらの結果は SiO<sub>2</sub>/Si 界面近傍では熱酸化時に蓄積された応力による結晶構造の歪み領域が主に界面から 4 nm 程度の領域に存在することを示唆している。また、Fig.4 より、10 keV の電子線照射のほうが 3 keV のときよりも少ない電子線量で、欠陥生成領域の深さが飽和する傾向がみられた。これは、Fig.5(c)のシミュレーション結果において、界面近傍の Si 表面付近の二次電子発生数は 10 keV の電子線のほうが 3 keV よりも多いことから、実験においても 10 keV の電子線照射で 3 keV の際よりも大きなエネルギーが二次電子発生などの非弾性散乱によって Si 表面付近の電子系に伝わり、それによってより多くの欠陥が発生したためではないかと考えられる。

(a)



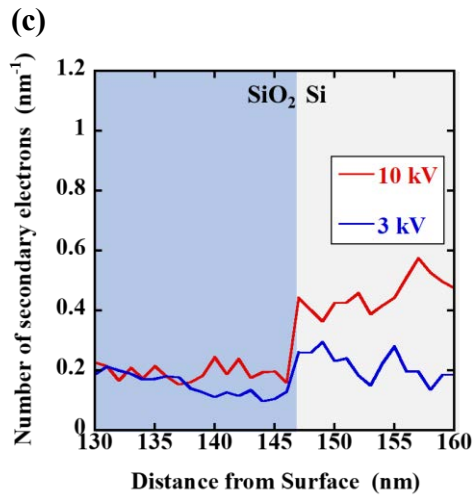
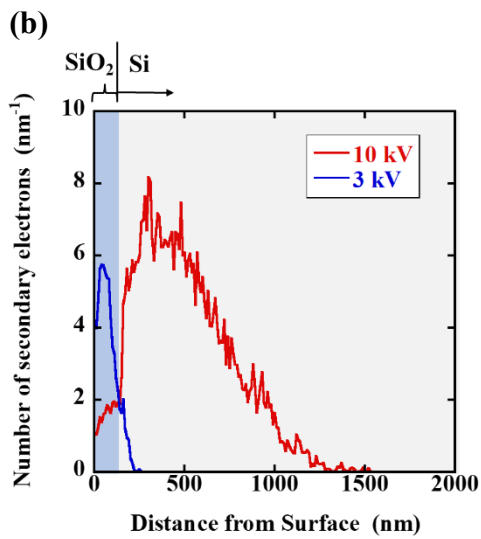


Fig.5 Trajectory of electron scattering obtained by Monte Carlo simulation. (a) Distribution of secondary electron Generation points. (b) Depth distribution of number of secondary electrons. (c) Its distribution near the SiO<sub>2</sub>/Si interface

また、電子線照射による欠陥生成量を定量的に調べるため、電子線量を減らし、加速電圧 10 kV および 30 kV において同様の実験を行った。

Fig.6 の(a)~(c)には加速電圧 10 kV での電

子線照射箇所の Si 表面像 (d)には電子線未照射箇所の Si 表面像を示す。Fig.6 より、電子線照射量が大きいほどエッチピット数が増えており、Si 表面での欠陥生成量が増加していることがわかる。

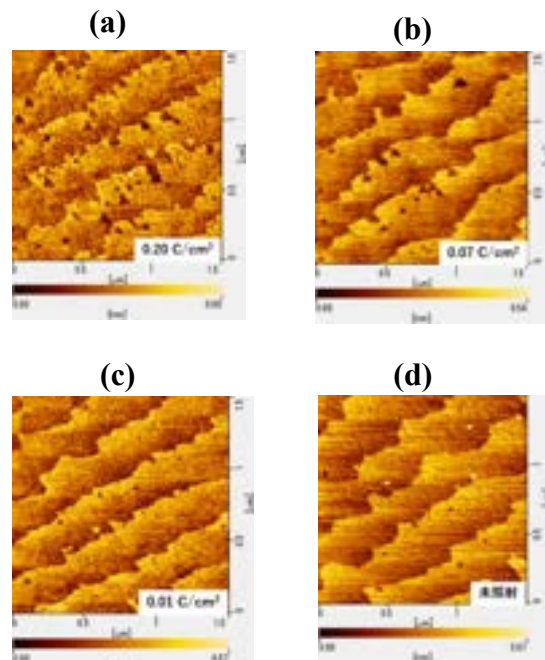


Fig.6 AFM image of Si surface after irradiation with 10keV electron beam and 30-min LOW etching, (a) electron dose: 0.20 C/cm<sup>2</sup>, (b) electron dose: 0.07 C/cm<sup>2</sup>, (C) electron dose: 0.01 C/cm<sup>2</sup>, (d) not irradiated area

Fig.7 には電子線量とエッチピット数の関係について、加速電圧 30 kV での実験結果も併せて示す。30 kV での電子線照射においても電子線量が増えるほどエッチピット数が増加する傾向がみられた。同じ電子線量では、加速電圧 10 kV よりも 30 kV のほうがエッチピット数の増加量が少なく、すなわち欠陥が生成しにくいことがわかった。

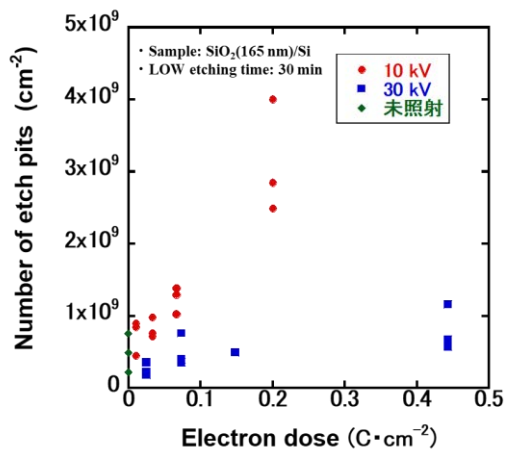


Fig.7 Relationship between electron dose and number of etch pits.

また、実験と同じ試料構造を模したモデルに対して、電子線シミュレーションを行った。シミュレーションで得た界面近傍での二次電子発生数の深さ方向分布をFig.8示す。シミュレーション結果より、30 keVでの電子線照射では10keVよりも非弾性散乱が起きにくく、それによって欠陥生成量が少なかったのではないと考えられる。

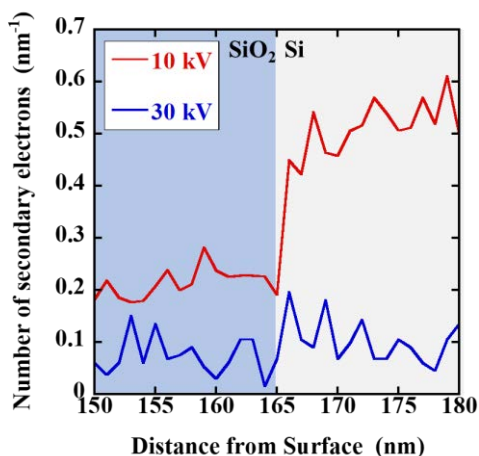


Fig.8 Depth distribution of number of secondary electrons near the SiO<sub>2</sub>/Si

## 5. まとめ

本研究では低溶存酸素水(LOW)により

Si(111)表面を平坦化することで、電子線照射により生成したSiO<sub>2</sub>/Si界面欠陥分布を観察した。電子線散乱シミュレーションとの比較により、SiO<sub>2</sub>/Si界面近傍では熱酸化時に蓄積された応力による結晶構造の歪み領域が主に界面から4 nm程度の領域に存在することを示唆された。今後は、熱酸化の際の温度や時間を変えて実験を行うことで、熱酸化条件によるSiO<sub>2</sub>/Si界面近傍の応力分布の違いについて詳細に調査していく。

本研究の一部は日立ハイテクとの特別共同研究事業「アドバンスドSEMテクノロジー」の協力を得て遂行された。

## 参考文献

- [1] 磯前誠一: 応用物理 60, 774 (1991).
- [2] S. Watanabe: J. Chem. Phys. 108, 5965 (1998).
- [3] J. Flidr, Y.-C. Huang, T.A. Newton and M.A. Hines: J. Chem. Phys. 108, 5542 (1998).
- [4] J. Flidr, Y.-C. Huang and M.A. Hines: J. Chem. Phys. 111, 6970 (1999).
- [5] C.P. Wade and C.E.D. Chidsey: Appl. Phys. Lett. 71, 1679 (1997).
- [6] H. Luo and C.E.D. Chidsey: Appl. Phys. Lett. 72, 477 (1998).
- [7] H. Fukidome, M. Matsumura, T. Komeda, K. Namba and Y. Nishioka: Electrochim. Solid-State Lett. 2, 393 (1999).
- [8] D.A. MacLaren, N.J. Curson, P. Atkinson and W. Allison: Surf. Sci. 490, 285 (2001).
- [9] S.P. Garcia, H. Bao, M. Manimaran and M.A. Hines: J. Phys. Chem. B 106, 8258 (2002).
- [10] J. S. Villarrubia and Z. J. Ding: Proc. SPIE 7272 (2009).

# 実験室系 HAXPES による不純物濃度の異なる基板を用いた MOS 構造の電圧印加特性評価

## Evaluation of Bias Application Characteristics of MOS Structures on Substrates with Different Impurity Concentrations by Laboratory HAXPES

箕輪 卓哉<sup>1</sup> 白田 宏治<sup>2</sup> 横川 凌<sup>2,3,4</sup> 小椋 厚志<sup>1,2</sup>

1 明治大学 理工学部 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

2 明治大学 MREL 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

3 広島大学 半導体産業技術研究所 〒739-8530 広島県東広島市鏡山 1-4-2

4 広島大学大学院 先進理工学研究所 〒739-8530 広島県東広島市鏡山 1-4-2

Takuya Minowa<sup>1</sup>, Koji Usuda<sup>2</sup>, Ryo Yokogawa<sup>2,3,4</sup>, Atsushi Ogura<sup>1,2</sup>

*1 School of Science and Technology, Meiji University, 1-1-1 Higashimita, Tama-ku, Kawasaki, Kanagawa  
214-8571, Japan*

*2 Meiji Renewable Energy Laboratory (MREL), Meiji University, 1-1-1 Higashimita, Tama-ku, Kawasaki,  
Kanagawa 214-8571, Japan*

*3 Research Institute for Semiconductor Engineering, Hiroshima University, 1-4-2 Kagamiyama, Higashi-  
Hiroshima, Hiroshima 739-8530, Japan*

*4 Graduate School of Advanced Science and Engineering, Hiroshima University, 1-4-2 Kagamiyama,  
Higashi-Hiroshima, Hiroshima 739-8530, Japan*

*Tel: + 81-44-934-7352, Fax: + 81-44-934-7352 (e-mail:ce231071@meiji.ac.jp)*

### **Abstract**

This paper reports the results of operando bias-applied measurements using laboratory hard X-ray photoelectron spectroscopy (Lab. HAXPES). Lab. HAXPES is an effective technique for non-destructive and low-damage observation of band structures in multilayer films with buried interfaces. Operando bias-applied measurements were performed on a MOS structure, which is a fundamental sample closely resembling real devices. The bias-dependent peak shifts caused by band structure changes were successfully observed. Additionally, the technique was applied to MOS samples with different substrate doping concentrations. Variations in the magnitude of peak shifts due to differences in substrate concentration were also successfully detected. These results demonstrate that Lab. HAXPES allows independent layer-by-layer observation of band structure changes in MOS structures under applied bias.

### 1. はじめに

IoT 社会実現に向けて半導体デバイスの性能向上が求められている。界面は、デバイスの性能を決定づける一要因である[1]。半導体デバイスの微細化、3次元化に伴い、素子の埋もれた界面がデバイス特性に及ぼす影響が大きくなり、界面への理解を深めることが半導体デバイスを開発する上で重要である[2]。特に、界面の

非破壊評価は、実デバイスと同等の構造の素子における界面状態解析が可能であり、その進展は重要である。その一手法として、硬 X 線光電子分光法(HAXPES)は硬 X 線を用いることで従来の光電子分光法の数倍の検出深さを有し、埋もれた界面の評価が可能である。即ち、実デバイスの多層構造における埋もれた界面の非破壊評価が可能で有力技術として注目されている[3]。



Table 1 Substrates used for 5.70  $\Omega \cdot \text{cm}$  and 0.49  $\Omega \cdot \text{cm}$  samples.

	Type	Dopant	Thickness	Resistivity ( $\Omega \cdot \text{cm}$ )	Impurity Concentration ( $\text{cm}^{-3}$ )
5.70 $\Omega \cdot \text{cm}$ sample	P	B	525 $\mu\text{m} \pm 25$	5.70	$2.43 \times 10^{15}$
0.49 $\Omega \cdot \text{cm}$ sample	P	B	625 $\mu\text{m} \pm 25$	0.49	$2.83 \times 10^{16}$

他方、この HAXPES 技術に、電圧印加オペランド測定手法を組み合わせると、静的ではあるものの、素子動作を疑似的に再現した状態でのデバイス評価が実現可能である点で、大いに注目を集めている。しかしながら、未だ基礎的な研究例は乏しく[4,5]、例えば、詳細検討が待たれるバンド構造由来のピークシフトの印加電圧依存の解明は不十分と言える。そこで本研究では、半導体デバイス動作に関わる最も基本的な構造である MOS 構造試料を即時性の高いラボ HAXPES を用いて評価し、電圧印加下でのバンド構造由来のピークシフトによって生じることが予想される界面状態変化を、異なる 2 種の基板不純物濃度試料の比較の基で解析を試みたので報告する。

## 2. 実験条件

標準的な MOS 構造試料として、20 nm Au/8 nm 熱酸化 SiO<sub>2</sub>/p 型 Si 基板/200 nm Al を用意した(Fig. 1)。基板には抵抗率が 5.70 及び 0.49  $\Omega \cdot \text{cm}$  のドーパント濃度が異なる 2 種類を用いた。今回使用した基板の詳細を Table 1 に示す。p 型 Si 基板に熱酸化膜を形成後、表面に Au を、次に、裏面の酸化膜を希 HF 処理で除去後、Al をそれぞれ抵抗加熱蒸着により成膜した。各々の膜厚については、断面 SEM 観察及び分光エリプソメトリーを用いて確認した。

測定は、励起 X 線に Ga K $\alpha$  線( $h\nu = 9251.7 \text{ eV}$ )を用いたラボ HAXPES により実施した。本装置

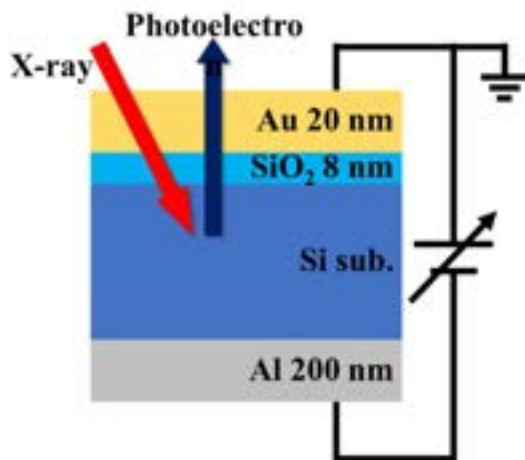


Fig. 1 Sample structure of MOS and measurement system of operando bias-applied Lab. HAXPES.

は、即時性が高く、放射光施設と比べて輝度が低いことでチャージアップの影響を抑えられるため、短 TAT (turn-around-time) 分析、及び測定精度の点で有利であると期待される。ここに、Si 単結晶の場合、励起される光電子の検出範囲は 45 nm 程度である。即ち、本測定における検出範囲は、表面電極である Au 層、SiO<sub>2</sub> 層、そして SiO<sub>2</sub> 層に接する Si 基板の一部が含まれる。Au 層表面を GND とした裏面への電圧印加により Si 1s, Au 4f の光電子スペクトルを取得した。ここに、Au-Au 結合は表面電極由来、Si-O 結合は SiO<sub>2</sub> 層由来のピーク、そして Si-Si 結合は Si 基板由来のピークである。Voigt 関数を用いて各スペクトルのピークフィッティングを行い、Si 1s の Si-Si 結合ピークと Si-O 結合ピーク、Au 4f<sub>7/2</sub> の Au-Au 結合ピーク位置を取得した。以下では、それぞれのピークに対して、印加電圧 0 V 時のピーク位置を基準としたピーク変化量について議論を行う。

## 3. 結果および考察

Fig. 2 に取得した光電子スペクトルを示す。Fig. 2(a)より、Si 基板由来の Si-Si、SiO<sub>2</sub> 層由来の Si-O のピークが明瞭に観測された。これらのピークは印加電圧と共にシフトし、Si-Si のピークシフト量は Si-O に比べて明らかに大きい。また、Fig. 2(b)より、Au-Au ではピークシフトが生じていない。したがって、Si 基板、SiO<sub>2</sub> 層、Au 層の順に電位が分布されていることが確認できる。そこで以下では、ピークシフトを理解するために手始めに、これらのピークシフトは電位降下に起因することを前提とする。本試料では不純物濃度に起因する Si 基板の抵抗、SiO<sub>2</sub>/Si 界面近傍で生じるバンドバンド、SiO<sub>2</sub> 層の抵抗、が電位降下の主要な要因である。そして、基板の不純物濃度が大きくなると Si 基板由来の抵抗が小さくなるため、電位印加に伴う電位降下量は小さくなるという前提で議論する。特に、今回はこのバンドバンドを理解するため、印加電圧量が直接的に影響する絶縁膜近傍以外の基板側の電位降下、不純物によって生じる半導体の絶縁膜近傍の大きなバンド変化、酸化膜の電位降下に注目した解析を実施した。

Fig. 2 のピーク位置を基に算出したピークシフトの印加電圧依存性を Fig. 3 に示す。最初に、5.70  $\Omega \cdot \text{cm}$  試料の場合(Fig. 3(a))に着目する。Au-Au のピークシフト量は印加電圧の大きさに

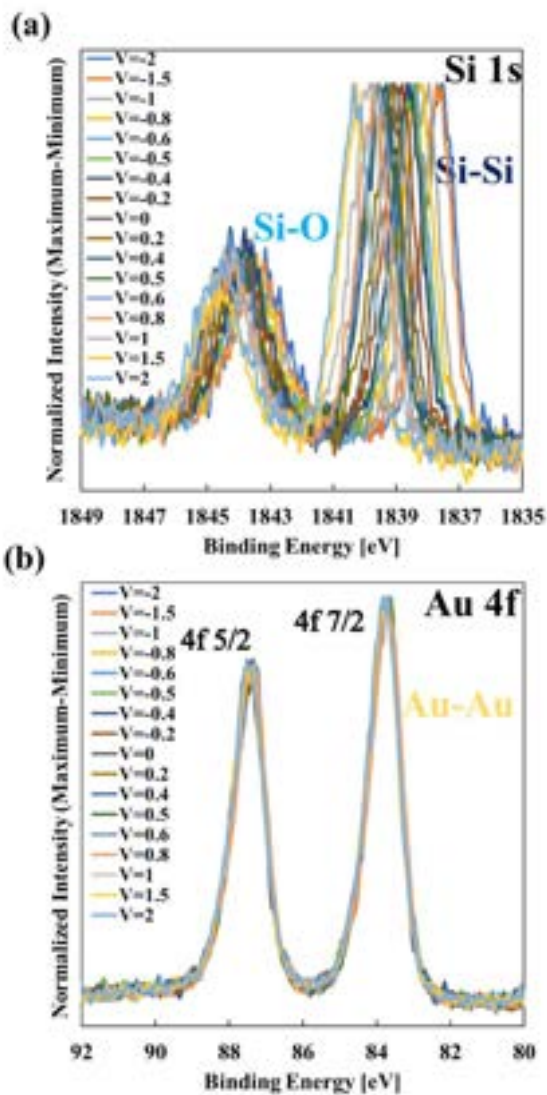


Fig. 2 Photoelectron spectra of (a) Si 1s and (b) Au 4f by HAXPES for 5.70  $\Omega \cdot \text{cm}$  sample.

関係なく一定であることから、Au層はGNDに接続されており、Au電極下の試料に想定通りの電位が印加されていることが確認できる。一方、Si-Si、Si-Oのピークシフト量は、反転層形成や蓄積層形成の影響が小さい低電圧印加領域( $\pm 0.5$  V程度)では印加電圧に伴いリニアに変化することが確認できた。Si-Siでは、印加電圧に伴いSi基板のバンドベンド量もリニアに変化した結果、ピークシフト量が印加電圧と一致したと考えられる。また、Si-Oについても、印加電圧に伴いSiO<sub>2</sub>層内で生じる電位勾配がリニアに変化した結果、そのピークシフト量も印加電位量に応じて線形に変化したと考えられる。なお、電位印加に伴うSiO<sub>2</sub>層近傍以外のSi基板側の電位降下量の変化は、半導体の絶縁膜近傍のバンドベンドによる電位降下量の変化より

も十分に小さいため、ピークシフト量に与える影響は軽微であると考えられる。

他方、上記の反転層形成や蓄積層形成の影響が小さい低電圧印加領域( $\pm 0.5$  V程度)よりも高電圧を印加した場合は、そのピークシフト挙動が異なる結果が得られた。即ち、低電圧印加領域よりも高い-0.5 から-1.5 V付近の領域にてピークシフト量変化がリニア変化から乖離し始め、印加電圧に対するピークシフト量の明確な減少が確認された。この領域は、Si基板濃度を考慮すると、弱反転領域と考えられる。強反転に向けて、Si側のアクセプタイオンの濃度に相当する正孔が、酸化膜を介して金属側で発生している状況から、空乏層領域に更なる電位を印加することで誘起される電子に相当する正孔が金属側で発生する状況になることで、バンドベンド変化が抑制されると推測され、それに

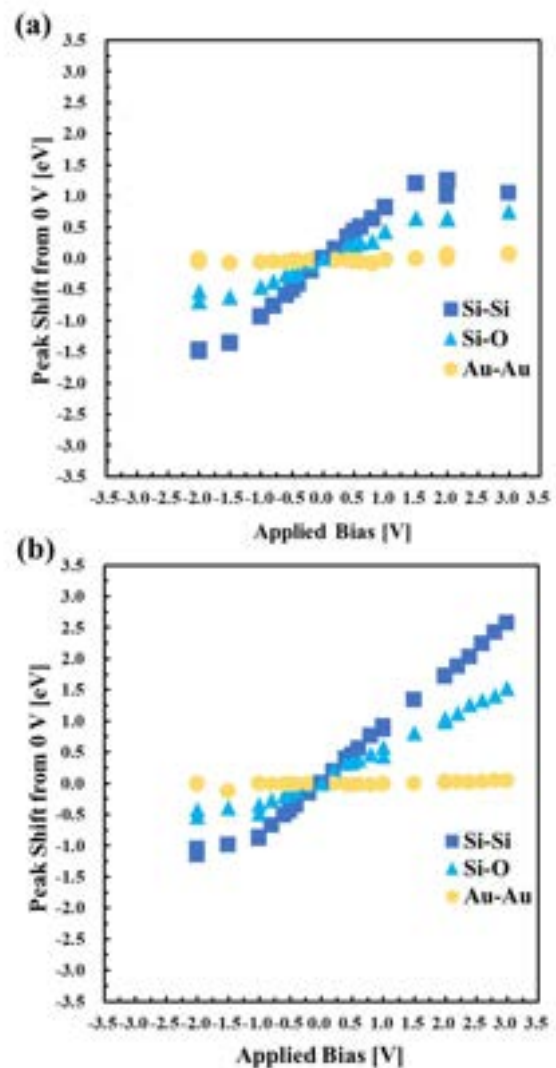


Fig.3 Peak shifts by HAXPES dependence on applied bias for (a) 5.70  $\Omega \cdot \text{cm}$  and (b) 0.49  $\Omega \cdot \text{cm}$  samples.

対応したピークシフト量変化が観測されたと示唆される。続いて、印加電圧が-1.5 V 以上と更に大きい領域では、ピークシフト量の明確な変化が観測された。この領域では Si 基板に強反転状態が生じていると考えられる。強反転領域では誘起された電子密度が同じ領域に存在するアクセプタイオンよりも十分に大きくなる。結果として、強反転領域では、SiO<sub>2</sub>/Si 界面の Si 側に高濃度の電子が誘起されるので、電位印加に対して空乏層が形成されている範囲のバンドは動かなくなる(バンドの固定化)と考えられる。即ち、反転層領域に誘起された高濃度の電子によって、SiO<sub>2</sub>/Si 界面の Si 側に高濃度電子による金属層のような振る舞いとなる層が形成され、この領域のバンドバンド量は変化しなくなると考えられる。したがって、その状況におけるピークシフト量の変化は、酸化膜及び基板本来の抵抗で発生する電位降下に起因すると考えられる。

次に正電圧を印加した場合、負電圧を印加した場合と同様に、反転層形成や蓄積層形成の影響が小さい低電圧印加領域(±0.5 V 程度)よりも印加電圧が高い 0.5 から 1.5 V 付近にて、電圧印加量に対するピークシフト量変化がリニアな変化から外れ始める現象を観測した。本結果は、Si 基板濃度を考慮すると、上記の反転条件の場合と同様の解釈が可能で、Si 層が蓄積状態に変化し始めた状況を反映していると考えられる。さらに印加電圧を高めると、1.5 V 以上において、負電圧の印加時と同様のピークシフト量の明確な変化を観測した。フェルミレベルと価電子帯上端が接近したことにより、蓄積層領域の Si が金属的な振る舞いを示し、電位印加時のバンド変化が抑制、即ち固定化され、検出範囲外の基板側で電位勾配が発生するようになったと考えられる。結果として、酸化膜と基板本来の各抵抗がよりピークシフトを直接支配するようになったため、このような現象が生じたと考えられる。

次に、0.49 Ω·cm 試料の場合(Fig. 3(b))に着目する。反転層形成や蓄積層形成の影響が小さな低電圧印加領域(-0.25 から 0.75 V)では 5.70 Ω·cm 試料と同様に印加電圧に伴う Si-Si、Si-O のリニアなピークシフト量変化を観測した。電圧無印加時(0V)の Si 基板のバンドバンド量は、基板の抵抗値が低いほど大きくなる。そのため、この低電圧印加領域の範囲全体が、低抵抗基板である 0.49 Ω·cm 試料の場合には、正電圧印加側にシフトしたと考えられる。

負電圧印加した場合、-0.25 から-1.0 V 付近では、ピークシフト量変化がリニアな変化から外れ始めており、弱反転領域由来と思われるピークシフト量変化が観測された。さらに印加電圧を高めた場合、-1.0 V 以上の領域では 5.70 Ω·cm 試料と同様のピークシフト量変化が観測さ

れた。低抵抗である 0.49 Ω·cm 試料は不純物濃度が濃く、最大空乏層幅が小さくなるため、より低い負電圧で空乏層が最大化する。不純物濃度が異なる 2 つの基板間で、電圧印加時のピークシフト量が線形から変化する印加電圧値が-1.0 V と-1.5 V と異なる結果が観測された理由は、まさに、この空乏層幅の差を明確に反映した結果が観測された事に拠ると考えられる。

また、正電圧印加した場合も 5.70 Ω·cm 試料と同様に蓄積領域におけるバンドの変化及びバンド固定化によるピークシフト量の変化が観測された。しかし、そのバンド固定化によるピークシフト量の変化は 5.70 Ω·cm 試料に比べて、よりリニアに近い変化であることが確認できる。これは、低抵抗である 0.49 Ω·cm 試料では、空乏層範囲外の基板による電位勾配が小さくなり、よりリニアに近いピークシフト量変化になったと考えられる。以上、ラボ HAXPES と Si 基板中の不純物濃度が異なる試料を用いて MOS 構造の電位印加測定を実施し、濃度の違いによる MOS 構造のバンド変化観測に成功した。得られた結果は、定性的な MOS 動作説明と良く一致することも明らかとなった

#### 4. まとめ

Ga 線源を用いたラボ HAXPES の電圧印加オペランド測定により、素子動作理解に最も重要かつ基礎的構造である MOS 構造を評価し、バンド構造変化情報の取得を試みた。結果、低電圧印加条件下では反転層形成や蓄積層形成の影響が少ないために、Si-Si、Si-O のピークシフト量が印加電圧と一致し、リニアに変化する現象を観測した。一方、高電圧印加条件下では、負電位印加時には強反転層形成によると考えられるピークシフト量変化の抑制、正電位印加側では蓄積層形成によるピークシフト量変化の観測にそれぞれ成功した。加えて、不純物濃度が異なる 2 種類の基板にて、基板の抵抗率の差異に起因すると考えられるピークシフト量変化の観測にも成功した。結果として、ラボ HAXPES の電圧印加オペランド測定は、本提案の解析方法を適用すれば、基板濃度変化した MOS 界面の電位分布差を、非破壊で、即時性高く直接観測できると期待される。

#### 参考文献

- [1] Y. Gao, *Mater. Sci. Eng. R.* **68**, 39 (2010).
- [2] R. A. Mckee *et al.*, *Science* **293**, 468 (2001).
- [3] S. Tanuma *et al.*, *Surf. Interface Anal.* **43**, 689 (2011).
- [4] K. Kobayashi *et al.*, *J. Electron Spectrosc. Relat. Phenom.* **190**, 210 (2013).
- [5] O. Renault *et al.*, *Faraday Discuss.* **236**, 288 (2022).

# エッチング溶液中 C-V 測定による SiO<sub>2</sub> 膜中固定電荷分布評価

## Evaluation of Fixed Charge Distribution in SiO<sub>2</sub> Film by C-V Measurement in Etching Solution

渡部 智也、蓮沼 隆

筑波大学 〒305-8573 茨城県つくば市天王台 1-1-1

Tomoya Watanabe and Ryu Hasunuma

University of Tsukuba, 1-1-1 Tennodai, Tsukuba, Ibaraki 305-8573, Japan

Tel: + 81-29-853-5439 (e-mail: s2320314@u.tsukuba.ac.jp)

### Abstract

We propose a simple and precise method to obtain the depth profile of charges in SiO<sub>2</sub> films, where repetitive C-V measurement is done in an electrolytic solution containing etchant, such as HF. The SiO<sub>2</sub> thickness variation during etching was obtained by fitting with calculated C-V curves, which were drawn based on the substrate charge determined by the Quasi-Static C-V method. The charge distribution obtained for the F-N stressed SiO<sub>2</sub> films was well explained with impact ionization.

### 1. 研究背景

MOS キャパシタの C-V 曲線は、酸化膜中に電荷が捕獲されると、電圧方向にシフトする。基板からの距離  $x$  での酸化膜中電荷密度  $\rho(x)$  を用いて、電荷が捕獲されることによるフラットバンド電圧シフト  $\Delta V_{FB}$  は以下のように表せる [1]。

$$\Delta V_{FB} = -\frac{1}{\epsilon_{ox}} \int_0^{T_{ox}} (T_{ox} - x) \rho(x) dx \quad (1)$$

ただし、 $\epsilon_{ox}$  は酸化膜の誘電率、 $T_{ox}$  は酸化膜厚である。一方、MOS キャパシタに印加されるゲート電圧  $V_g$  は

$$V_g = -\frac{Q_s}{\epsilon_{ox}} T_{ox} + \Psi_s + \Delta\Phi - \Delta V_{FB} \quad (2)$$

と表される [1]。ここで式(2)の右辺の第 1 項は半導体に誘起された電荷  $Q_s$  (ゲート電極には  $-Q_s$ ) によって酸化膜に印加される電圧  $V_{ox}$ 、第 2 項は半導体表面ポテンシャル、第 3 項はゲート電極と半導体の仕事関数差である。なお、 $Q_s$  は空乏層電荷、反転電荷、蓄積電荷、および界面欠陥

電荷の和である。 $\rho(x)$  を、

$$\rho(x) = \sum_{n=0}^{\infty} k_n x^n \quad (3)$$

と多項式で近似すると、 $V_g$  は式(1)-(3)より以下のように表される。

$$\begin{aligned} V_g &= -\frac{Q_s}{\epsilon_{ox}} T_{ox} + \Psi_s + \Delta\Phi \\ &\quad - \frac{1}{\epsilon_{SiO_2}} \left( \int_0^{T_{ox}} T_{ox} \rho(x) dx - \int_0^{T_{ox}} x \rho(x) dx \right) \\ &= -\frac{Q_s}{\epsilon_{ox}} T_{ox} + \Psi_s + \Delta\Phi \\ &\quad - \frac{1}{\epsilon_{ox}} \left( \frac{k_0 T_{ox}^2}{1 \cdot 2} + \frac{k_1 T_{ox}^3}{2 \cdot 3} + \frac{k_2 T_{ox}^4}{3 \cdot 4} + \dots \right) \quad (4) \end{aligned}$$

ここで、ある特定の  $\Psi_s$  が常に保たれるという条件が成り立つ場合、 $T_{ox}$  を変数として式(4)の両辺を  $T_{ox}$  で二階微分すると

$$\begin{aligned} \frac{d^2 V_g}{dT_{ox}^2} &= -\frac{1}{\epsilon_{ox}} (k_0 + k_1 T_{ox} + k_2 T_{ox}^2 + \dots) \\ &= -\frac{1}{\epsilon_{ox}} \rho(x) \quad (5) \end{aligned}$$

が得られる。すなわち、実験的には $V_g$ と $\Psi_s$ の関係を、エッチングを繰り返しながらその都度取得し、 $V_g$ を膜厚で二階微分する(ただし $\Psi_s = \text{const.}$ の条件下)ことによって酸化膜中電荷分布 $\rho(x)$ を直接求めることができる。ここで、二階微分の結果が $\Psi_s$ の値に依存しないという点が重要である。

酸化膜中電荷分布 $\rho(x)$ を評価するためには酸化膜エッチングと MOS キャパシタ電極形成及びC-V測定を繰り返す行うことが一般的である。電極形成は金属膜堆積、あるいは水銀プローブなどによって行うが、堆積時のダメージ混入や、酸化膜表面汚染制御の難しさなど、いくつかの懸念が生じる。我々はこの懸念点を払拭し、かつより簡便に行うことができる、酸化膜のエッチング作用を持つ電解液中でのC-V測定を行い、酸化膜中電荷分布を評価した。

## 2. 溶液中 C-V 測定による酸化膜中電荷分布評価

上述した方法で酸化膜中電荷分布を得るには、エッチング中の酸化膜の残存膜厚を常にモニターする必要がある。一般的にはC-V測定で得られる飽和容量から求めることができる。通常、飽和容量を求めるためにはある程度大きな電圧を印加する必要があるが、電解液中では電気分解が起こり、C-V測定に影響が出ることや気泡の発生による試料面積の変化など様々な問題がある。我々は比較的小さな電圧範囲で得られるC-V曲線から膜厚を算出する方法を考案した。

まず、エッチング作用のない電解液中で、電気分解が起こらない電圧範囲でC-V測定を行う。酸化膜厚 $T_{ox}$ は予めエリプソメータで測定する。次に、得られた容量から半導体容量 $C_d$ の電圧依存性を取得する。一方、同じ電解液中でQS C-

V法により $\frac{\Delta Q_s}{\Delta V_g}$ を測定する。 $V_{ox} = -\frac{Q_s}{\epsilon_{ox}} T_{ox}$ である

から、各電圧での $\frac{\Delta V_{ox}}{\Delta V_g}$ を求めることができる。エ

ッチングによって膜厚が $\Delta T_{ox}$ 減少したとする。ある特定の半導体電荷 $Q_s$ がエッチング前後で維持される状況に着目すると、それはすなわち $\Psi_s$ および $C_d$ も維持されており、得られる容量はエッチングによって $\frac{\epsilon_{ox} S}{T_{ox}}$ と $C_d$ の直列合成容量か

ら $\frac{\epsilon_{ox} S}{T_{ox} - \Delta T_{ox}}$ と $C_d$ のそれに変化する( $S$ は電極面積)。

はじめに行ったC-V測定で得られたすべての容量値について、この変換を行う。

一方、ある特定の $Q_s$ が維持された状態で膜厚が $\Delta T_{ox}$ 減少したとき、酸化膜にかかる電圧は $-\frac{Q_s}{\epsilon_{ox}} \Delta T_{ox}$ だけ変化する。これに応じて、上で述

べた容量値変換に加え電圧シフトを導入した、 $\Delta T_{ox}$ だけエッチングしたときの仮想C-V曲線を得ることができる。この仮想曲線をエッチング中に実際に取得するC-V曲線にフィッティングすることで膜厚変化を取得することが可能である。

上で述べたように $Q_s$ が維持された状態での容量値変換を行っているため、フィッティングパラメータの1つである仮想曲線の電圧方向の位置 $V_{fit}$ (エッチングとともに変化する)の二階微分をすることで電荷分布を求めることができる。

溶液中C-V測定系をFig. 1に示す。テフロン製ビーカーを電解質溶液で満たし、サンプルを支えるセルとPt電極を浸漬する。セルの断面図をFig. 1(b)に示す。試料の裏面はPt線と電氣的



に接触している。試料が溶液と触れる面積は、酸化膜上に付着させたシリコンゴムシートに作製した円形の穴の面積で決定され、およそ  $4\text{mm}^2$  である。

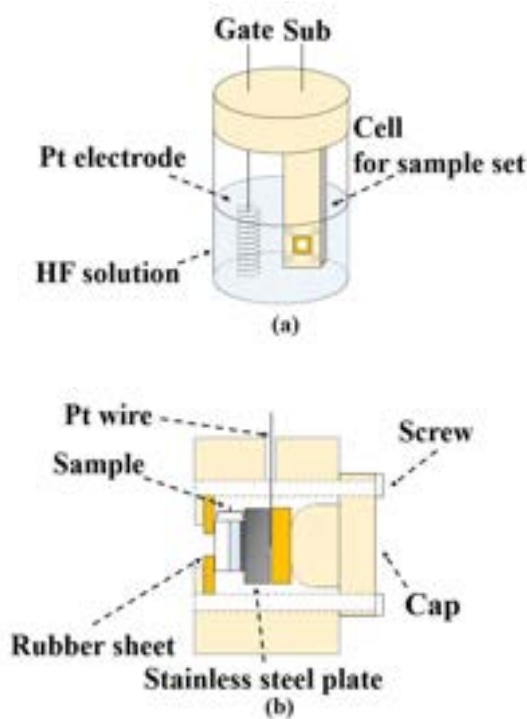


Fig. 1 External view of  $C-V$  measurement system in solution.

試料の作製手順について説明する。まず、 $n$ -Si(100)基板上に、乾燥酸素雰囲気下において  $1000\text{ }^\circ\text{C}$  で約  $30\text{ nm}$  の熱酸化膜を形成した。次に、酸化膜上に真空蒸着で Al を堆積し、パターニングにより Al 電極を形成した（一部の試料は Al を全てエッチングする）。最後に試料裏面に Al を蒸着し、裏面電極とした。

酸化膜中に電荷を注入するために、試料に定電流ストレスを印加した。このときの電流値は電子を基板から注入する方向に  $7.5 \times 10^{-5}\text{ A/cm}^2$ 、印加時間は  $300\text{ s}$  である。定電流ストレス印加時の典型的な電圧変化を Fig. 2 に示す。ストレス初期は正孔捕獲が、後半では電子捕獲が主に観測された。電荷注入後にリン硝酸で Al 電極を

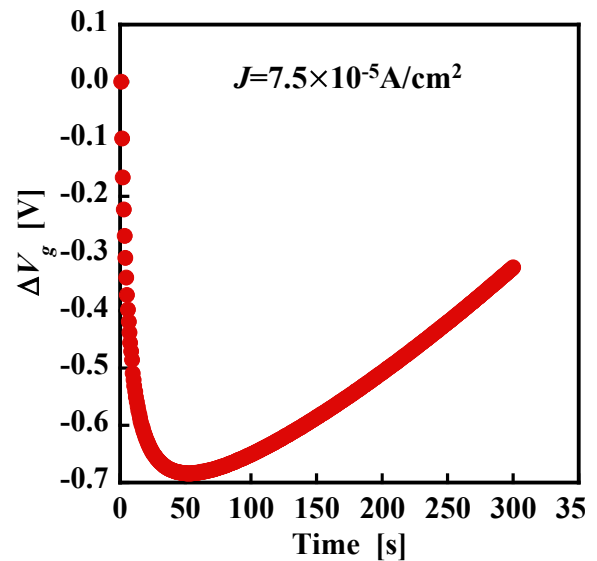


Fig. 2  $V-t$  characteristic when constant current stress is applied.

除去した。

上述したように、まずエッチング作用のない電解質溶液で  $C-V$  測定および QS  $C-V$  測定を行った。このときの電解液は体積比  $\text{HCl}(36\%):\text{H}_2\text{O}=1:19$  である。 $C-V$  測定の周波数は  $10\text{ kHz}$  である。またこの周波数での、固液界面に存在する電気二重層容量は  $1.26 \times 10^{-6}\text{ F/cm}^2$  であることを確認している。その後、溶液のイオン濃度が変化しないように濃度調整された HF を加え、酸化膜のエッチングとともに  $C-V$  測定を行った。エッチングレートはおよそ  $0.5\text{ nm/min}$  である。また、およそ  $20\sim 30$  秒ごとに一つの  $C-V$  曲線を取得した。測定中、常に直流電流をモニターし、電気分解による気泡生成を避けるべく掃引電圧範囲を制御した。

Fig. 3 は電荷未注入試料でフィッティングによって得られた膜厚の時間変化である（赤プロット）。また、同時にエッチングした別試料についてエリプソメータで測定された膜厚も示してある（青プロット）。両者は一致しており、本手法によって膜厚同定が正確にできることを示す。

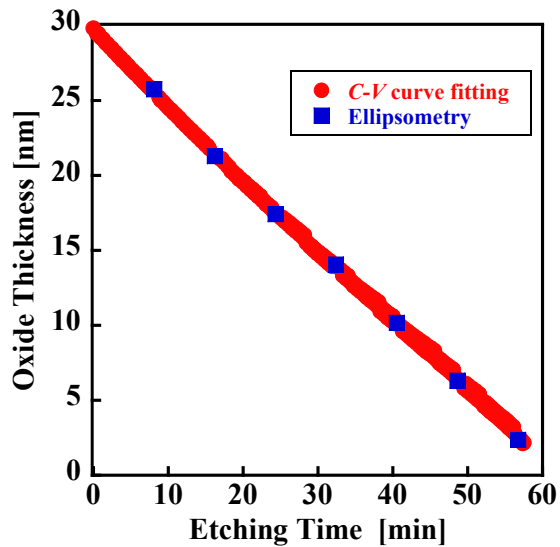


Fig. 3 Oxide thickness variation obtained by  $C$ - $V$  curve fitting, ellipsometry, and constant etching.

電荷未注入試料および注入された試料について得られた残存膜厚と $V_{fit}$ の関係を Fig. 4 に示す。ただしエッチング開始後最初の値を 0 V とした。電荷注入試料で、残存膜厚が 15, 23 nm 付近で傾きが変化しており、膜中電荷の存在が示唆される。図中、それぞれのプロットを 9 次の多項式で近似した上で二階微分を行い、10 点の測定点毎に表示したものを Fig. 5 に示す。電荷未注入試料は、どの位置でも電荷密度が小さく、電荷未注入であることが示された。一方、電荷を注入された試料では、基板からの距離が約 6-17 nm の範囲で負電荷が確認された。また、基板、および表面に近い領域で正電荷が確認された。今回のストレス印加時の電圧が 25 V 程度であること、 $\text{SiO}_2$  のバンドギャップエネルギーが 9 eV であり [1]、酸化膜厚が 28.5 nm であることを考慮すると、Fig. 6 に示すように Si 基板からの距離が 13.8 nm 以上の領域でインパクトイオン化が起こる [2-5] と予想される。Fig. 5 において、基板からの距離がおよそ 13 nm 以上の領域で負電荷が多く観測されたのは、インパクトイオン化によって電子数が増加したためであると考えられる。インパクトイオン化によ

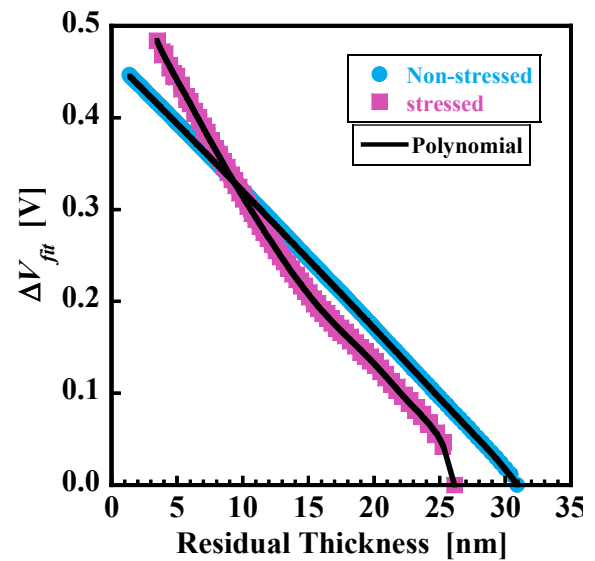


Fig. 4 Relationship between residual thickness and  $V_{fit}$  obtained by  $C$ - $V$  curve fitting.

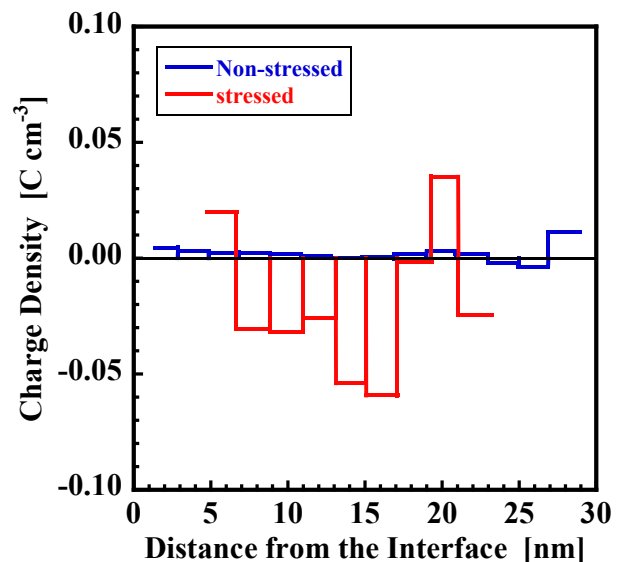


Fig. 5 Charge density distribution obtained by relationship between residual thickness and  $V_{fit}$ .

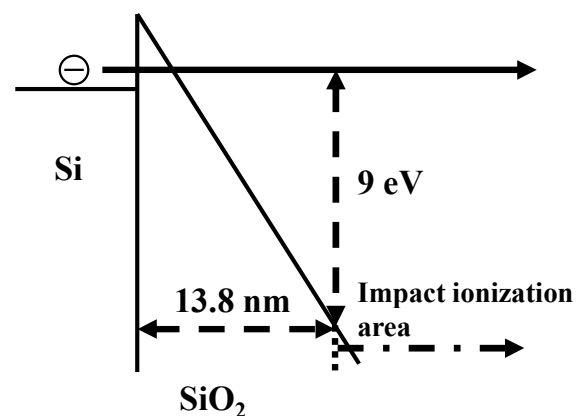


Fig. 6 Energy band diagram during charge injection.

て正孔も同時に生成するが、本測定で得られるのは正味の電荷であり、正・負電荷分布を直接分離して求めることは原理的に不可能である。基板近傍、および表面近傍領域で観測された正電荷の起源なども含め、インパクトイオン化による電子・正孔対生成、電荷のドリフト拡散、電荷捕獲の一連の現象を明らかにするためにはより詳細な解析が必要である。

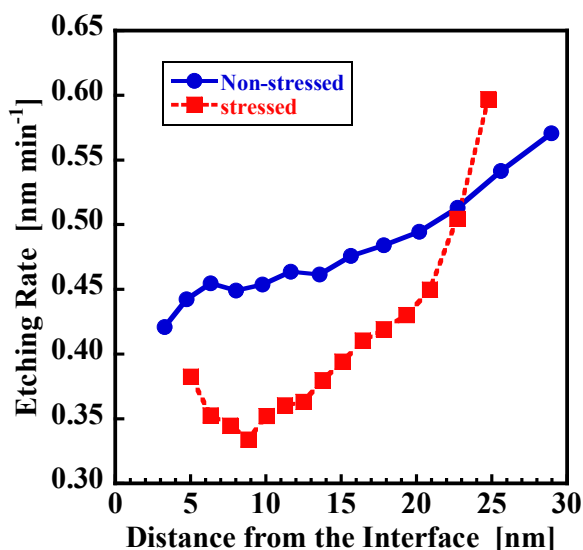


Fig. 7 Relationship between etching rate and Distance from the Interface obtained by oxide thickness variation.

$C-V$  曲線フィッティングによって得られた膜厚をもとに算出されたエッチングレートと基板からの距離の関係を Fig. 7 に示す。電荷未注入試料においてはエッチングが進行するにつれてエッチングレートが単調に減少している。これは酸化膜密度が深さ方向に分布しているためであり[6]、基板に近い領域では酸化時に生成した圧縮応力が高いことがわかっている。ストレス印加された試料については、基板からの距離が 9-20 nm で著しくエッチングレートが小さいことがわかる。この領域は Fig. 5 で示したように負電荷が捕獲された領域とほぼ一致す

る。HF 水溶液中でのエッチング反応において  $HF_2^-$  濃度がエッチングレートを決定していることが知られているが[7]、膜中負電荷によってクーロン斥力が働き、エッチングを阻害した可能性がある。

### 3. まとめ

HF を含む電解液中で得られる  $C-V$  特性から酸化膜中電荷分布を容易にかつ詳細に求めることが可能であることを示した。これを実現するためには残存膜厚のモニタリングが必須であるが、我々は飽和容量を測定することなく膜厚を求めることに成功した。

本手法は電解液中でのエッチングが可能な絶縁膜すべてに適用でき、絶縁膜の高信頼化に一役を担うと期待される。

### 参考文献

- [1] S. M. Sze, *Physics of Semiconductor Devices*, second edition. pp. 392-445.
- [2] D. J. Dimaria, *Solid-State Electronics*, Vol. 41, No. 7, pp. 957-965, 1997.
- [3] P. P. Apte, and K. C. Saraswat, *IEEE Transaction on Electron Devices*, Vol. 41, No. 9, pp. 1595-1602, Sep, 1994.
- [4] D. J. Dimaria, E. Cartier, and D. Arnold, *J. Appl. Phys*, Vol. 73, pp. 3367-3384, April, 1993.
- [5] W. Fichter, R. K. Watts, D. B. Fraser, R. L. Johnston, and S. M. Sze, *IEEE Electron Device Lett.*, Vol. 3, Issue. 12, pp. 412-414, Dec, 1982.
- [6] R. Hasunuma, H. Kawamura, and K. Yamabe, *Jpn. J. Appl. Phys*, Vol. 57, 06KB05, May, 2018.
- [7] 都田 昌之, 山本 康平, 山形大学紀要 (工学), 第 30 巻, pp. 45-54, 2008

# MOSFET 極低温動作におけるバンド端準位の影響： mK 帯 SS 温度依存性の定量的理論検討

## Effect of Band-edge States on Cryogenic Operation of MOSFETs: A Theoretical Investigation of the Temperature Dependence of Subthreshold Swing in mK Range

小林 唯華<sup>1,2</sup> 浅井 栄大<sup>2</sup> 飯塚 将太<sup>2</sup> 服部 淳一<sup>2</sup> 福田 浩一<sup>2</sup> 池上 努<sup>2</sup> 岡 博史<sup>2</sup>  
稲葉 工<sup>2</sup> 下方 駿佑<sup>2</sup> 加藤 公彦<sup>2</sup> 中山 隆史<sup>2</sup> 二国 徹郎<sup>1</sup> 森 貴洋<sup>2</sup>

1 東京理科大学 〒162-8601 東京都新宿区神楽坂 1 丁目 3

2 国立研究開発法人産業技術総合研究所 〒305-8560 茨城県つくば市梅園 1-1-1

Yuika Kobayashi<sup>1,2</sup>, Hidehiro Asai<sup>2</sup>, Shota Iizuka<sup>2</sup>, Junichi Hattori<sup>2</sup>, Koichi Fukuda<sup>2</sup>, Tsutomu Ikegami<sup>2</sup>,  
Hiroshi Oka<sup>2</sup>, Takumi Inaba<sup>2</sup>, Shunsuke Shitakata<sup>2</sup>, Kimihiko Kato<sup>2</sup>, Takashi Nakayama<sup>2</sup>,  
Tetsuro Nikuni<sup>1</sup>, and Takahiro Mori<sup>2</sup>

1 Tokyo University of Science, 1-3 Kagurazaka, Shinjuku-ku, Tokyo 162-8601, Japan

2 National Institute of Advanced Industrial Science and Technology,

1-1-1 Umezono, Tsukuba, Ibaraki 305-8560, Japan

Tel: + 81-80-2206-8675, (e-mail: kobayashi-yuika@aist.go.jp)

### **Abstract**

In this study, we investigated the effect of band-edge states on the cryogenic operation of MOSFETs, focusing on the temperature dependence of subthreshold swing (SS) in the millikelvin (mK) temperature range. To quantitatively reproduce the reported experimental results, a theoretical model assuming a Gaussian distribution of band-edge states was constructed, and the relationship between the density of states (DOS) and the temperature of SS was analyzed using one-dimensional TCAD simulations. Furthermore, we performed first-principles calculations focusing on the interface defects to explore the origin of the band-edge states. These findings provide valuable knowledge to chase the origin of band-edge states and contribute to the development of cryo-CMOS technology for quantum computers.

### 1. はじめに

量子コンピュータは、従来の古典コンピュータとは異なる原理に基づき、高速かつ並列的な計算を可能にする次世代の計算技術として近年大きな注目を集めている[1]。量子コンピュータの基本素子である量子ビットの実現方式は複数提案されているが、その中でも集積化の観点から超伝導素子[1]や半導体素子[2][3]での実現が期待されている。これらの量子ビットは極低温環境で安定的に動作させる必要がある。そのため量子ビットは希釈冷凍機内に配置され

ている一方、その制御装置は室温に設置されており、多数の配線ケーブルによって量子ビットに接続されている。量子ビットの大規模集積化に伴い配線ケーブルが増加すると、室温ステージから低温ステージへの熱流入が大きな問題となる。

この問題に対する解決策の一つとして、極低温ステージに CMOS 回路を利用した量子ビット制御回路を設置することが考えられている。この極低温動作に対応した CMOS 回路およびデバイス技術は、一般に cryo-CMOS 技術と呼ば

れ、現在研究開発が進められている[4][5]。cryo-CMOS 回路を実現するためには、まず回路素子である MOSFET の極低温動作特性を理解する必要がある。極低温での MOSFET 動作特性は、従来理論の予測とは異なることが報告されている。特にこれは閾値電圧[6]、移動度[7]、ノイズの増大[8]、Subthreshold Swing (SS) [9][10]などのパラメータにおいて顕著に見られる。更にこれらの研究により、価電子帯の最上端もしくは伝導帯の最下端近傍に存在するバンド端準位が、MOSFET の極低温動作に大きな影響を与えることが明らかになってきた。このバンド端準位は Si/SiO<sub>2</sub> 界面付近の不純物や格子欠陥、界面の歪み等によって生成されると考えられているが、現状ではその正体は明らかでない。

我々はこれまでの研究において、シリコン n 型 MOSFET の mK 領域までの SS の温度依存性を実験的に調べた[10]。SS は、サブスレッショルド領域でドレイン電流が 10 倍に増加するために必要なゲート電圧の量である。従来理論では、SS はボルツマン分布に従う拡散電流量を反映し、 $k_B T/q \ln(10)$  の形で温度に比例するとされている。しかし、実験の結果、温度低下に伴い SS は 10K 付近で一度一定となり、1 K 以下の領域では再び温度に比例して減少することが観測された。この現象は、Si/SiO<sub>2</sub> 界面に起因すると考えられているバンド端準位へのトラップ現象を考慮したモデルにより定性的に説明でき[10]、未だ起源が明確ではないバンド端準位の具体的な描像に迫る重要な実験事実となると考えている。

本研究では、バンド端準位の正体に迫るために、mK 領域までの SS の温度依存性を定量的に再現するモデルの構築を目指した理論研究を行なった。まず、バンド端準位としてガウス分布型のトラップ準位を仮定し、バンド端の状態密度(Density of States: DOS)のエネルギー分布と SS の温度依存性との関係を 1 次元の TCAD シミュレーションにより系統的に検討した。さらに、これらの知見に基づき、二種類のガウス分布型バンド端準位の組み合わせにより実験的に観測された SS の温度依存性を定量的によく再現できることを見出した。加えて、欠陥を含む Si/SiO<sub>2</sub> 界面に関する第一原理計算も実施した。

## 2. シミュレーション手法

本研究では、産総研が開発する Impulse TCAD[11]を利用して、長チャネル nMOSFET の伝達特性を評価した。式(1)の 1 次元シュレディンガー方程式と式(2)のポアソン方程式を自己無撞着に解いて得られるチャネルの表面キャリア濃度  $n_{2D}(z)$  (式(3)) を用いて、式(4)のようにドレイン電流  $I_D$  を計算した。得られた  $I_D$  を用いて、 $I_D \cdot L/W = 10^{-10}$  A での SS を求めた。

$$\left[ -\frac{\hbar^2}{2m_z} \frac{d^2}{dz^2} - q\phi(z) \right] \zeta_i(z) = \varepsilon_i \zeta_i(z) \quad (1)$$

$$\frac{d^2}{dz^2} \epsilon\phi(z) = q(N_A^- - N_D^+ + n_{2D} + \delta(z)N_{BE}) \quad (2)$$

$$n_{2D}(z) = \sum_i \frac{n_v m_d k_B T}{\pi \hbar^2} \ln \left[ 1 + \exp \left( \frac{E_F - \varepsilon_i}{k_B T} \right) \right] |\zeta_i(z)|^2 \quad (3)$$

$$I_D = \mu q n_{2D} W \frac{V_D}{L} \quad (4)$$

ここで、 $m_z$  は  $z$  方向の電子の有効質量、 $N_A^-$  はイオン化されたアクセプタ濃度、 $N_D^+$  はイオン化されたドナー濃度、 $N_{BE}$  はバンド端準位の電子密度、 $n_v$  はバレーの縮重度、 $m_d$  は状態密度有効質量を表す。また、全ての計算においてデバイスの幅  $W$  とゲート長  $L$  の比を  $W/L=100/100 \mu\text{m}$  とした。

バンド端準位としてはガウス分布型 (Fig. 1) を想定し、伝導に寄与しないトラップ準位として導入した。ガウス分布のパラメータ (標準偏差  $\sigma$ 、全準位数  $D_0$ 、中心  $E_0$ ) を変化させて SS の温度依存性への影響を調べた。本研究では、バンド端から指数関数型に減衰する準位[10]の代わりにガウス分布を採用することで、Fig. 1 に示すようなギャップ内に局在した準位も一律に検討した。

フェルミ・ディラック分布を  $f(E)$  とすると、ガウス分布型バンド端準位を取り入れた電子密度  $N_{BE}$  は、

$$N_{BE} = \int_{-\infty}^{\infty} dE \frac{D_0}{\sigma \sqrt{2\pi}} \exp \left( -\frac{1}{2} \frac{(E - E_0)^2}{\sigma^2} \right) f(E) \quad (5)$$

$$f(E) = \frac{1}{\exp[(E - E_F)/k_B T] + 1} \quad (6)$$

によって表せる。ポアソン方程式(2)の右辺において、Si/SiO<sub>2</sub> 界面( $z=0$ )にトラップ準位としてこれを導入した。

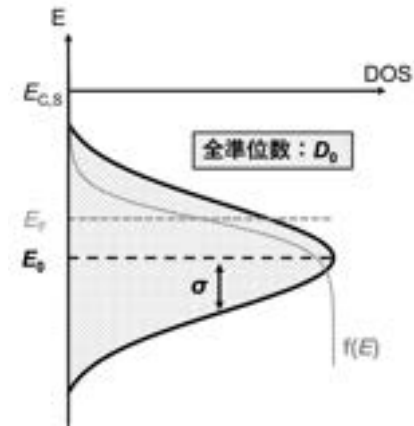


Fig. 1 Gaussian-distributed band-edge states



### 3. 結果および考察

#### 3.1 SS の温度依存性

まず、単一のガウス分布状トラップ準位を想定し、分布を規定するパラメータの SS 温度依存性に対する影響を見ていく。Figure 2 は  $\sigma=3.0$  meV,  $E_0=E_{c,s}$  (サブバンドの基底状態) に固定し、 $D_0$  を変化させたときの SS の温度依存性の計算結果である。バンド端準位の影響は、温度が下がるにつれてフェルミ準位  $E_F$  が  $E_{c,s}$  に近づくために、極低温下で顕在化する。 $D_0$  のみを変化させた場合は、SS の理論最小値であるボルツマン極限から逸脱し始める温度に違いはほとんど見られない。これは、ガウス分布を見ると、DOS が増加し始めるエネルギー値に大きな差がないことに対応している。全準位数  $D_0$  は SS の逸脱度合いに大きく影響しており、 $D_0$  が大きいほどボルツマン極限から大きく逸脱する。すなわち、トラップ準位が多いほど SS は劣化する傾向にある。

Figure 3 は  $D_0=5.0 \times 10^{11}$  cm<sup>-2</sup>,  $E_0=E_{c,s}$  に固定し、 $\sigma$  を変化させた時の SS の温度依存性の計算結果である。 $\sigma$  が大きいほど、DOS が増加し始めるエネルギー値が低くなるため、ボルツマン極限から逸脱し始める温度が高くなる。また、3 K 以下では、 $\sigma$  が小さいほどボルツマン極限からの逸脱が大きくなっている。これは、 $E_{c,s}$  近傍のトラップ準位数が多いことに起因する。このように  $\sigma$  は、逸脱し始める温度に関与している。

Figure 4 は  $\sigma=3.0$  meV,  $D_0=5.0 \times 10^{11}$  cm<sup>-2</sup> に固定し、 $E_0$  を変化させた時の SS の温度依存性の計算結果である。 $E_0$  が小さいほど、SS がボルツマン極限から逸脱し始める温度が高くなる。また、分布ピークが  $E_{c,s}$  から離れた場合、すなわち  $E_{c,s}$  近傍での DOS が小さい場合 ( $E_0=E_{c,s}-10$  meV) には、2 K 以下では SS がバンド端準位の影響をほとんど受けないことがわかる。これは、ギャップ内のトラップ準位はより高温側の SS に影響を与えはするものの、cryo-CMOS が対象とするような領域では影響を与えないことを示唆している。

さて、先行研究[10]の実験では、SS の温度依存性で見られた 20 K 付近からの飽和と 1 K 付近からの再減少が観測されている。しかし、ここまで述べてきた単一のガウス分布状トラップ準位では、実験結果の傾向を再現できない。そこで、これまで述べてきた計算結果を参考にしながら、実験結果を再現できるバンド端準位の描像を探った。

SS の飽和・再減少が始まる温度には  $\sigma$  が大きく影響していた。すなわち、 $\sigma=8.0$  meV で SS の飽和が 20 K 付近で始まり、 $\sigma=1.5$  meV で再減少が 1 K 付近で始まる。そこで、ガウス分布を 2 つ足し合わせた DOS を考え、計算を行なった (Fig. 5)。1 つ目のガウス分布は、 $\sigma_1=1.5$  meV,  $D_{0,1}=3.0 \times 10^{11}$  cm<sup>-2</sup>,  $E_{0,1}=E_{c,s}$ 、2 つ目のガウス分布

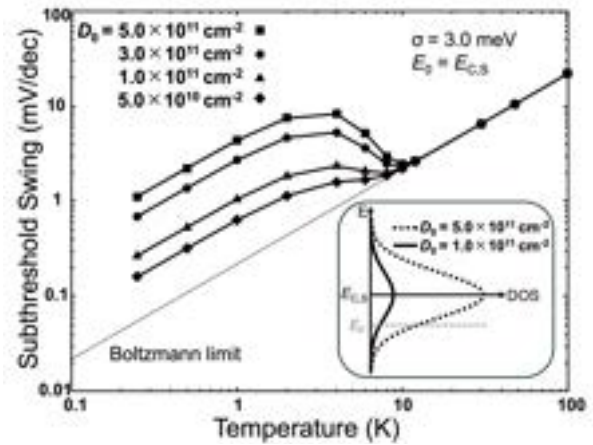


Fig. 2 Temperature dependence of SS for varying  $D_0$

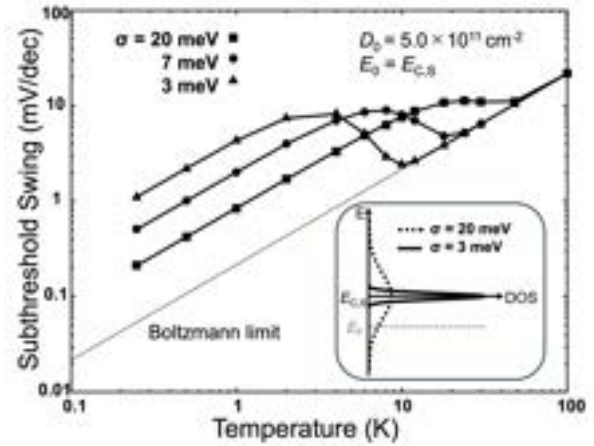


Fig. 3 Temperature dependence of SS for varying  $\sigma$

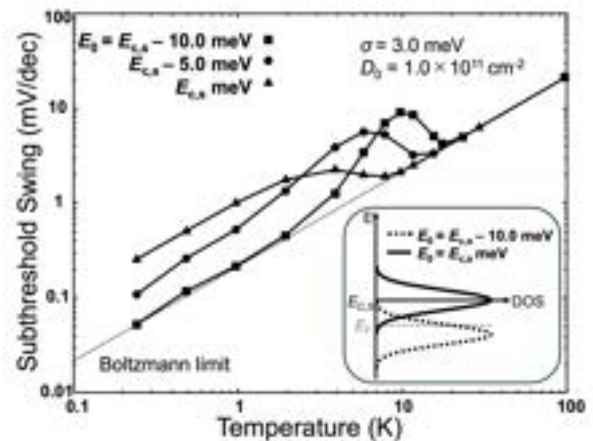


Fig. 4 Temperature dependence of SS for varying  $E_0$

は  $\sigma_1=8.0$  meV,  $D_{0,1}=3.0 \times 10^{11}$  cm<sup>-2</sup>,  $E_{0,1}=E_{c,s}$  とした。この場合のバンド端準位の形状は、Fig. 5 の DOS の形状のように、 $E_{c,s}$  付近では急激に準位が増加しており、加えてテールの長い成分があ

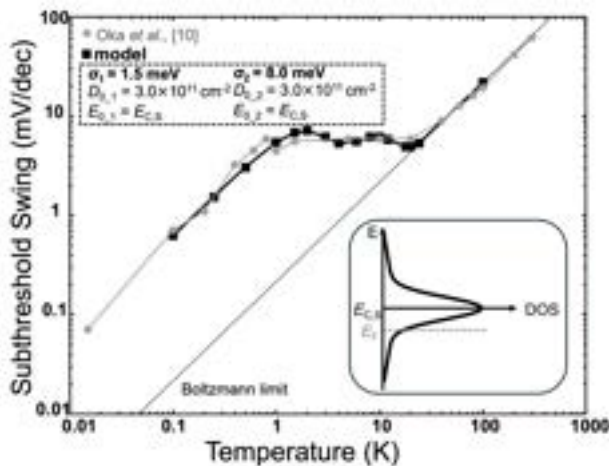


Fig. 5 Temperature dependence of SS based on DOS modeled by the sum of two Gaussian Distributions

ると考えられる。この条件において、電気特性に寄与する有効状態密度として、閾値電圧における  $E_F$  付近でのバンド端準位の状態数  $N_{BE-eff}$  を式(7)のように定義し求めた。

$$N_{BE-eff} = \int_{E_F - k_B T}^{E_F + k_B T} dE \frac{D_0}{\sigma \sqrt{2\pi}} \exp\left[-\frac{1}{2} \frac{(E - E_0)^2}{\sigma^2}\right] f(E) \quad (7)$$

Figure 6 は  $N_{BE-eff}$  の温度依存性である。3 K 付近で大きなピークとなっており、3 K 以下では徐々に減少している。SS の温度変化と合わせて考えると、温度低下と共に、電気特性に寄与するトラップの有効状態密度が一定量を超えると SS がボルツマン極限から逸脱し始め、また更なる温度低下と共に有効状態密度が一定値を下回ると、SS は再びボルツマン極限と平行に減少し始めるものと考えられる。

この2つのガウス分布状トラップ準位による実験結果の再現は、今回用いた分布が唯一解である保証はない。しかしながら、実際のバンド端準位は分布幅の異なる2種の分布の重ね

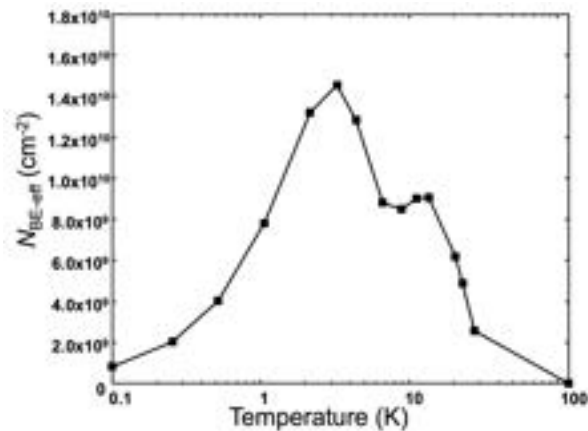


Fig. 6 Temperature dependence of effective state density

合わせになっていると考えられ、今後バンド端準位の正体を検討して行くにあたって、重要な知見になるものと考えている。

ここで、チャージノイズについて触れておく。極低温下におけるチャージノイズは、トラップ準位の影響を大きく受けることが知られている[8]。4 K 付近でチャージノイズが室温に比べ大きくなり、mK 領域では室温に比べてノイズが減少することが実験で観測されている。これは本研究の  $N_{BE-eff}$  と同様の温度依存性を示している。以上から、長いテールを持ち  $E_{c,s}$  付近で急激に増加するような形状のバンド端準位は、SS やノイズの温度依存性の実験結果を説明することができる可能性があると考えている。

### 3.2 界面欠陥が作り出す電子状態

前章では、ガウス分布型のバンド端準位を仮定し、全準位数  $D_0$ 、ガウス分布の広がりを表す標準偏差  $\sigma$ 、ガウス分布の中心  $E_0$  のパラメータを変化させてシミュレーションを行った。パラメータのうち、 $\sigma$  や  $E_0$  が実際にどのような物理的要因に依存するかを探るために、第一原理計算を用いて界面欠陥による電子状態を調べた。原子配置およびバンド構造は、ソフトウェア Quantum espresso[12,13]を用いて、標準的な密度汎関数理論に基づく第一原理計算により求めた。電子の交換相関汎関数には GGA 近似[14]のもとで PBE 形式[15]を、内殻電子を表現する擬ポテンシャルには PAW 法[16,17]を用いた。電子の波動関数のカットオフエネルギーは 50Ry とし、状態密度積分に利用するサンプル k 点は、Monkhorst-Pack 法[18]に基づいて  $1 \times 4 \times 4$  点とした。

Si/SiO<sub>2</sub> 界面の代表的な欠陥として  $P_{b0}$  と  $P_{b1}$  と呼ばれる欠陥がある。 $P_{b0}$  欠陥は Fig. 7 (a) のように Si 原子に 3 つの Si 原子が結合しており、ダングリングボンドを形成している。一方、 $P_{b1}$  欠陥は Fig. 7(b) のように Si 原子に 2 つの Si 原子と 1 つの O 原子が結合しており、ダングリングボンドを形成している。今回はこの2種類の欠陥を想定した。

Si/ $\alpha$ -quartz 界面及び Si/ $\beta$ -cristobalite 界面における構造最適化後の原子配置をそれぞれ Fig. 8 及び Fig. 9 に示す。(a)は欠陥の無い界面、(b)は  $P_{b0}$  欠陥のある界面、(c)は  $P_{b1}$  欠陥のある界面である。欠陥周辺のダングリングボンドは水素で終端した。

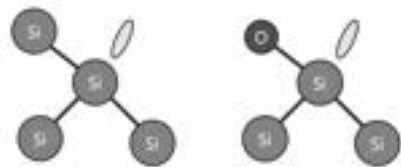


Fig. 7 (a)  $P_{b0}$  center defect (b)  $P_{b1}$  center defect



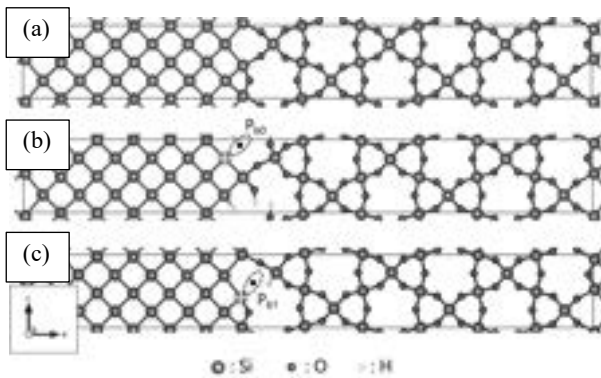


Fig. 8 Atomic configurations of Si/ $\alpha$ -quartz structures: (a) without defects, (b) with  $P_{b0}$ , and (c) with  $P_{b1}$

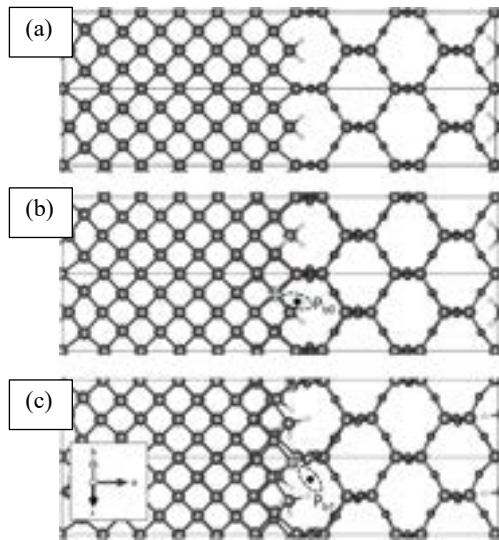


Fig. 9 Atomic configurations of Si/ $\beta$ -cristobalite structures: (a) without defects, (b) with  $P_{b0}$ , and (c) with  $P_{b1}$

それぞれの場合におけるバンド図を Fig. 10 に示す。欠陥の無い条件(a)(d)に比べ、欠陥のある条件(b)(c)(e)(f)ではバンドギャップ内に準位が形成されていることがわかる。

Si/ $\alpha$ -quartz 界面におけるバンドギャップ内の準位と伝導帯との差は、 $P_{b0}$  欠陥で 0.42eV、 $P_{b1}$  欠陥で 0.09 eV であった。一方、Si/ $\beta$ -cristobalite 界面におけるバンドギャップ内の準位と伝導帯との差は、 $P_{b0}$  欠陥で 0.42 eV、 $P_{b1}$  欠陥で 0.38 eV であった。SiO<sub>2</sub> の種類によって形成される準位が異なることは、3.1 節における  $\sigma$  の値を変化させることに対応している。一方欠陥の種類によって形成される準位が異なることは、 $E_0$  の値を変化させることに対応している。

今回の第一原理計算の結果と 3.1 章の結果を比較すると、 $P_{b0}$  や  $P_{b1}$  欠陥による準位はガウス分布で想定したエネルギー帯よりも深い位置にある。このことから、 $P_{b0}$  や  $P_{b1}$  欠陥が直接的

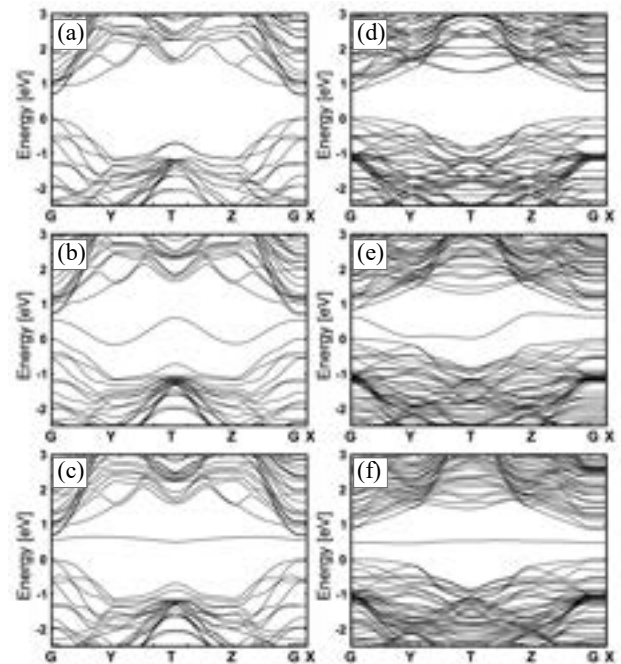


Fig. 10 Band diagrams of Si/ $\alpha$ -quartz and Si/ $\beta$ -cristobalite: (a–c)  $\alpha$ -quartz without defects, with  $P_{b0}$ , and  $P_{b1}$ ; (d–f)  $\beta$ -cristobalite without defects, with  $P_{b0}$ , and  $P_{b1}$

にバンド端準位の起源である可能性は低いと考えられる。しかし、欠陥の種類や周囲の環境の違いによって形成される準位の大きさに差が生じることはわかった。

この計算からもう 1 つわかることは、界面のシリコン層側の原子変位が、欠陥の種類や周囲の環境の違いによっても大きく変化するということである。このような原子変位はバンド端準位が生じる要因の 1 つとして挙げられることが多い。残念ながら、今回の研究結果の範囲内では、この原子変位が直接的にバンド端準位と関係していることまでは言及はできないが、その正体に迫るために、今後も検討を続けていきたいと考えている。

#### 4. まとめ

本研究では、未だ起源が明確ではないバンド端準位の具体的な描像に迫るために、バンド端準位としてガウス分布型のトラップ準位を仮定し、mK 帯までの SS の温度依存性を定量的に再現するモデルを構築、バンド端準位密度のエネルギー分布の関係を系統的に検討した。

その結果、ガウス分布の標準偏差  $\sigma$  は SS の飽和・再減少に影響していることがわかった。また、ギャップ内に準位が存在する場合、 $E_{c,s}$  からテールを引く場合に比べ、SS がボルツマン極限から逸脱し始める温度が高く、mK 領域での SS

への影響が小さいことがわかった。また、実験結果の SS 温度依存性を再現するようなバンド端準位の条件として、 $E_{c,s}$  付近で急激に準位が増加している成分とテールの長い成分の2つが重なった分布が必要であると示唆された。この条件は、シリコン量子ドット他で観測されているチャージノイズの温度依存性を説明することも可能である。

また、現段階で考えられるバンド端準位の起源として  $P_{b0}$  及び  $P_{b1}$  欠陥を考慮し、第一原理計算を実施した。原子欠陥が直接バンド端準位の原因となっているとは断定できないものの、欠陥の種類や周囲の環境の違いによって形成される準位の大きさに差が生じることがわかった。これらの違いはガウス分布モデルにおける  $\sigma$  や  $E_0$  の違いに対応すると考えられ、今後バンド端準位の正体に迫っていくために有用な知見が得られたと考えている。

#### 謝辞

この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものである。

#### 参考文献

- [1] F. Arute *et al.*, Nature, **574**, 7779, pp. 505–510 (2019).
- [2] K. Ono, T. Mori and S. Moriyama, Scientific reports, **9**, 1, p. 469 (2019).
- [3] A. Zwerver *et al.*, Nature Electronics, **5**, 3, pp. 184–190 (2022).

- [4] E. Charbon, IEEE Solid-State Circuits Magazine, **13**, 2, pp. 54–68 (2021).
- [5] H. Fuketa *et al.*, IEEE Transactions on Circuits and Systems I: Regular Papers, **70**, 12, pp. 5220–5228 (2023).
- [6] T. Mizutani *et al.*, Japanese Journal of Applied Physics, **61**, SC, p. SC1006 (2022).
- [7] H. Oka *et al.*, 2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)IEEE, pp. 334–335 (2022).
- [8] T. Inaba *et al.*, IEEE Access, **12**, pp. 12458–12464 (2024).
- [9] A. Beckers, F. Jazaeri and C. Enz, IEEE Electron Device Letters, **41**, 2, pp. 276–279 (2020).
- [10] H. Oka *et al.*, 2023 International Electron Devices Meeting (IEDM), pp. 1–4 (2023).
- [11] T. Ikegami *et al.*, Journal of Computational Electronics, **18**, pp. 534–542 (2019).
- [12] P. Giannozzi *et al.*, J.Phys.: Condens.Matter, **21**, 395502 (2009).
- [13] P. Giannozzi *et al.*, J.Phys.: Condens.Matter, **29**, 465901 (2017).
- [14] J. P. Perdew, Phys. Rev. Lett., **55**, 1665 (1985).
- [15] J. P. Perdew, K. Burke, and M. Ernzerhof, Phys. Rev. Lett., **77**, 3865 (1996).
- [16] P. E. Bloächl, Phys. Rev. B, **50**, 17953 (1994).
- [17] G. Kresse and D. Joubert: Phys. Rev. B, **59**, 1758 (1999).
- [18] H. J. Monkhorst and J. D. Pack, Phys. Rev. B, **13**, 5188 (1976).

# 200nmSOI-MOSFET の極低温での正方向の基板バイアス依存性 -極低温でのみ発生する Box 界面でのトラップ現象-

## Positive substrate bias dependence of 200nm SOI-MOSFET at cryogenic temperatures -Trapping phenomenon at the box interface that occurs only at cryogenic temperatures-

1 金沢工業大学大学院 工学研究科 電気電子工学専攻 〒921-8501 石川県野々市市扇が丘 7-1

2 産業技術総合研究所 〒305-8568 茨城県つくば市梅園 1-1-1 中央第 2

李 龍聖<sup>1</sup> 森 貴之<sup>1</sup> 岡 博史<sup>2</sup> 森 貴洋<sup>2</sup> 井田 次郎<sup>1</sup>

*1 Kanazawa Institute of Technology, Ishikawa, Japan*

*2 National Institute of Advanced Industrial Science and Technology, Ibaraki, Japan*

*(e-mail:c6300973@st.kanazawa-it.ac.jp)*

### Abstract

This study investigates hysteresis phenomena under substrate bias voltage ( $V_{\text{sub}}$ ) in 200 nm silicon-on-insulator metal-oxide-semiconductor field-effect transistors, which occur only at cryogenic temperatures. Hysteresis was observed in the subthreshold region when a high  $V_{\text{sub}}$  was continuously swept. An analysis of the temperature and  $V_{\text{sub}}$  dependence indicates that the hysteresis decreases with increasing temperature and decreasing applied  $V_{\text{sub}}$ . It was also observed that introducing a delay between continuous measurements can reduce hysteresis, even when a high  $V_{\text{sub}}$  is applied. These observations suggest that the hysteresis is due to strong inversion on the box side at cryogenic temperatures, with traps that are active only at these low temperatures and show de-trap behavior over extended periods. Additionally, shoulder-like characteristics were observed, indicating that the edge of the device might turn on first due to trapping at the edge.

### 1. はじめに

量子コンピュータは、量子化学計算や組み合わせ最適化などの重要な社会的問題を従来のコンピュータよりも迅速に解決できる可能性を秘めているため、近年注目を集めている。超伝導システムやスピンベースシステムなどの量子コンピュータは、室温の制御システムを接続する多数の電線を介して、mK 温度で量子ビットを制御している。しかし、より多くのマルチ量子ビットシステムが開発されるにつれて、配線の制限や熱流入などの課題に直面している。これに対処するために、相補型金属酸化物半導体電界効果トランジスタ (MOSFET) などの制御回路を極低温環境に統合すること (クライオ CMOS) がますます注目を集めている[1-3]。さらに、クライオ CMOS は、冷凍システムの冷

却能力を満たすために低消費電力で動作する必要がある。また、MOSFET には低温にするとしきい値電圧 ( $V_{\text{th}}$ ) が上昇する特性がある。そこで、我々が用いているシリコンオンインシュレータ (SOI) MOSFET は、 $V_{\text{th}}$  制御を可能にするバックゲートを備えており、低温環境でも消費電力を削減することができるデバイスである。これまでの研究では、基板バイアス ( $V_{\text{sub}}$ ) の影響を調査し、極低温環境における SOI MOSFET の低電力ポテンシャルが実証されてきた[4-7]。本研究では、極低温環境の SOI MOSFET に対する基板バイアスの影響を調べ、同様の条件下で連続測定を行った際に生じる履歴現象について、新たな知見を示す。



## 2. 測定条件・測定デバイス

図 1 は、本研究で使用した N チャネル SOI MOSFET の構造とパラメータを示している。デバイスは、ラピスセミコンダクタ社の 200nm SOI CMOS プロセスを使用して製造された。チャンネルの不純物濃度を変えることでしきい値電圧値を制御した、Regular  $V_{th}$  (RVt) と Low  $V_{th}$  (LVt) の 2 種類のデバイスを使用した。

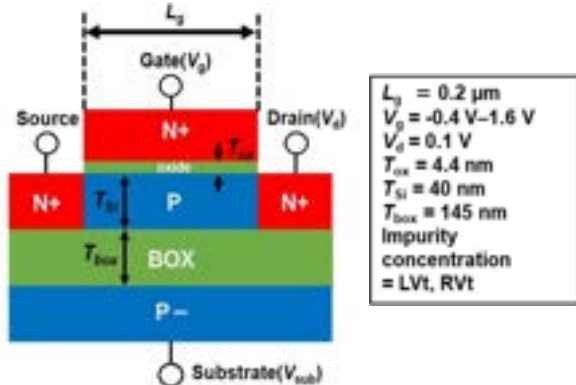


Fig. 1 Structure and parameters of SOI MOSFET.

また、測定器は KEITHLEY 4200(半導体パラメータ・アナライザ)を用い、低温チャンバーは Oxford Instruments 社の Optistat Dry(無冷媒ボトムローディング式光学測定用クライオスタット)を用いた。Optistat Dry はギフォートマクマホン冷凍機で、ヘリウムを圧縮・膨張させて循環させることで温度を下げています。

## 3. 結果および考察

### 3. 1 SOIMOSFET の温度・ $V_{sub}$ 特性

図 2 は、LVt デバイスのドレイン電流対ゲート電圧( $I_d$ - $V_g$ )特性の温度および  $V_{sub}$  依存性を示している。図 2 (a) に示すように、温度が低下すると  $V_{th}$  が増加する。ただし、図 2 (b) は、 $V_{sub}$  を適用すると増加した  $V_{th}$  を減少させることができることを示している。これは、SOI MOSFET が極低温で低電力デバイスになる可能性があることを示している。

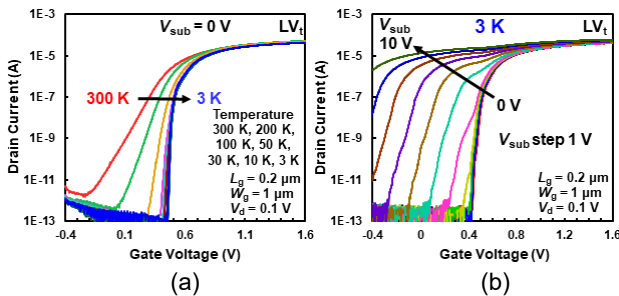


Fig. 2 Temperature (a) and  $V_{sub}$  (b) dependence of  $I_d$ - $V_g$  (3 K)

### 3. 2. 1 3 K における正 $V_{sub}$ の特異な現象

図 3 および図 4 は、3 K の低温環境下で、LVt および RVt を正  $V_{sub}$  0 ~ 10 V において、2 サイクル連続して測定した結果を示している。図 3、4 ともに左図が 1 サイクル回目、右図が 2 サイクル回目の測定である。2 回目の測定(2 回目)では、 $V_{sub} = 0 \sim 4$  V のサブスレッショルド領域の特性が最初の測定(1 回目)と異なる。これは、両方のデバイスで見られる。我々は、この現象を特異な履歴現象として注目している。

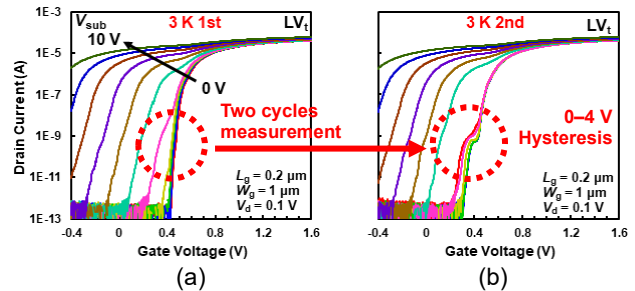


Fig. 3 Two-cycle measurement of LVt (a) 1st (b) 2nd.

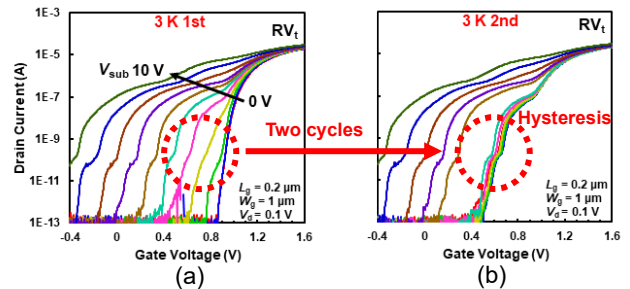


Fig. 4 Two-cycle measurement of RVt (a) 1st (b) 2nd.

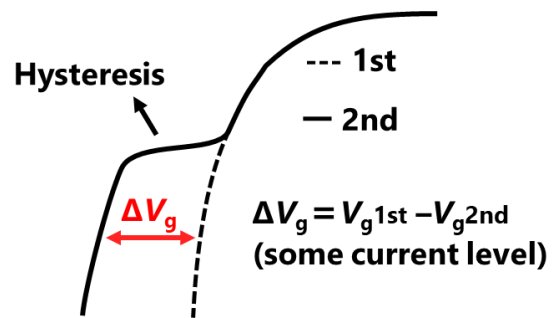


Fig. 5 Image of shoulder shaped hysteresis

### 3. 2. 2 3 K における負 $V_{sub}$ 連続測定

図 6 は、3 K で負  $V_{sub}$  を 2 サイクル連続測定した結果を示している。この場合、 $V_{sub}$  は -20 V まで印加しましたが、履歴現象は生じなかった。これは、履歴現象が正  $V_{sub}$  を印加した場合のみ発生する特異な現象であることを示している。

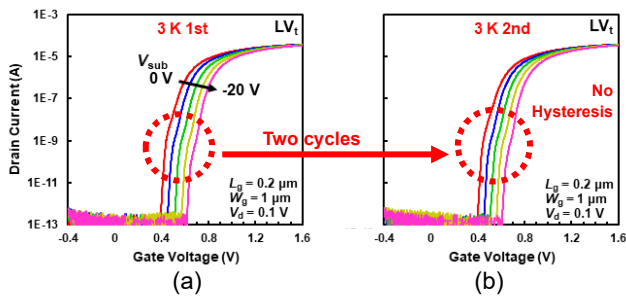


Fig. 6 Two-cycle measurement of negative  $V_{sub}$  of LVt (a) 1st (b) 2nd.

### 3. 3 履歴現象の最大 $V_{sub}$ 依存性

図 7 は、2 サイクル測定で最大  $V_{sub}$  を変化させた場合の測定結果を示している。最大  $V_{sub}$  が 6 V では、履歴現象は生じない。ただし、最大  $V_{sub}$  が 8 V と 10 V のときに履歴現象が生じ、8 V での履歴現象は 10 V での履歴現象より非常に弱い。また、図 8 に、バックゲート側の MOSFET の動作を表す  $I_d$ - $V_{sub}$  特性を示している。バックゲート側 MOSFET の  $V_{th}$  は約 7 V である。履歴現象を生じさせる  $V_{sub}$  は、裏面側で反転状態にあることが確認できる。

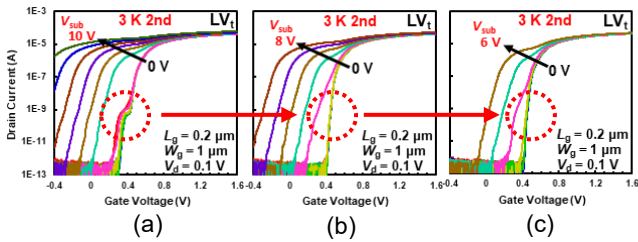


Fig. 7 Two-cycle measurement with maximum  $V_{sub}$  at 3 K. (a) 10 V maximum  $V_{sub}$  shows hysteresis in 2nd. (b) With maximum  $V_{sub}$  of 8 V, hysteresis is weaker. (c) When the maximum  $V_{sub}$  is 6 V, no hysteresis is observed.

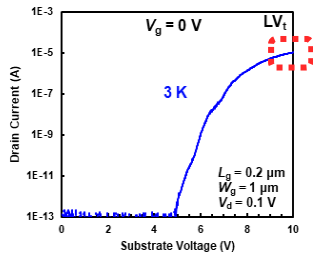


Fig. 8 3 K back gate sweep

### 3. 4 履歴現象の温度依存性

図 9 は、履歴現象の温度依存性を示している。温度が上昇すると、履歴現象は徐々に弱まっている。30 K では履歴現象がほとんど生じていない。

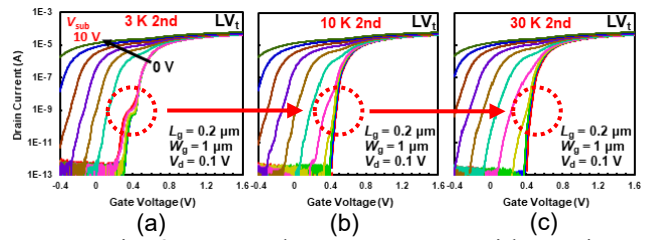


Fig. 9 Two-cycle measurement with varying maximum  $V_{sub}$  at 3 K. (a) 10 V maximum  $V_{sub}$  shows hysteresis in 2nd. (b) With maximum  $V_{sub}$  of 8 V, hysteresis is weaker. (c) When the maximum  $V_{sub}$  is 6 V, no hysteresis is observed.

### 3. 5 履歴現象のゲート幅依存性

図 10 は、履歴現象のゲート幅  $W_g$  依存性を示している。ゲート幅が 5  $\mu\text{m}$  でも弱い履歴現象は生じていたが、肩状ほど顕著な現象は生じていない。

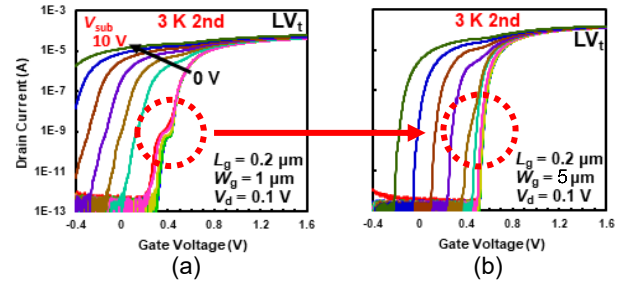


Fig. 10 Dependence of Hysteresis on  $W_g$  in two-cycle measurement. (a) 2nd with  $W_g = 1 \mu\text{m}$ . (b) 2nd with  $W_g = 5 \mu\text{m}$ .

### 3. 6 履歴現象の時間依存性

図 11 は、デバイスが元の  $I_d$ - $V_g$  状態に戻る条件を示している。1 回目の測定と 2 回目の測定の間隔を長くした場合 (図 11 (c))、または 2 回目の測定の前に温度を 300 K に上げた場合 (図 11 (d))、履歴現象が生じていなかった。

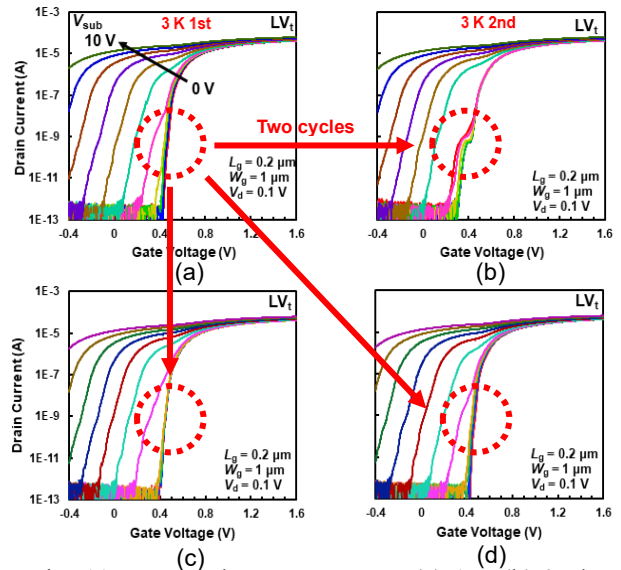


Fig. 11 Two-cycle measurement (a) 1st, (b) 2nd, (c) with interval time (approximately 6 hours), and (d) via room temperature (300 K).

#### 4. 考察

N-channel SOI MOSFET は、ゲートの下にホールを蓄積することでメモリ効果を示し、この効果は極低温で増幅される[8-10]。これはよく知られている浮遊ボディ効果である。したがって、ここで観察された履歴現象は、参考文献[8-10]で説明されている効果とは異なる。測定結果より履歴現象は、チャンネル不純物濃度に関係なく、ボックス界面で強い反転を引き起こすのに十分な正の  $V_{\text{sub}}$  ( $V_{\text{sub}} > 8 \text{ V}$ ) が印加された場合のみ、極低温 ( $< 10 \text{ K}$ ) で発生することを示している。また、時間依存性から履歴現象は、室温に戻すか、長い遅延を設けることで緩和される性質を持っていることが分かった(図 11 を参照)。そこで、履歴現象は、キャリアのトラップ・デトラップが関係していると推察している。以上より、界面準位が存在しており、室温ではキャリアのトラップおよびデトラップが迅速に行われる一方、極低温では界面準位でのキャリア滞在時間が非常に長くなり、これが極低温で履歴現象を引き起こしていると考えられる。

また、履歴現象に見られる肩状の特徴は、デバイス内に  $V_{\text{th}}$  が低い領域が存在することを示していると解釈している。この解釈は、異なる  $W_{\text{g}}$  での測定によって裏付けられており、ヒステリシスはエッジ効果によって影響されることを示唆している(図 10)。デバイス端の電界は中央よりも強いため、肩状のような履歴現象が発生する可能性がある。

以上より、低温環境で背面が強反転するほどの正  $V_{\text{sub}}$  を印加した際、キャリアがバックゲート側にトラップされる可能性がある。特に、キャリアのトラップは界面準位のトラップによって発生する可能性があると考えている。そして、デバイス端では中央よりも電界が強くなっていると考えられ、デバイス端のトラップが、肩状のような履歴現象に寄与し、低い  $V_{\text{g}}$  でも電流が流れるようになると考えられる。

#### 5. まとめ

この研究により、極低温 SOI MOSFET の正  $V_{\text{sub}}$  が履歴現象を引き起こすことが明らかになりました。履歴現象は、従来の浮遊ボディ効果とは異なるメカニズムによって発生すると思われませんが、これは非常に低温でのみアクティブになるトラップによるものと考えられる。この現象は、回路設計とパラメトリックテストで考慮する必要がある。

#### 謝辞

本講演で発表した研究は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです。

#### 参考文献

- [1] E. Charbon, F. Sebastiano, A. Vladimirescu, H. Homulle, S. Visser, L. Song, R.M. Incandela, "Cryo-CMOS for Quantum Computing", in IEDM, December 2016, doi 10.1109/IEDM.2016.7838410
- [2] B. Patra, R. M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, et al., "Cryo-CMOS Circuits and Systems for Quantum Computing Applications", IEEE Journal of Solid-State Circuits, vol. 53, no. 1, January 2018, doi 10.1109/JSSC.2017.2737549
- [3] H. Oka, "Cryo-CMOS device technology for quantum computers", JSAP Rev. 2022, doi <https://doi.org/10.11470/jsaprev.220305>
- [4] M. Cassé, B. Cardoso Paz, G. Ghibaudo, T. Poiroux, S. Barraud, M. Vinet, et al., "Cryogenic Operation of Thin-Film FDSOI nMOS Transistors: The Effect of Back Bias on Drain Current and Transconductance", IEEE Transactions on electron devices, vol. 67, no. 11, November 2020, doi 10.1109/TED.2020.3022607
- [5] F. A. Mamun, D. Vasileska, I. S. Esqueda, "Impact of Back-Gate Biasing on the Transport Properties of 22 nm FD-SOI MOSFETs at Cryogenic Temperatures", IEEE Transactions on electron devices, vol. 69, no. 10, October 2022, doi 10.1109/TED.2022.3199328
- [6] S. S. T. Nibhanupudi, S. R. S. Raman, M. Cassé, L. Hutin, J. P. Kulkarni, "Ultra-Low-Voltage UTBB-SOI-Based, Pseudo-Static Storage Circuits for Cryogenic CMOS Applications", in IEEE Journal on Exploratory Solid-State Computational Devices and Circuits, vol. 7, no. 2, December 2021, doi 10.1109/JXCDC.2021.3130839
- [7] H. Bohuslavskiy et al., "Cryogenic Characterization of 28-nm FD-SOI Ring Oscillators With Energy Efficiency Optimization" IEEE T-ed, vol. 65, no. 9, pp. 3682-3688, Sept. 2018, doi 10.1109/TED.2018.2859636
- [8] M. R. Tack, M. Gao, C. L. Claeys, G. J. Declerck, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures", in IEEE Transactions on electron devices, vol. 31, no. 5, May 1990, doi 10.1109/16.108200
- [9] J. Ho. Bae, J. W. Back, M. W. Kwon, J. H. Seo, K. Yoo, S. Y. Woo, et al., "Characterization of a Capacitorless DRAM Cell for Cryogenic Memory

Applications ", in IEEE Electron Device Letters , vol. 40, October 2019, doi 10.1109/LED.2019.2933504

[10] W. Chakraborty, R. Saligram, A. Gupta, M. S. Jose, K. A. Aabrar, S. Dutta, et al., " Pseudo-Static 1T Capacitorless DRAM using 22nm FDSOI for Cryogenic Cache Memory ", in IEEE International Electron Devices Meeting (IEDM), December 2021, doi 10.1109/IEDM19574.2021.9720578

[11] R. Ri, T. Mori, H. Oka, T. Mroi, J. Ida “クライオ 200nmSOIMOSFET の基板バイアス効果および履歴現象の解析”, in SDM, August 2023, SDM2023-42 ICD2023-21

# ALD 酸化剤への H<sub>2</sub>O<sub>2</sub> の適用による Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> 薄膜の低温結晶化の促進

## Low-temperature crystallization enhancement of Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> thin films using H<sub>2</sub>O<sub>2</sub> as ALD oxidant

車 浩銘<sup>1</sup>, 女屋 崇<sup>1</sup>, 石井 政輝<sup>2</sup>, 高 洋志<sup>2</sup>, 喜多 浩之<sup>1</sup>

- 1 東京大学大学院 新領域創成科学研究科 物質系専攻 〒277-8561 千葉県柏市柏の葉 5-1-5
- 2 大陽日酸株式会社 R&D ユニット つくば研究所 エレクトロニクス開発部 〒300-2611 茨城県 つくば市大久保 10

Haoming Che<sup>1</sup>, Takashi Onaya<sup>1</sup>, Masaki Ishii<sup>2</sup>, Hiroshi Taka<sup>2</sup>, and Koji Kita<sup>1</sup>

*1 Department of Advanced Materials Science, Graduate School of Frontier Sciences, The University of Tokyo, 5-1-5 Kashiwanoha, Kashiwa, Chiba 277-8561, Japan*

*2 Electronics Development Department Tsukuba Laboratory, R&D Unit, TAIYO NIPPON SANSCO Corporation, 10 Okubo, Tsukuba, Ibaraki 300-2611, Japan*

*Tel/Fax: + 81-4-7136-5456 (e-mail: 3316270435@edu.k.u-tokyo.ac.jp)*

### **Abstract**

We fabricated 10-nm-thick Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> (HZO) films by atomic layer deposition (ALD) at 250 °C using H<sub>2</sub>O or H<sub>2</sub>O<sub>2</sub> as an oxidant and a low-temperature post-deposition annealing (PDA) at 400 °C. The as-deposited H<sub>2</sub>O<sub>2</sub>-based HZO film exhibited lower impurity concentrations of carbon and nitrogen, and higher film density compared to the H<sub>2</sub>O-based film. For the H<sub>2</sub>O<sub>2</sub>-based HZO film, it was observed that the crystallization of the orthorhombic (O), tetragonal (T), and cubic (C) phases had already started in as-deposited film, and the formation of the O/T/C phases was enhanced even by a low-temperature PDA at 400°C. On the other hand, the H<sub>2</sub>O-based film showed an amorphous structure even after the PDA. These results indicate that the reduction of carbon and nitrogen impurity concentrations of HZO films by using H<sub>2</sub>O<sub>2</sub> as an ALD oxidant should be a key factor to obtain the crystallized HZO films with a low thermal budget.

### 1. Introduction

Ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> (HZO) is a promising candidate material for future integrated ferroelectric memory devices due to its scalability and matured atomic layer deposition (ALD) process, which has advantages over other deposition methods that enable a nano-meter scale thickness control, good step coverage, and high uniformity [1]. The origin of the ferroelectricity for HZO is thought to be the metastable orthorhombic (O) phase [2]. Therefore, O phase formation in HZO films is a key to realize superior ferroelectricity. Due to process limitation,

low-temperature O phase crystallization is required, for example, the thermal budget for back-end-of-line (BEOL) process is up to 400°C. It has been reported that residual impurities, which originated from incomplete reaction between precursor and oxidant during the ALD process, affect the crystallinity of HZO films [3]. To reduce these residual impurities, we pay attention to H<sub>2</sub>O<sub>2</sub> as the ALD oxidant because of its higher oxidizing ability compared to the conventional oxidant of H<sub>2</sub>O [4]. In this study, we investigated the impact of H<sub>2</sub>O<sub>2</sub> on the crystallinity, impurity concentrations, and density of HZO films fabricated using a low-temperature process.



## 2. Experimental

Fig. 1 shows the process flow and schematic of HZO/TiN/p-Si samples. HZO/TiN/p-Si samples were fabricated as follows: 10-nm-thick HZO films were deposited on TiN (15 nm)/p-Si substrates by ALD at 250°C using  $(\text{Hf/Zr})[\text{N}(\text{C}_2\text{H}_5)\text{CH}_3]_4$  (Hf/Zr=1:1) as a precursor and either  $\text{H}_2\text{O}_2$  or  $\text{H}_2\text{O}$  as an ALD oxidant. After deposition of HZO films, post-deposition annealing (PDA) was performed at 400°C in  $\text{N}_2$  atmosphere. To avoid the interference of the crystallization of HZO films on density evaluation, amorphous HZO films were fabricated on  $\text{SiO}_2/\text{p-Si}$  substrates by the same ALD process.

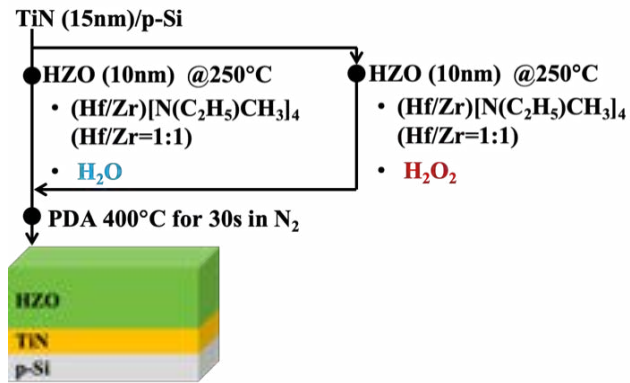


Fig.1 Process flow and schematic of HZO/TiN/p-Si samples.

For HZO/TiN/p-Si samples, X-ray diffraction (XRD) was carried out to evaluate the crystal structures. Secondary ion mass spectrometry (SIMS) was performed to characterize residual impurity concentrations in those HZO films. X-ray reflectivity (XRR) measurement was conducted on HZO/ $\text{SiO}_2/\text{Si}$  samples to evaluate the density of the HZO films in amorphous state to avoid the influence of the crystallization.

## 3. Results and discussion

Figure 2 shows the XRD patterns of  $\text{H}_2\text{O}$  and  $\text{H}_2\text{O}_2$ -based HZO/TiN/p-Si samples before and after the PDA treatment. For the as-deposited  $\text{H}_2\text{O}$ -based films, the diffraction peaks were negligibly small, indicating that the  $\text{H}_2\text{O}$ -based HZO film had an amorphous structure. Moreover, the  $\text{H}_2\text{O}$ -based HZO film maintained an amorphous structure even after the PDA at 400°C. For the as-deposited  $\text{H}_2\text{O}_2$ -based film, on the other hand, a small diffraction peak appeared at  $2\theta \approx 30.8^\circ$ , which corresponds to mixture of components originating from the (111) plane of

the O, (101) plane of the tetragonal (T), and (111) plane of the cubic (C) phases, indicating a partial crystallization of the HZO film. It is challenging to deconvolute the peaks of the O/T/C phases in XRD analysis using a laboratory-based X-ray source due to the very close peak positions of these phases. After the PDA treatment at 400°C, furthermore, the peak intensity of the O/T/C phases significantly increased, while the peaks originating from (-111) and (111) planes of the monoclinic (M) phase at  $2\theta \approx 28.5^\circ$  and  $31.6^\circ$ , respectively, were suppressed. It has been reported that the formation of O/T/C phases for HZO films on TiN substrates were promoted even after a low temperature annealing process at below 400°C when the as-deposited film was partially crystallized with the O/T/C phases [5]. This should be because nanocrystals with the O/T/C phases in the as-deposited HZO films play a role as nuclei for the crystallization during the annealing process. Therefore, the  $\text{H}_2\text{O}_2$ -based film showed the highest peak intensity of the O/T/C phases after the low temperature PDA treatment at 400°C because of the start of the partial crystallization during the ALD process.

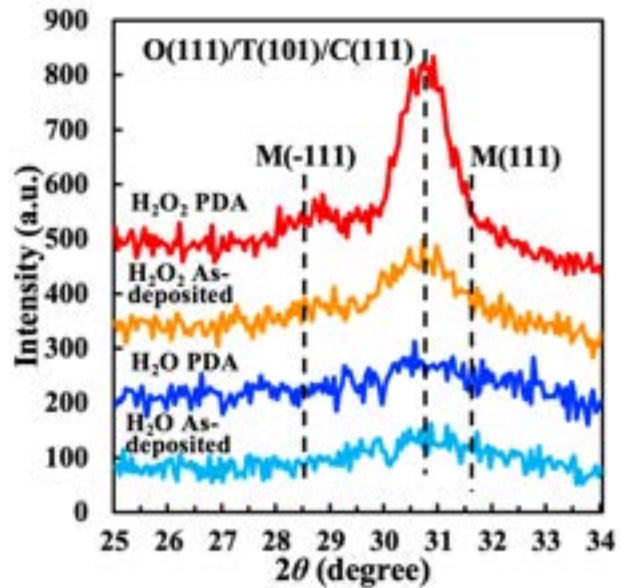


Fig. 2 XRD patterns of  $\text{H}_2\text{O}$  and  $\text{H}_2\text{O}_2$ -based HZO/TiN/p-Si samples before and after the PDA treatment.

To clarify the origin of the difference of their crystallinities, the density and impurity of the as-deposited HZO films were evaluated because the partial crystallization occurs in as-deposited films should be the key for the low-temperature crystallization.

The density of the as-deposited  $\text{H}_2\text{O}$  and  $\text{H}_2\text{O}_2$ -based

HZO films deposited on SiO<sub>2</sub>/p-Si substrates was evaluated using XRR, as shown in Fig. 3. It is noted that both types of HZO films had an amorphous structure after the ALD process (data not shown) on this substrate. The H<sub>2</sub>O<sub>2</sub>-based HZO film exhibited a higher density of 8.0 g/cm<sup>3</sup> compared to 7.8 g/cm<sup>3</sup> for the H<sub>2</sub>O-based film. These different densities are attributable to the difference of the residual impurity content in films such as carbon and nitrogen, which are caused by incomplete reaction between precursor and oxidant during the ALD process.

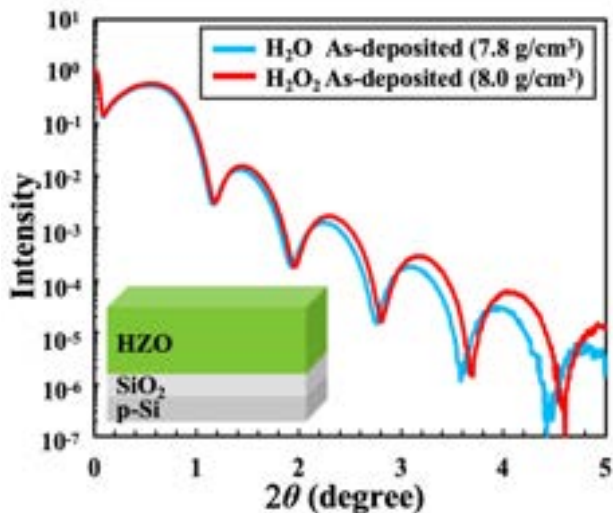


Fig. 3 XRR patterns of as-deposited H<sub>2</sub>O and H<sub>2</sub>O<sub>2</sub>-based HZO/SiO<sub>2</sub>/p-Si samples. The density of HZO films was evaluated from XRR patterns.

Therefore, impurity concentrations in those HZO films were evaluated using SIMS. Figures 4(a) and 4(b) show the SIMS depth profiles of carbon and nitrogen concentrations, respectively, for Al<sub>2</sub>O<sub>3</sub>/HZO/TiN/p-Si samples. A 10-nm-thick Al<sub>2</sub>O<sub>3</sub> cap was deposited on the HZO film by ALD at 250°C to suppress the knock-on effect of surface contaminations on impurity concentration in the HZO film. The concentration of both carbon ( $2 \times 10^{20}$  atoms/cm<sup>3</sup>) and nitrogen ( $2 \times 10^{19}$  atoms/cm<sup>3</sup>) for the as-deposited H<sub>2</sub>O<sub>2</sub>-based HZO film was almost one order of magnitude lower than those carbon ( $1 \times 10^{21}$  atoms/cm<sup>3</sup>) and nitrogen ( $3 \times 10^{20}$  atoms/cm<sup>3</sup>) for the as-deposited H<sub>2</sub>O-based film. It is considered that these impurities of carbon and nitrogen originated from the ligands of (Hf/Zr)[N(C<sub>2</sub>H<sub>5</sub>)CH<sub>3</sub>]<sub>4</sub> precursor. The H<sub>2</sub>O and H<sub>2</sub>O<sub>2</sub>-based HZO films after PDA at 400°C showed almost the same impurity concentration as the as-deposited ones (data not shown).

During the ALD process, the oxidant reacts with the metal precursor, replacing its organic ligands to form HZO films. However, residual organic ligands may

be incorporated into the film if the ligands are not completely removed due to the poor oxidizing ability of an oxidant. Therefore, these lower impurity concentrations should be attributed to the higher oxidizing ability of H<sub>2</sub>O<sub>2</sub> compared to the conventional oxidant of H<sub>2</sub>O [4], taking account that the reaction time for both ALD processes in our experiments were long enough. It is reasonable that the H<sub>2</sub>O<sub>2</sub>-based HZO film with lower impurity concentrations resulted in a higher film density compared to the H<sub>2</sub>O-based film as shown in Fig. 3.

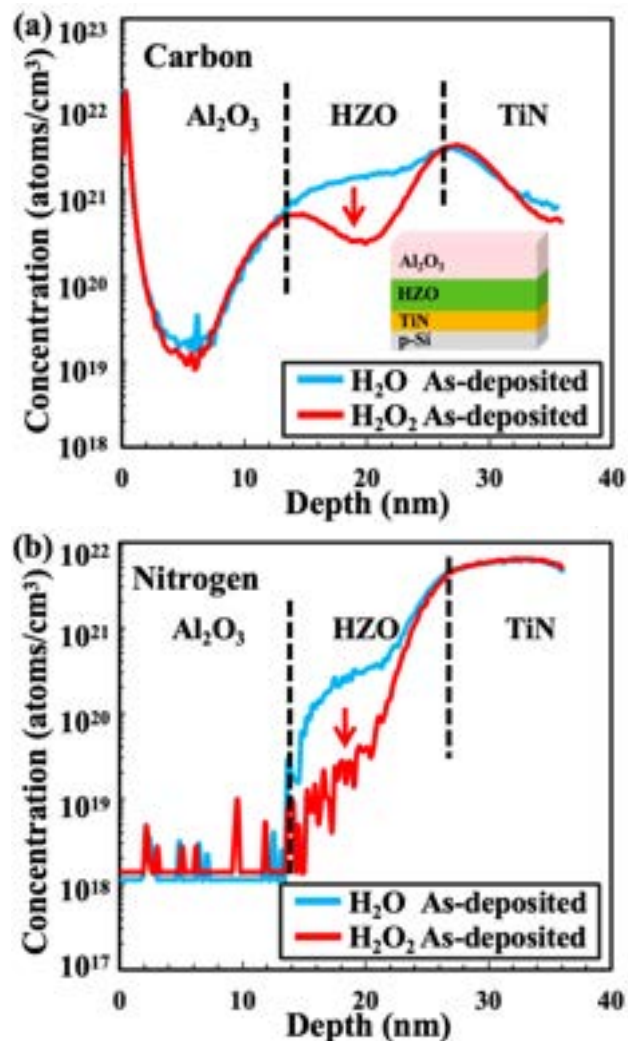


Fig. 4 SIMS depth profiles of (a) carbon and (b) nitrogen concentrations of as-deposited H<sub>2</sub>O and H<sub>2</sub>O<sub>2</sub>-based HZO samples. A 10-nm-thick Al<sub>2</sub>O<sub>3</sub> film was deposited on HZO/TiN/p-Si samples for SIMS analysis.

Figures 5(a) and 5(b) summarize the relationship between the impurity concentrations of carbon and nitrogen determined by SIMS, respectively, and

the peak intensity of the O/T/C phases at  $2\theta \approx 30.8^\circ$  evaluated using XRD patterns for H<sub>2</sub>O and H<sub>2</sub>O<sub>2</sub>-based as-deposited HZO films.

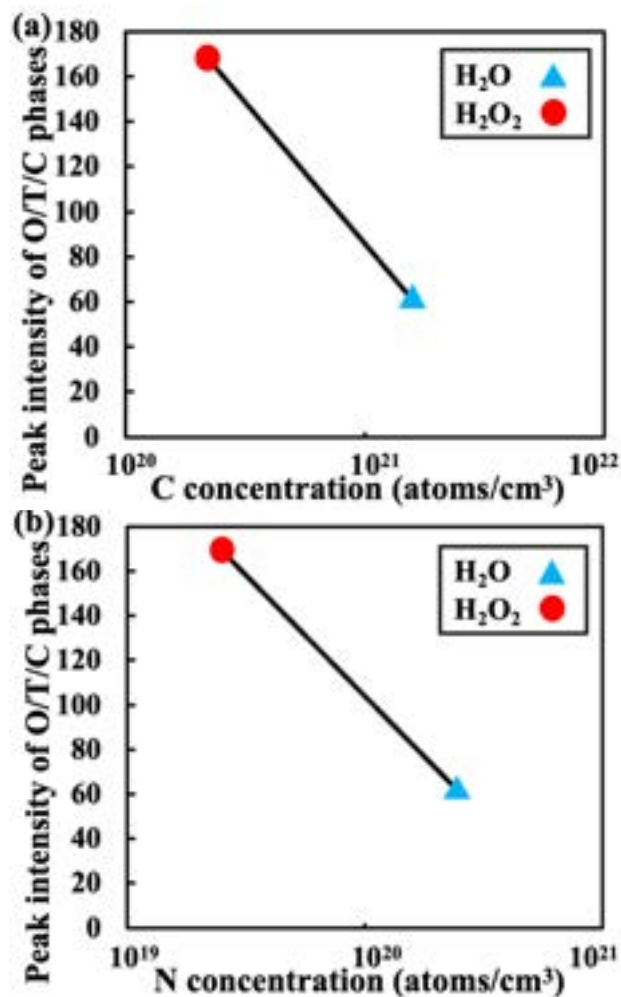


Fig. 5 Relationship between (a) carbon and (b) nitrogen impurity concentrations and peak intensity of the O(111)/T(101)/C(111) phases evaluated using SIMS depth profiles and XRD, respectively, of as-deposited H<sub>2</sub>O and H<sub>2</sub>O<sub>2</sub>-based HZO films.

The H<sub>2</sub>O<sub>2</sub>-based HZO film exhibited lower carbon and nitrogen impurity concentrations and higher peak intensity of the O/T/C phases compared with the H<sub>2</sub>O-based film. These results suggest that the promoted crystallization and formation of the O/T/C phases in HZO films resulted from the decreased carbon and nitrogen impurities. Previous studies have shown that a lower annealing temperature for the crystallization and O phase formation of HZO films was achieved when the carbon impurity concentration decreased in ALD-HZO films,

resulted in a superior ferroelectricity [6]. In addition, it has been reported that incorporation of nitrogen into HfO<sub>2</sub> films increases the crystallization temperature, as nitrogen ions act as crystallization inhibitors that induce lattice distortion and promote the disordered structure formation [7]. Therefore, the improved crystallinity of H<sub>2</sub>O<sub>2</sub>-based HZO films is attributable to the reduction of both carbon and nitrogen impurities, which facilitates the partial crystallization even during the ALD process at 250°C and enhanced crystallization by low temperature annealing process at 400°C.

#### 4. Conclusion

Two types of ALD-HZO films were fabricated using H<sub>2</sub>O or H<sub>2</sub>O<sub>2</sub> as an oxidant. For the as-deposited HZO films, the impurity concentrations of carbon and nitrogen of the H<sub>2</sub>O<sub>2</sub>-based film were lower than those of the H<sub>2</sub>O-based film. Therefore, the higher film density of the HZO film was obtained after the ALD process by using H<sub>2</sub>O<sub>2</sub> as an oxidant. The as-deposited and PDA-treated H<sub>2</sub>O-based films had an amorphous structure. On the other hand, the as-deposited H<sub>2</sub>O<sub>2</sub>-based HZO film showed a pre-crystallization of the O/T/C phases and the crystallization was significantly promoted after a low-temperature annealing at 400°C. Based on these results, it is indicated that the carbon and nitrogen impurities in HZO films can be reduced by using H<sub>2</sub>O<sub>2</sub> as ALD oxidant, resulted in low temperature crystallization and formation of the O/T/C phases.

#### Reference

- [1] S. M. George, *Chem. Rev* **110**, 111 (2010).
- [2] X. H. Sang et al., *Appl. Phys. Lett* **106**, 162905 (2015).
- [3] K. D. Kim et al., *J. Mater. Chem. C* **4**, 6864 (2016).
- [4] Y. C. Jung et al., *Appl. Phys. Lett* **121**, 222901 (2022).
- [5] T. Onaya et al., *Microelectronic Eng* **215**, 111013 (2019).
- [6] Y. S. Lee et al., *Mater. Today. Nano* **28**, 100546 (2024).
- [7] G. He et al., *Appl. Surf. Sci* **253**, 8483 (2007).

# Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>を用いた MFM キャパシタの電気的特性の温度変化 Temperature Dependence of Electrical Properties of MFM capacitor with Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> layer

<sup>1</sup> 愛知工大 <sup>2</sup> 名大工 ○手島蒼生<sup>1</sup>, 山英司<sup>1</sup>, 山田樹央<sup>1</sup>,  
一野祐亮<sup>1</sup>, 清家善之<sup>1</sup>, 森竜雄<sup>1</sup>, 牧原克典<sup>2</sup>, 田岡紀之<sup>1</sup>  
<sup>1</sup>Aichi Inst. of Tech, <sup>2</sup>Nagoya Univ., A. Teshima<sup>1</sup>, E. Yama<sup>1</sup>, M. Yamada<sup>1</sup>,  
Y. Ichino<sup>1</sup>, Y. Seike<sup>1</sup>, T. Mori<sup>1</sup>, K. Makihara<sup>2</sup>, N. Taoka<sup>1</sup>  
E-mail: v24722vv@aitech.ac.jp, ntaoka@aitech.ac.jp

## Abstract

A hafnium-based oxide layer with ferroelectricity has attracted much attention as a candidate material for next-generation memory and steep slope devices. However, electrical properties related to defects in the ferroelectric layer and at an interface between the ferroelectric layer and an electrode have not yet fully understood. In this study, *C-V* characteristics of a metal/Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>/metal capacitor were systematically investigated changing measurement temperature and frequency. It was found that the frequency dispersion of the *C-V* characteristics increases with decreasing the measurement temperature. Furthermore, it was also found that the temperature dependence of the *C-V* characteristics could be originated from pyroelectric property of the Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> layer.

## 1. 背景

近年、Hf系酸化物の結晶構造を制御することで、Hf系酸化物が強誘電性を示すことが発見された。そのため、強誘電性 Hf系酸化物の不揮発性メモリや Steep slope デバイスへの応用が期待され、活発な研究が行われている。しかしながら、結晶化した絶縁膜中の粒界には、多量の欠陥が存在する。また、強誘電体/金属界面にも多量の欠陥が存在すると考えられる。しかしながら、それらの欠陥がデバイスの電気特性に与える影響の理解は未だ不十分である。

欠陥の容量-電圧特性(*C-V*)への影響は、一般的に、周波数および温度を変えて評価される。一方で、LaZrOなどの強誘電体は誘電率の周波数依存性が見られることから[1]、周波数を変えることによる容量変化が欠陥の ac 応答に起因しているとは限らない。また、強誘電体は、焦電特性を示すため、温度を変えることによって、分極状態が変化する。そのため、温度を変えることによる容量変化も欠陥の ac 応答に限定することはできないと考えられる。

そこで本研究では、欠陥起因の容量変化を検出することを目的とし、金属/強誘電性 Hf 酸化物/金属 (MFM) キャパシタの電気的特性を、温度と周波数を変化させて測定し、それらが電気特性に与える影響を詳細に調べた。

## 2. 実験方法

本研究では、高濃度 Si 基板を用いた。その Si 基板の自然酸化膜を除去するために、希釈 HF 溶液処理を行なった [2]。その後、Ar と N<sub>2</sub> の混合ガスを用いた反応性 DC スパッタリングによって、厚さ 10 nm の TaN 膜を堆積した[2]。その TaN 膜上に、HfO<sub>2</sub> ターゲットと ZrO<sub>2</sub> ターゲットを用いたスパッタリングにて、HfO<sub>2</sub>/ZrO<sub>2</sub> ナノラミネート構造を形成した。各層の膜厚は、0.25 nm で、全膜厚が 15 nm になるように形成した[2]。さらに、TaN を HfO<sub>2</sub>/ZrO<sub>2</sub> ラミネート構造上に、スパッタリングによって形成した。作製した TaN/Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>/TaN (MFM)/Si キャパシタを、窒素雰囲気中 700°C で 1 分間熱処理した[2]。この試料の *C-V* 特性を、温度と周波数を変えて測定した。

## 3. 結果および考察

図 1(a)および(b)は、それぞれ 300K および 200K で測定した *C-V* カーブである。ここでは測定周波数を 1kHz から 1MHz まで変えて測定している。図 1(a)および図 1(b)共に、±1V 付近で容量のピークがみられ、いわゆる MFM キャパシタの Butterfly カーブが確認される。また、図 1(a)および図 1(b)共に、測定周波数が低下するにつれて容量が増加していることがわかる。また、



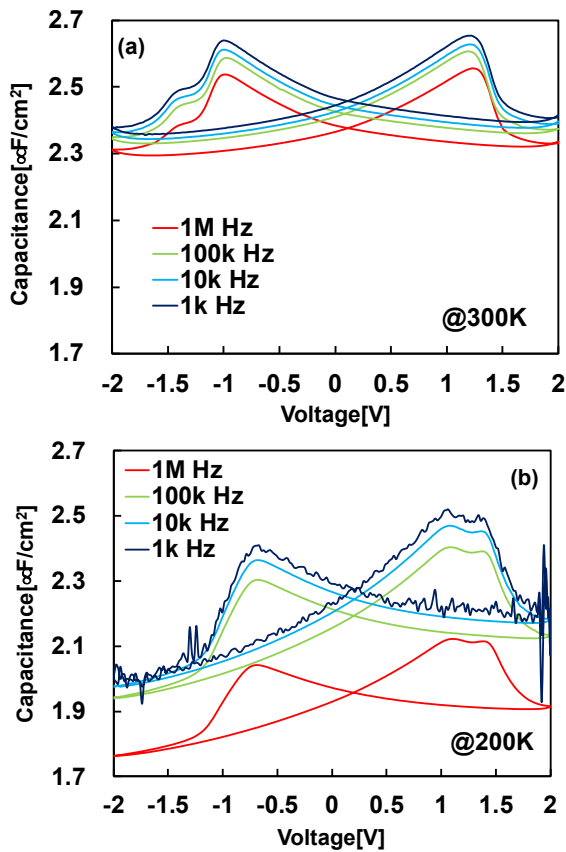


Fig.1 C-V curves of the MFM capacitor measured at (a)300K and (b)200K. Here, the measurement frequencies are in a range from 1kHz to 1MHz.

その変化幅は、300Kの場合と比べて、200Kの場合の方が大きいことがわかる。容量の温度変化をより系統的に把握するために、様々な温度で測定したC-Vカーブを図2に示す。測定周波数は1MHzである。温度の低下に伴い容量が減少していることがわかる。また、Butterflyカーブの形状はほとんど温度に依存しないことがわかる。欠陥に起因した容量変化は、温度や周

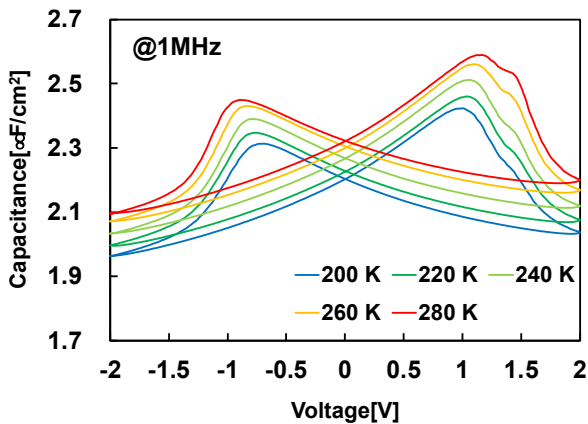


Fig.2 C-V curves of the MFM capacitor measured at the various temperatures. Here, the measured frequency is 1MHz.

波数に強く依存すると考えられる。一方で、前述した様に、強誘電体は、焦電特性を示すことから、電圧変化に伴う電荷量変化が温度とともに変化すると考えられる。つまり図1および図2に見られる容量の変化を欠陥起因か焦電効果起因かを切り分けることは困難である。

そこで、まず、強誘電体中のダイポールの配向分極による電荷量をC-Vカーブから見積もることを検討した。今回形成したHf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>膜には、常誘電体と強誘電体が混在していると考えられる。その誘電率をそれぞれεおよびε<sub>ferro</sub>とし、膜厚をdとする。また、Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>膜は多結晶であると考えられることから、膜内でダイポールの向きに分布が存在すると考えられる。分布による誘電率の変化分をε<sub>dip</sub>(V)とし、電圧の関数とする。ダイポールが微小ac信号にตอบสนองし、かつ分極反転する場合、単位面積あたりの容量はC<sub>total dip</sub> = ε/d + (ε<sub>ferro</sub> + ε<sub>dip</sub>(V))/dで表せる。また、ダイポールの影響が無い場合の容量は、C<sub>total</sub> = ε/d + ε<sub>ferro</sub>/dで表せる。したがって、配向分極に起因した電荷量Q<sub>dip</sub>は、以下の式で表される。

$$Q_{dip}(V) = \int_{-V}^V \frac{\epsilon_{dip}(V)}{d} dV$$

$$= \int_{-V}^V (C_{total,dip} - C_{total}) dV.$$

上式および様々な周波数で測定したC-Vカーブから求めた電荷量を周波数の関数として図3に示す。周波数の増加と共に、電荷量が減少していることがわかる。この減少は、欠陥のac応答の減少とも考えられるが、背景で述べた様に、LaZrOなどの強誘電体では、誘電率が、0.1kHz-1MHzの範囲でも変化することが報告されていることを考慮すると、依然として欠陥起因か膜の本質的な性質か切り分けることは困難であ

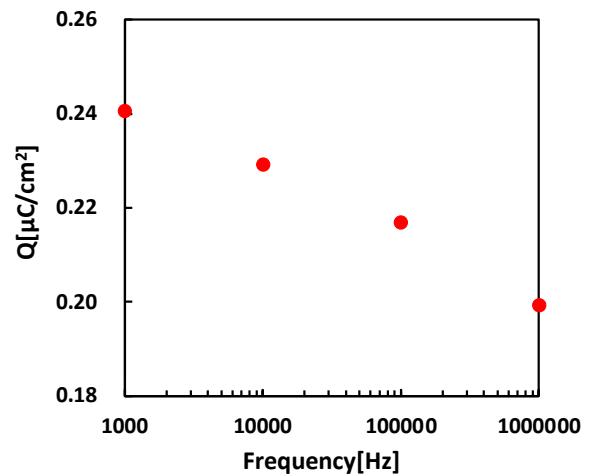


Fig.3 Charge densities evaluated from the integration of the capacitances using the equation as a function of the frequency.



る。

図4に様々な温度で測定した1MHzでのC-Vカーブから求めた電荷量の温度依存性を示す。温度の減少に伴い線形に電荷量が減少していることがわかる。この傾きから焦電係数を求めると、 $84\text{pC}/\text{cm}^2\text{K}$ と算出された。また、C-Vカーブの積分から求めた残留分極値は、 $\text{Pr}\sim 0.1\mu\text{C}/\text{cm}^2$ であった。これらの値と既報の焦電係数と残留分極値との関係[3]を考慮すると、図1および2で見られた温度依存性は主に焦電特性に起因していると考えられる。そのため、周波数と温度を変えて、C-V特性から欠陥起因

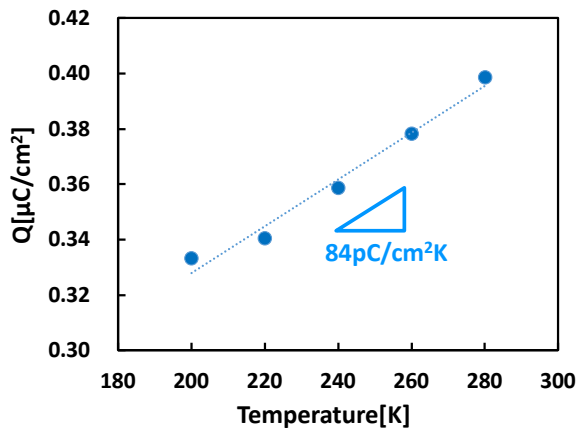


Fig.4 Charge densities evaluated from the integration of the capacitances using the equation as a function of the temperature.

の ac 応答を定量的に評価するためには、更なる精密測定および膜中の結晶構造を意図的に変えた試料の評価が必要であると考えられる。

#### 4. まとめ

TaN/ $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ /TaN キャパシタの C-V 特性を様々な周波数および温度で評価した。容量の周波数分散は温度を下げることで増加することが明らかになった。また、電荷量の温度依存性から焦電係数が  $84\text{pC}/\text{cm}^2\text{K}$  であることが明らかになった。既報の焦電係数と残留分極値の関係と本研究で得られた焦電係数の値を踏まえると、C-V 特性の温度依存性は焦電特性に起因している可能性があることが明らかとなった。

#### 謝辞

本研究で用いた MFM キャパシタは、(国研)産業技術総合研究所の右田真司氏から提供された。

#### 参考文献

- [1] C. Zhao *et al.*, *Nanoscale Research Letters* **8** 456(2013).
- [2] S. Migita *et al.*, *Appl. Phys. Express* **14** 051006 (2021).
- [3] C. Mart *et al.*, *Appl. Phys. Lett.* **114**, 102903 (2019)

# トンネル FET 用 $\text{Ti}_{0.3}\text{Zn}_{0.7}\text{O}_{1.3}$ チャンネルの電子物性に対して 界面形成プロセスが与える影響

## Effects of interface formation process on electronic properties of n-type $\text{Ti}_x\text{Zn}_{1-x}\text{O}_{1+x}$ channel for tunnel FETs

小川 健太<sup>1,2</sup> 知京 豊裕<sup>2</sup> 小椋 厚志<sup>1,3</sup> 長田 貴弘<sup>2,1</sup>

1 明治大学大学院理工学研究科 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

2 物質・材料研究機構 〒305-0044 茨城県つくば市並木 1-1

3 明治大学再生可能エネルギーインスティテュート 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

Kenta Ogawa<sup>1,2</sup>, Toyohiro Chikyow<sup>2</sup>, Atsushi Ogura<sup>1,3</sup>, and Takahiro Nagata<sup>2,1</sup>

1 School of Science and Technology, Meiji University, 1-1-1 Higashimita, Tama-ku, Kawasaki, Kanagawa 214-8571, Japan

2 National Institute for Materials Science (NIMS), 1-1 Namiki, Tsukuba, Ibaraki 305-0044, Japan

3 Meiji Renewable Energy Laboratory, Meiji University, 1-1-1 Higashimita, Tama-ku, Kawasaki, Kanagawa 214-8571, Japan

Tel: + 81-29-860-4546, (e-mail: ce241031@meiji.ac.jp, NAGATA.Takahiro@nims.go.jp)

### Abstract

Tunnel field-effect transistors (tunnel FETs) are attracting attention as a low-power consumption device. We focused on  $\text{Ti}_x\text{Zn}_{1-x}\text{O}_{1+x}$ , a solid solution of  $\text{TiO}_2$  and  $\text{ZnO}$ , as a channel material, expecting that the high oxygen bond dissociation energy ( $E_{bd}$ ) of Ti would suppress oxygen vacancies and interfacial states to improve the tunneling properties. In this report, to understand the interfacial reactions between elements with different  $E_{bd}$  and Si, the interfacial reactions were investigated, and it was found that the  $\text{Ti}_{0.3}\text{Zn}_{0.7}\text{O}_{1.3}$  film with an initial  $\text{TiO}_2$  layer in a  $\text{TiO}_2/\text{ZnO}$  multiple stacked structure rather than a single synthesis has the most stable interfacial  $\text{SiO}_2$  layer and the effective tunneling properties, which can be applied to the tunnel FETs.

### 1. はじめに

近年、人工知能や自動運転技術の発展などにより半導体デバイスの高性能化と供給量の増加が求められている一方で、集積回路の消費電力の増加が問題となっている。トランジスタの性能指標の一つであるサブスレッショルドスイング(SS)値は、従来の Si ベースの MOSFET においては室温で 60 mV/dec. より小さくすることが出来ず、この理論限界がデバイスの低消費電力化を妨げている。トンネル電界効果トランジスタ(トンネル FET)は、電子のトンネル効果を利用した電流変化によりスイッチングを行う

ため、理論限界値よりも小さい SS 値が期待でき、低電圧でオン・オフ動作をするため、デバイス全体の低消費電力化が実現出来る[1-4]。

トンネル FET に適用可能な材料はいくつか提案されているが、我々はこれまで n 型酸化物半導体(n-OS)と p 型IV族半導体(p-IV)の組み合わせに注目してきた。これらの材料はタイプIIヘテロ接合の形成により高い  $I_{on}/I_{off}$  比が期待出来ることや、固溶体化と組成変化により特性を制御出来るという利点がある[5,6]。先行研究において加藤らは、 $\text{ZnO}/\text{p-Si}(\text{Ge})$  トンネル FET および  $\text{ZnSnO}/\text{p-Si}$  トンネル FET を実証した。し

かし、ZnO/p-Si(Ge)トンネル FET においては、ZnO の粒成長に伴い膜厚が不均一になることでトンネル距離が一定とならないこと[7,8]、ZnSnO/p-Si トンネル FET においては、界面に意図せず形成された SiO<sub>2</sub> 層の界面準位に電子がトラップされることにより[9]、どちらも SS 値が理論限界値を下回るに至っていない。これまでに我々は高い酸素結合解離エネルギー( $E_{bd}$ )が酸素欠損を抑制し、界面準位を低減させることを期待して、TiO<sub>2</sub> と ZnO の固溶体である Ti<sub>x</sub>Zn<sub>1-x</sub>O<sub>1+x</sub> に注目し、組成比と物性の相関関係や熱処理の影響について調査してきた[10,11]。それらの結果と石英基板上に製膜した Ti<sub>x</sub>Zn<sub>1-x</sub>O<sub>1+x</sub> 膜の抵抗率評価から、界面 SiO<sub>2</sub> 層の欠陥低減には水素ガスを用いたフォーミングガスアニール(FGA)が有効であることと、非晶質、低抵抗、低表面粗さを満たす  $x = 0.3$  の組成は、トンネル FET チャンネル層に適した特性を持つ可能性があることが示唆された。

電氣的・物理的特性をさらに向上させるためには、Ti と Zn の異なる酸化エネルギーが界面 SiO<sub>2</sub> 層の形成に与える影響を理解し、界面 SiO<sub>2</sub> 層の制御性を向上させる必要がある。本発表では組成比を  $x = 0.3$  に固定し、3 種類の界面形成プロセスが電子物性に与える影響を調査した結果を報告する。

## 2. 実験条件

Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub> 膜をパルスレーザー堆積法(PLD)によって p-Si(100)基板上に製膜した。p-Si 基板はアセトン、エタノールを用いた有機洗浄、純水洗浄の後に、自然酸化膜を取り除くために HF 処理を実施した。ターゲットには Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub>、TiO<sub>2</sub>、ZnO のセラミック焼結ターゲットを用いて、Fig. 1 に示すような 3 種類の試料を作製した。以下ではそれぞれの試料を界面形成プロセス別に”Single layer”、”TiO<sub>2</sub> first”、”ZnO first”と呼ぶ。TiO<sub>2</sub> first と ZnO first は約 0.4 nm 厚の層を交互に重ねて TiO<sub>2</sub>: ZnO の比率を 3: 7 に調整した多層構造となっている。PLD のレーザー光源には KrF エキシマレーザー (波長: 248 nm) を使用し、酸素分圧は  $1 \times 10^{-4}$  Torr に設定した。基板温度は 300°C とし、トンネル電流成分や界面変化の検出を用意するために、膜厚は全ての試料において 5 nm とした。次に電気測定用に基板表面に Al 電極を蒸着し、裏面には Ti 電極と Pt 電極を DC スパッタリングで

堆積した。最後に RTA 装置により 4% H<sub>2</sub>: N<sub>2</sub> ガスを用いた FGA を 400°C で 30 分間行った。

電気特性は半導体パラメータアナライザを使用して電流-電圧(I-V)測定により評価した。物理特性は、原子間力顕微鏡(AFM)により表面粗さを、X 線光電子分光法(XPS)により化学結合状態をそれぞれ評価した。XPS では、通常の表面敏感な Al-K $\alpha$ -X 線源(エネルギー 1.49 keV、全エネルギー分解能 700 meV)に加えて、Si 基板との界面層の変化を明確に検出するために、より深い検出深さと Si 1s スペクトルの計測が可能な Cr-K $\alpha$ -X 線源(エネルギー 5.42 keV、全エネルギー分解能 1100 meV)を使用した。得られた XPS データは C 1s ピークに対してエネルギー較正し、結合状態スペクトルは Shirley 関数によりバックグラウンドを除去した後、Voigt 関数を使用してフィッティングを実施した[12]。

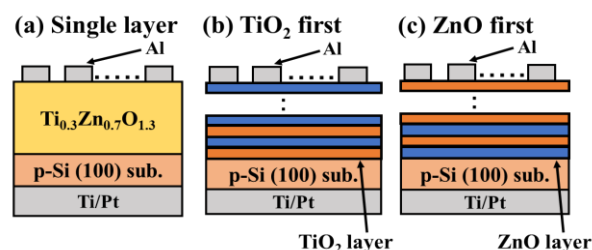


Fig.1 Schematic illustration of Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub> films of (a) Single layer, (b) TiO<sub>2</sub> first, and (c) ZnO first sample structure.

## 3. 結果および考察

Fig.2 に Single layer、TiO<sub>2</sub> first、ZnO first の I-V 特性を示す。全てのサンプルの電流値の傾きは異なり、Single layer の場合は、逆方向バイアス側でリーク電流が増加した。TiO<sub>2</sub> first と ZnO first の場合は、pn 接合に由来する良好な整流特性を示し、順方向バイアスでの電流上昇は TiO<sub>2</sub> first の方が急峻であった。ただし、最小電流値を示す電圧シフトも TiO<sub>2</sub> first の方が大きいことが確認された。これらの I-V 特性の違いを比較するために、(1) トンネル電流と (2) プール・フレンケル放出の電流機構を次の関係として解析した[13]。

$$I = V^2 \exp\left(-\frac{1}{V}\right) \quad (1)$$

$$I = V \exp(\sqrt{V}) \quad (2)$$

Fig.3 の (a) および (b) は、各電流成分 (1) および (2) の関係をそれぞれ使用して再プロットした I-V 特性を示している。これらのプロットは、プロットが直線になる範囲で各電流成分 (1) および (2) が存在することを表している。電圧範囲はそれぞれ 0.3 V から 1.0 V である。

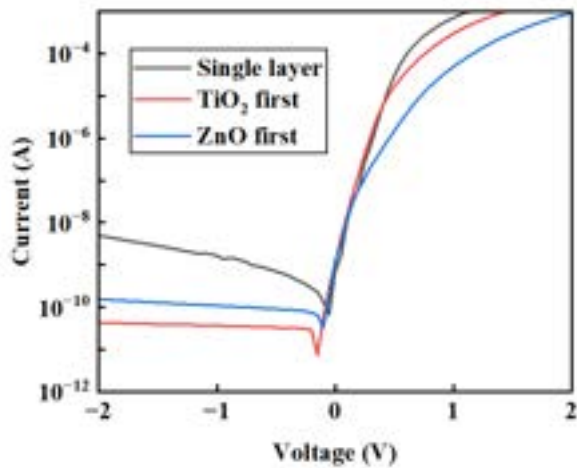


Fig.2 I-V characteristics for Single layer, TiO<sub>2</sub> first, and ZnO first

加藤らの報告によると、Fig.3 (a) に示す非線形線はトンネル電流の重なりであり、I-V 特性の劣化と SS 値の増加につながる可能性があるため[8]、最も線形性の高い TiO<sub>2</sub> first が有効なトンネル特性を持つことを示唆している。また、Fig.3 (b) に示す プール・フレンケル放出の非線形線は電子トラップの増加を意味し、I-V 特性の劣化につながるため、最も線形性の高い ZnO first は界面欠陥が最も少ないと考えられる。また、TiO<sub>2</sub> first における最小電流値を示す電圧シフトの増加の理由は、酸化半導体中の欠陥準位または界面準位による電子トラップの結果であると考えられる。

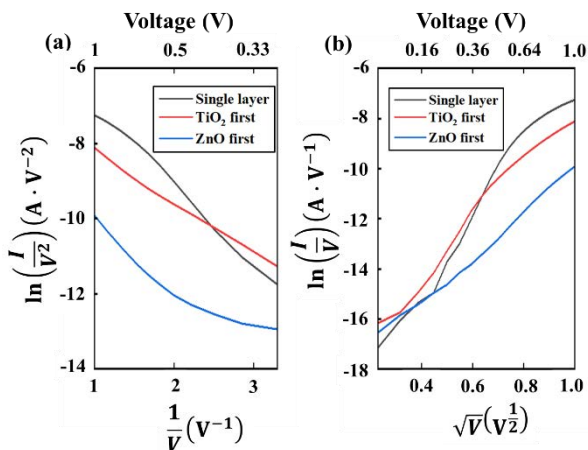


Fig.3 Replots of I-V characteristics of (a) tunneling current and (b) Pool-Frenkel emission.

異なる電気特性が得られた要因を明らかにするために、AFM および XPS (Al-K $\alpha$ ) により薄膜構造と結合状態の解析を行った。Fig.4 に

AFM 画像を示す。TiO<sub>2</sub> first と ZnO first のサンプルは、RMS 値が 0.02 nm 未満の非常に平坦で均一な表面を示した。対照的に、Single layer にはいくつかの微粒子が含まれていた。Fig.5 は、他の 2 つのサンプルと比較して Single layer において、Zn 2p<sub>3/2</sub>、Ti 2p<sub>3/2</sub>、O 1s 結合スペクトルの全てが高結合エネルギー側にシフトしており、フェルミ準位が伝導帯側にシフトしていることを示している。さらに、各金属イオンの欠陥を電子密度の変化から評価するため、結合スペクトルの半値幅(FWHM)を Table 1 に示す。全サンプルの Zn 2p<sub>3/2</sub> スペクトルの FWHM には大きな差は見られなかったものの、Ti 2p<sub>3/2</sub> スペクトルでは欠陥構造および Ti 由来の電子の増加を示唆する FWHM の増大が観測された。これに対応して、Fig.5 (c) の O 1s スペクトルは高結合エネルギー側の欠陥に対応するピークの増加を示している。さらに、Table 1 に示している Zn 2p<sub>3/2</sub> と Ti 2p<sub>3/2</sub> スペクトルから計算した Zn に対する Ti の面積強度比では、Single layer のみ大きな値を示し、計測点や酸化層の膜厚が異なる試料で  $\pm 10\%$  以上のばらつきがあり、再現性が確認されなかった。これらの結果は、Single layer 内での Ti 組成のばらつきや、TiO<sub>x</sub> の相分離の可能性を示しており、これがトンネル特性の劣化や界面の不均一性につながると思われる。組成のばらつきや相分離の要因は具体的には明らかにはなっていないが、Single layer サンプルの作製に Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub> ターゲットを用いたことで、Ti と Zn で異なる励起エネルギーや熱拡散係数が影響した可能性がある[14]。

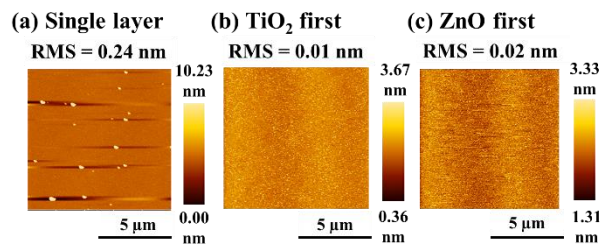


Fig.4 AFM images of (a) Single layer, (b) TiO<sub>2</sub> first, and (c) ZnO first.

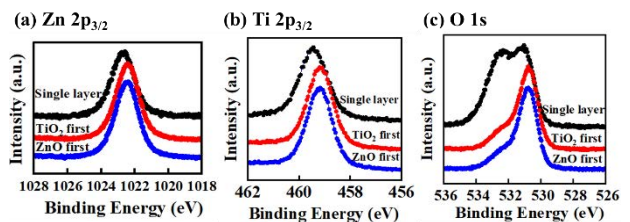


Fig.5 (a) Zn 2p<sub>3/2</sub>, (b) Ti 2p<sub>3/2</sub>, and (c) O 1s spectra obtained by Al K $\alpha$ -XPS.



Table 1 FWHM values and Ti composition ratio to Zn of Single layer, TiO<sub>2</sub> first and ZnO first calculated from the Zn 2p<sub>3/2</sub> spectrum and Ti 2p<sub>3/2</sub> spectrum.

Interface formation process	FWHM value calculated from Zn 2p <sub>3/2</sub> spectrum	FWHM value calculated from Ti 2p <sub>3/2</sub> spectrum	Ti composition ratio to Zn
Single layer	1.62	1.27	0.70
TiO <sub>2</sub> first	1.61	1.16	0.37
ZnO first	1.62	1.15	0.35

Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub>膜/Si 界面を評価するために、Si 1s スペクトルを評価した結果を Fig.6 に示す。Fig.6 では、Cr-K $\alpha$  励起による 1839.33 eV のエネルギーにおける Si の結合状態のピークトップで正規化した Si 1s スペクトルを示している。Si に加えて、SiO<sub>2</sub> (1843.99 eV)、サブオキシド (Si<sup>3+</sup>, 1843.34 eV)、および Si-Ti-O<sub>x</sub> と Si-Zn-O<sub>x</sub> の中間層 (Si<sup>2+</sup>, 1842.52 eV) に対応する 3 つの結合状態が確認される。SiO<sub>2</sub> 層の厚さは Single layer で最も厚く、TiO<sub>2</sub> first の方が ZnO first よりも厚いことが確認された。一方、中間層の厚さは ZnO first の方が厚いことが確認された。この結果は、Ti の高い酸素結合解離エネルギーと低い酸化物形成エネルギーにより界面の酸素空孔が抑制されて酸素が Si と結合し、TiO<sub>2</sub> first においてより安定した界面 SiO<sub>2</sub> 層を形成したことを示唆している。対照的に、ZnO first では酸素空孔が不均一であるため、不安定で薄い SiO<sub>2</sub> 層が形成された可能性がある。

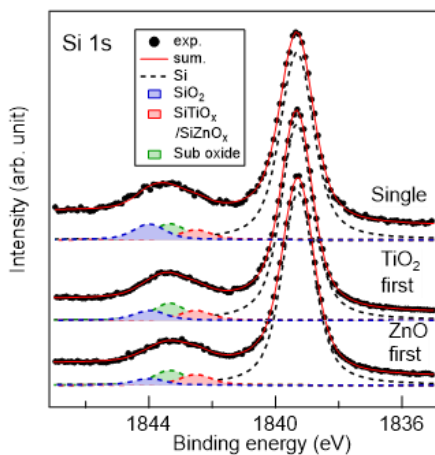


Fig.6 Si 1s spectra normalized by Si bonding states obtained by Cr K $\alpha$ -XPS. Solid circles and solid line correspond to the experimental data and fitted curve, respectively. Dashed lines represent the fitted curves for each bond: Si, SiO<sub>2</sub>, SiTiO<sub>x</sub>/SiZnO<sub>x</sub>, and sub oxide (SiO<sub>x</sub>).

以上の結果から考察した界面反応を Fig.7 に示す。Single layer では Ti の偏析により膜欠陥が発生し、不均一な界面が形成される。これにより、トンネル距離が変動し、リーク電流が増加する。TiO<sub>2</sub> first では Ti の高い酸素結合解離エネルギーにより、酸素空孔が抑制され、均一な界面 SiO<sub>2</sub> 層が形成される。これによりトンネル距離は一定となり、良好なトンネル特性を示すが、界面 SiO<sub>2</sub> 層及び中間層の内部欠陥準位や界面準位がトンネル電流の減少の問題になる可能性がある。ZnO first では不均一な酸素空孔の形成により、トンネル距離に変動が生じることで、電流の増加が急峻にならない。ただし、SiO<sub>2</sub> 層は TiO<sub>2</sub> first よりも薄いため、界面準位が少ないことによりプール・フレンケル放出が減少すると考えられる。以上から、TiO<sub>2</sub> first が最も効果的なトンネル特性を示したと考える。

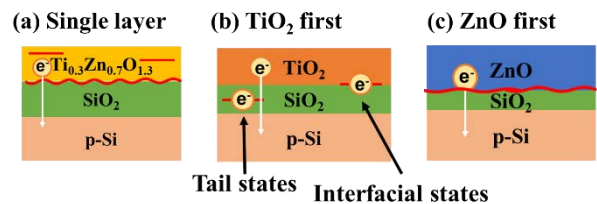


Fig.7 The interfacial reactions of (a) Single layer, (b) TiO<sub>2</sub> first and (c) ZnO first.

#### 4. まとめ

酸化物チャネルトンネル FET において、トンネル特性に最も大きな影響を与えるチャネル層/Si 界面に意図せず形成される SiO<sub>2</sub> 層の制御性を向上させるために、Ti<sub>0.3</sub>Zn<sub>0.7</sub>O<sub>1.3</sub> 酸化物チャネルの酸化エネルギーの異なる Ti および Zn が界面層の形成に与える影響を検討した。3 種類の異なる界面形成プロセスが、トンネル FET の pn 接合界面の電子物性に与える影響を調査した結果、TiO<sub>2</sub> first が最も効果的なトンネル特性を持ち、ZnO first は界面欠陥が最も少ないことが示唆された。さらに、TiO<sub>2</sub> first の方が ZnO first よりもより均一な界面 SiO<sub>2</sub> 層を形成することが示唆された。また、物理特性評価の結果、Single layer では Ti の偏析により膜欠陥が発生し、不均一な界面が形成されることが明らかとなった。以上より、TiO<sub>2</sub> first がトンネル FET チャネルとして最も有用な特性を持ち、界面形成プロセスの最適化は界面 SiO<sub>2</sub> 層の制御に有効であることが示唆された。



## 参考文献

- [1] Q. Chen *et al.*, IEEE Trans. Electron Devices. **49**, 6, p.1086–1090, (2002).
- [2] A.M Ionsescu *et al.*, Nature. **479**, p.329-337 (2011).
- [3] A.C. Seabaugh *et al.*, IEEE. **98**, p.2095-2110 (2010).
- [4] T.-J. K Liu *et al.*, *CMOS and Beyond* (Cambridge University Press), (2015).
- [5] S. Takagi *et al.*, Proc. VLSI Symp. p.T22-T23 (2015).
- [6] S. Takagi *et al.*, IEDM Tech. Dig. p.516-519 (2016).
- [7] S. Takagi *et al.*, IEEE S3S. (2019).
- [8] K. Kato *et al.*, AIP Advances. **9**, 055001 (2019).
- [9] K. Kato *et al.*, IEEE Journal of the Electron Devices Society. **7**, p.1201-1208 (2019).
- [10] Y. Daimon *et al.*, EDIT27, P-4 (2022).
- [11] Y. Daimon *et al.*, EDIT28, P-11 (2023).
- [12] D. A. Shirley, Phys. Rev. B. **5**, p.4709-4714 (1972).
- [13] S. M. Sze *et al.*, *Physics of Semiconductor Device* (Wiley, New York, 2021) 2nd ed. Part 3, Chapter 7, p.402.
- [14] M.N.R. Ashfold *et al.*, Chem. Soc. Rev. **33**, p.23-31 (2004).

# SiH<sub>4</sub> 照射による極薄 Ni 膜のシリサイド化反応制御

## Control of Silicidation Reaction in Ultra-Thin Ni Films by SiH<sub>4</sub> Exposure

谷田 駿<sup>1</sup> 田岡 紀之<sup>2</sup> 牧原 克典<sup>1</sup>

1 名古屋大学 〒464-8601 愛知県 名古屋市 千種区 不老町

2 愛知工業大学 〒470-0392 愛知県 豊田市 八草町 八千草 1247

Shun Tanida<sup>1</sup>, Noriyuki Taoka<sup>2</sup>, Katsunori Makihara<sup>1</sup>,

1 Nagoya University, Furo-cho, Chikusa-ku, Nagoya, Aichi 464-0812, Japan

2 Aichi Institute of Technology, Yachigusa 1247, Yakusa-cho, Toyota, Aichi, 470-0392 Japan.

Tel: + 81-052-789-2727, (e-mail: tanida.shun.x1@s.mail.nagoya-u.ac.jp)

### Abstract

Formation of an ultrathin Ni-silicide on SiO<sub>2</sub> by exposing a Ni ultrathin film to pure SiH<sub>4</sub> gas at 280°C was tried. During the formation, impacts of Ni-film thickness and SiH<sub>4</sub> exposure time on silicidation reaction were investigated. It was found that surface roughness depends on the Ni-film thickness, and that, in the case of the 3-nm-thick Ni-film, a smooth surface was obtained even after the SiH<sub>4</sub> exposure. Also, it was found that the silicidation reaction is limited between 3 min and 5 min, and that, after the SiH<sub>4</sub> exposure time more than 5 min, crystalline phase transition from the Si-rich Ni-silicide to the Ni-rich Ni-silicide and formation of Si-rich Ni-silicide with poor crystallinity were confirmed. Consequently, we successfully formed the ultra-thin Ni-silicide film with the smooth surface even at the low temperature.

### 1. はじめに

金属薄膜をフェルミ波長以下の厚さに薄膜化すると、金属薄膜のサイズ効果に起因する新しい物理的特性が顕著に現れることがある。[1] これらの特性により、金属超薄膜はさまざまなデバイス応用への展開が期待されている。[2] 中でも、金属超薄膜を用いた分子センサは大きな注目を集めており、実際に、Pt 超薄膜を用いた水素ガス検出用分子センサが既に報告されている。[3]従来型の分子センサ、例えば半導体ガスセンサや触媒燃焼型ガスセンサでは、センシング領域にヒーターが必要である。一方で、金属超薄膜分子センサは、電力を投入することで生成される自己発熱を利用するため、センシング部にヒーターの搭載が不要である。このことは、システムの小型化および低消費電力化が可能であることを示唆している。また、低キャリア密度の金属を使用することで、センサの感度が向上することが報告されている。[4]そこで、本研究ではセンサ材料として Ni シリサイドに着目した。NiSi および NiSi<sub>2</sub> は、Pt よりも高い抵抗率（低キャリア密度）を持つことが知られており、特に、NiSi<sub>2</sub> は有毒ガス分子との吸着および脱着反応を示すことが報告されている。[5]

これらの特性から、Ni シリサイド薄膜は高感度な分子センシングデバイスを実現するための有望な候補材料であると考えられる。

これまで我々は、SiO<sub>2</sub> 上にアモルファス Si/Ni 構造を形成し、アニール処理を施すことで 5 nm 厚の Ni<sub>2</sub>Si 薄膜を固相反応により形成することを報告した。[6]本研究では、Ni 超薄膜に pure SiH<sub>4</sub> ガスを照射させることで Ni シリサイドを形成し、その反応過程を解明することを試みた。また、SiH<sub>4</sub> 照射中の Ni シリサイドの相転移についても調査を行った。

### 2. 実験条件

p 型 Si (100) 基板上に 300nm の SiO<sub>2</sub> を熱酸化で形成し、濃度 0.1%の希釈フッ酸を用いて1分間の洗浄を行った。その後、SiO<sub>2</sub> 層上に厚さ 5 nm または 3 nm の Ni 薄膜を、真空度 10<sup>-4</sup> Pa の条件下で電子ビーム蒸着を用いて成膜した。サンプルを大気中に曝露した後、いくつかのサンプルは SiH<sub>4</sub> 照射を行わずに、真空条件下でアニールを行った。真空アニールに関する実験では、厚さ 5 nm の Ni を成膜した基板を、~1.0 × 10<sup>-5</sup> Pa 程度の圧力下でアニール処理した。基板

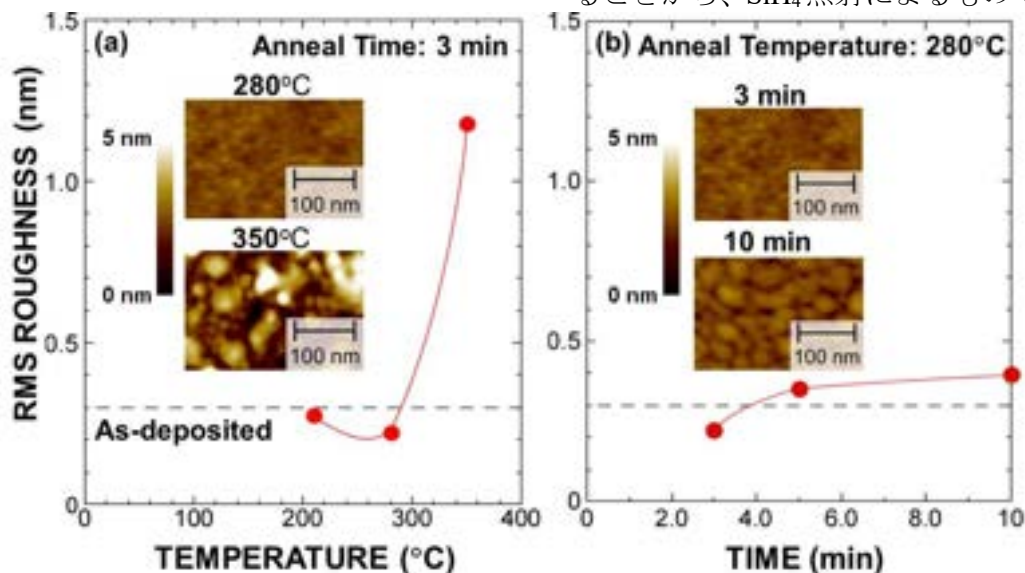
温度は 210°C、280°C、および 350°C に変化させ、アニール時間は 3 分、5 分、10 分とした。真空アニールの結果に基づき、厚さ 5 nm および 3 nm の Ni 薄膜に 280°C で pure SiH<sub>4</sub> ガスを照射した。SiH<sub>4</sub> 照射時の圧力は 130 Pa とし、照射時間は 1 分から 10 分に変更して実験を行った。原子間力顕微鏡(AFM)にて表面形状、Al-K $\alpha$  線を X 線源として使用した X 線光電子分光(XPS)にて膜中原子の化学結合状態を評価した。得られた XPS スペクトルの強度は Ni2p スペクトルの積分面積に基づき規格化し、ピーク位置は C1s スペクトルを基準として結合エネルギーの位置補正を行った。結晶相の評価には、斜入射 X 線回折(GIXRD) を用いた。GIXRD 測定には Cu K $\alpha$  線 (波長  $\lambda = 1.5406 \text{ \AA}$ ) を X 線源として使用し、入射角は 0.5° に設定した。

### 3. 結果および考察

最初に、真空下でのアニールが厚さ 5 nm Ni 薄膜の表面粗さに与える影響を明らかにするため、AFM を用いて表面形態を評価した。図 1(a)は、厚さ 5 nm Ni 薄膜の AFM 画像から算出した二乗平均平方根(RMS)ラフネスのアニール温度依存性を示している。また、図 1(a)の挿入図には、280°C および 350°C でアニール処理を施した後の厚さ 5 nm Ni 薄膜の AFM 画像が示されている。ここで、アニール時間は 3 分とした。なお、図 1(a)の破線は、Ni 堆積直後の試料の RMS 値を示している。さらに、RMS 値のア

ニール時間依存性を図 1(b)に示した。図 1(b)の挿入図には、アニール時間が 3 分および 10 分の場合における厚さ 5 nm Ni 薄膜の AFM 画像が示されている。ここでは、アニール温度を 280°C に固定した。図 1(b)の破線も、図 1(a)と同様に Ni 堆積直後の試料の RMS 値を示している。図 1(a)に示されるように、210°C および 280°C でアニール処理を施した Ni 薄膜表面は非常に滑らかであり、Ni 堆積直後の試料の RMS 値とほとんど同じである。一方、350°C でのアニール処理では RMS ラフネスが急激に増加しており、これは 350°C 付近の高温アニールが Ni 薄膜の表面粗さに大きな影響を及ぼすことを示している。また、図 1(b)に示されるように、アニール時間による影響はわずかであり、アニール時間が表面形態に与える影響が小さいことが示唆される。これらの結果は、280°C 以下のアニール温度では Ni 原子の表面拡散が十分に抑制されることを示している。

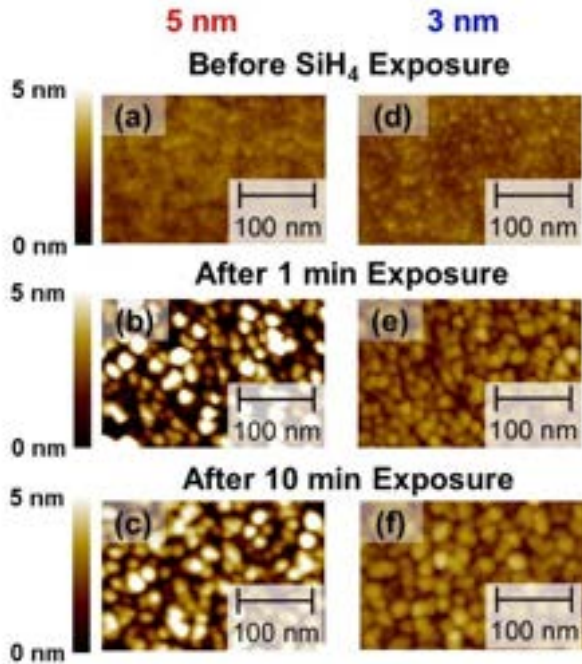
これらの結果に基づき、Ni 薄膜への SiH<sub>4</sub> 照射は 280°C で行われた。図 2 (a)~(c)には、厚さ 5 nm Ni 薄膜について、SiH<sub>4</sub> 照射前、SiH<sub>4</sub> 照射 1 分後、SiH<sub>4</sub> 照射 10 分後の AFM 画像が示されている。同様に、図 2 (d)~(f)には、厚さ 3 nm の Ni 薄膜について、同条件での AFM 画像が示されている。Ni 膜厚 5 nm のサンプルでは、SiH<sub>4</sub> 照射前の表面は比較的平坦であることが確認された。しかし、SiH<sub>4</sub> 照射 1 分後および 10 分後には顕著な表面ラフニングが確認された。この表面ラフニングは、図 1(b)の挿入図に示されるアニール処理されたサンプルよりも顕著であることから、SiH<sub>4</sub> 照射によるものであると考え



**Fig. 1.** (a) RMS roughness as a function of the annealing temperature for the 5-nm-thick Ni-Films and (b) RMS roughness as a function of the annealing time. Here, the SiH<sub>4</sub> exposure does not performed. Insets of (a) show AFM images after annealing at 280°C and 350°C for 3 min, and insets of (b) show AFM images after annealing at 280°C for 3 min and 10 min.

られる。一方、Ni 膜厚 3 nm のサンプルでは、SiH<sub>4</sub> 照射前の表面が図 2(a)と同様に平坦であることが確認された。さらに、SiH<sub>4</sub> 照射後の図 2(e)および図 2(f)に示される表面も、Ni 膜厚 5 nm のサンプルの場合と比較して平坦な状態を維持していた。このことは、Ni の膜厚が表面形態に影響を与える可能性を示唆している。

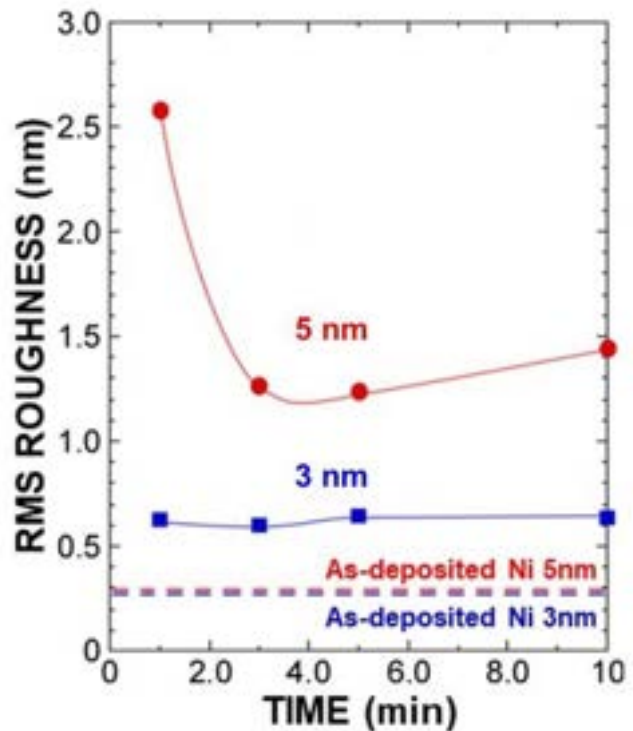
SiH<sub>4</sub> 照射時間が表面形態に与える影響を包括的に理解するため、AFM 画像から算出した



**Fig. 2.** AFM images of the 5-nm-thick Ni-Films (a) before the SiH<sub>4</sub> exposure, (b) after 1-min-SiH<sub>4</sub> exposure, (c) after 10-min-SiH<sub>4</sub> exposure, and AFM images of the 3-nm-thick Ni-Films (d) before the SiH<sub>4</sub> exposure, (e) after 1-min-SiH<sub>4</sub> exposure and (f) after 10-min-SiH<sub>4</sub> exposure.

RMS 値を図 3 にプロットした。ここで、青と赤の点線は、それぞれ厚さ 3 nm および 5 nm の Ni 薄膜形成直後の RMS 値を示している。Ni 膜厚 5 nm のサンプルでは、SiH<sub>4</sub> 照射 1 分後の RMS 値が 2.6 nm と非常に高く、3 分から 10 分後の値と比較しても顕著に高い値を示した。また、これらの RMS 値は、SiH<sub>4</sub> 照射なしでアニール処理したサンプル (図 1(b)参照) の値よりも大幅に高いことが確認された。一方、Ni 膜厚 3 nm のサンプルでは、RMS 値が SiH<sub>4</sub> 照射時間にほとんど依存せず、0.6~0.7 nm 程度で安定しており、5 nm 厚のサンプルと比較してかなり低い値を示した。これらの結果は、Ni と Si の間で発生する化学反応と、それに伴う発熱が関与して

いる可能性を示唆している[7]。厚さ 5 nm の Ni 薄膜では、Ni 原子の総量が多いことに加え、その触媒特性が SiH<sub>4</sub> の分解を促進すると考えられる。分解した Si 原子が Ni 原子と反応することで、膜厚 3 nm の Ni 薄膜の場合と比較して、より多くの熱が発生する可能性があり、この発熱が Si および Ni 原子の表面移動を促進し、RMS 値の増加に寄与していると考えられる。また、図 2 および図 3 に示される表面ラフネスは、化学反応および生成した結晶相の相転移の証拠の一つといえる。



**Fig. 3.** RMS roughnesses for each sample as a function of the SiH<sub>4</sub> exposure time.

そこで、Ni 薄膜における SiH<sub>4</sub> 照射の化学結合特性および結晶相への影響を、XPS および GIXRD を用いて評価した。図 4(a)および図 4(b)には、それぞれ Ni2p<sub>3/2</sub> および Si2p の XPS スペクトルを示している。このスペクトルは、SiH<sub>4</sub> 照射前および照射 1~10 分後の Ni 薄膜から得られたものである。図 4(a)において、Ni 堆積直後の試料では、854~857 eV 付近の結合エネルギーにおいて Ni-O 結合の明瞭なピークが観察された。この信号は Ni 表面の自然酸化膜に起因しており、Ni 成膜後に試料が大気中に曝されたことによるものである。しかし、SiH<sub>4</sub> 照射後は、Ni-O 結合のピークが完全に消失し、酸化層が還元されたことを示している。さらに、SiH<sub>4</sub> 照射後には、Ni-Si および Ni-Ni 結合に由来するピークの強度が増加していることが確認さ



れた。また、Ni-Ni または Ni-Si 結合に関連するピークは、SiH<sub>4</sub> 照射後により高結合エネルギー側へシフトしている。このシフトは、文献[8]の報告によれば、Ni シリサイドの形成を示しており、その組成に依存するとされている。これらの結果は、SiH<sub>4</sub> 照射により Si および H 原子が Ni 酸化物を還元し、その後 Ni シリサイドが形成されたことを示唆している。さらに、SiH<sub>4</sub> 照射 10 分後には、Ni-Si および Ni-Ni 結合のピークが 1~5 分後のピーク位置と比較して低結合エネルギー側にシフトしていることが確認された。先述のように、Si の組成の増加は Ni-Ni および Ni-Si 信号を高結合エネルギー側へシ

フトさせるので、図 4(a)における 10 分後のシフトは、Ni リッチシリサイドの形成およびシリサイドの分解を示唆している。図 4(b)において、Ni 堆積直後の試料では、Si-Si 結合に関連する明瞭なピークは観察されず、Si-O 結合に由来する小さなピークのみが確認された。一方で、SiH<sub>4</sub> 照射 1~10 分後には、Si-O 結合に関連する明瞭なピークおよび Si-Si および Si-Ni 結合に関連するピークが観察された。これらの結果および図 4(a)の結果から、SiH<sub>4</sub> が分解され、その後 Ni シリサイドが形成されたことが示唆される。また、SiH<sub>4</sub> 照射後の大気曝露中に Si 原子の酸化が進行する可能性が高いことが考えられる。さら

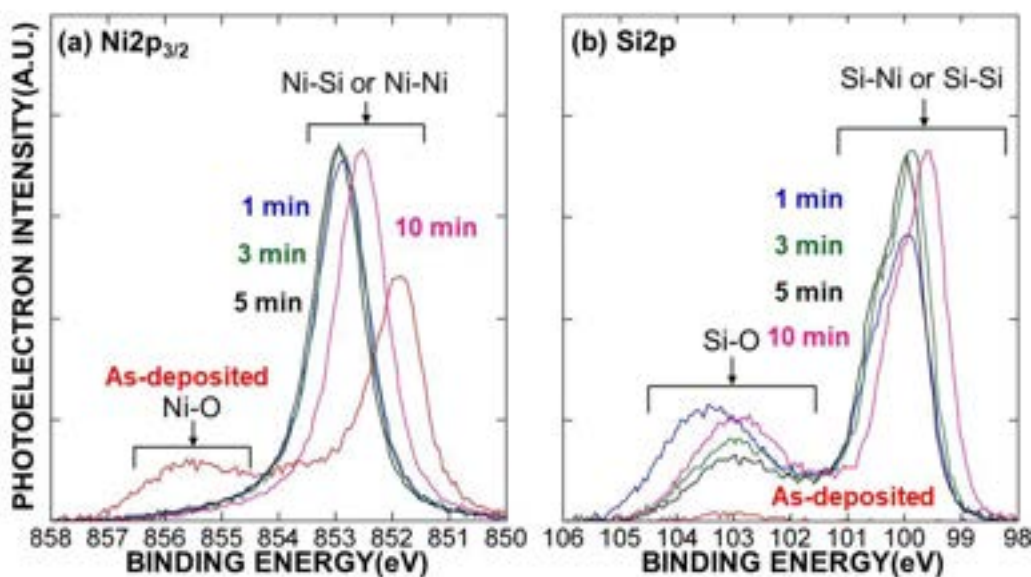


Fig. 4. (a) Ni<sub>2p<sub>3/2</sub></sub> and (b) Si<sub>2p</sub> XPS spectra of the 5-nm-thick Ni-films before and after the SiH<sub>4</sub> exposure.

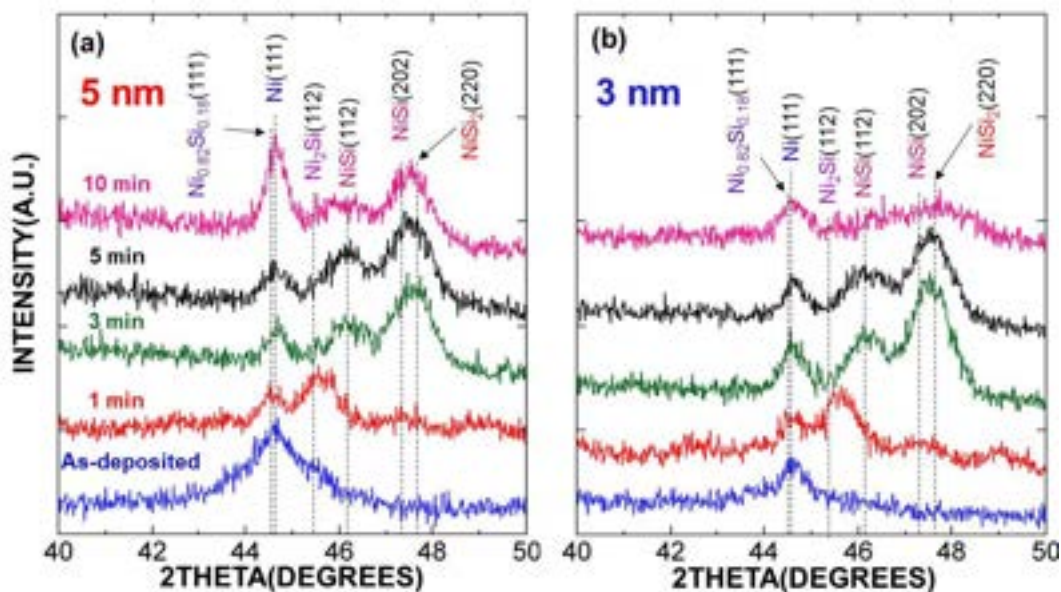


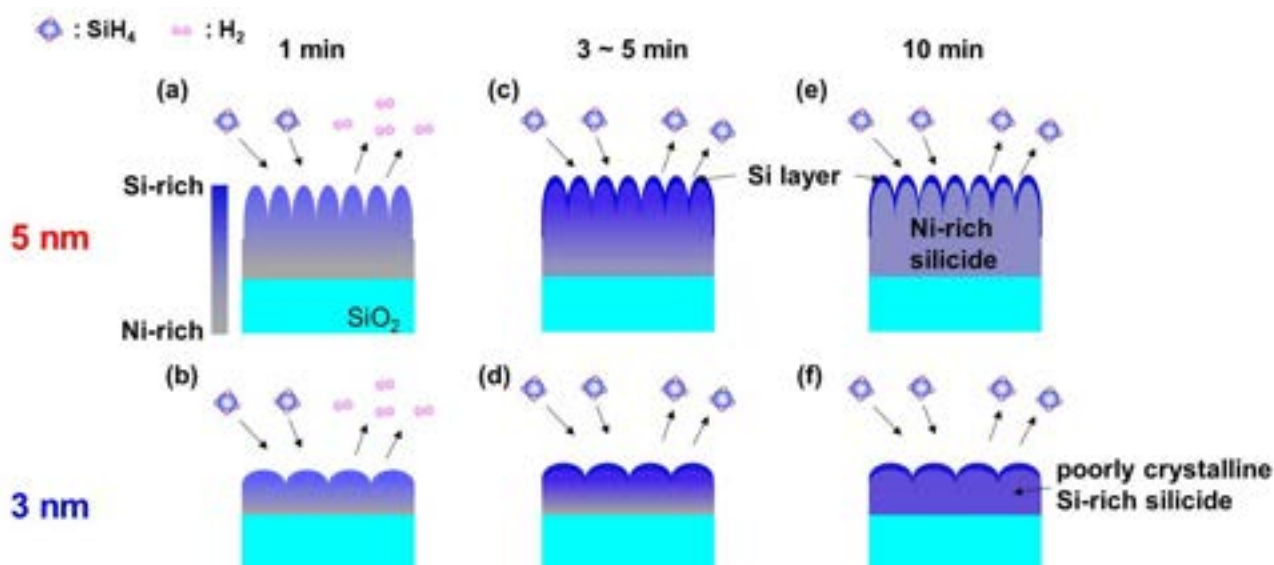
Fig. 5. GIXRD patterns for (a) the 5-nm-thick samples and (b) the 3-nm-thick samples with the different SiH<sub>4</sub> exposure time.



に、 $\text{SiH}_4$  照射 3 分以降では、 $\text{Si-Si}$  および  $\text{Si-Ni}$  信号のピーク強度が変化しないことが確認された。これは、 $\text{SiH}_4$  の分解が 3 分以内で終了することを示している。追加の研究が必要ではあるものの、表面に堆積した  $\text{Si}$  が  $\text{Si}$  単一層を形成し、 $\text{Ni}$  と  $\text{SiH}_4$  のさらなる相互作用を妨げ、 $\text{SiH}_4$  の解離を抑制している可能性が考えられる。また、類似した結果が膜厚 3 nm の  $\text{Ni}$  薄膜を用いた試料でも得られた。 $\text{RMS}$  ラフネスの時間依存性は、これらの化学結合状態の変化に起因している可能性がある。図 5(a) は、 $\text{SiH}_4$  照射時間に対する  $\text{Ni}$  膜厚 5 nm の試料の GIXRD パターンを示している。 $\text{SiH}_4$  照射前では、 $\text{Ni}$  薄膜に  $44.5^\circ$  付近にピークが確認されており、純粋な  $\text{Ni}$  層の存在を示している。 $\text{SiH}_4$  照射 1 分後では、 $44.5^\circ$  付近のピーク強度が弱くなり、新たに  $45.5^\circ$  付近にピークが確認された。このピークは  $\text{Ni}_2\text{Si}$  に由来するもので、1 分後の時点では  $\text{Ni}$  リッチシリサイドが主要な層であることを示唆している。さらに、図 4(a) の XPS 結果を考慮すると、1 分後の  $44.5^\circ$  付近のピークは  $\text{Ni}_{0.82}\text{Si}_{0.18}$  に帰属できる。 $\text{SiH}_4$  照射 3 分後および 5 分後では、 $45.5^\circ$  付近のピークが消失し、新たに  $46.2^\circ$  および  $47.5^\circ$  付近にピークが現れた。これらのピークは、それぞれ  $\text{NiSi}$  および  $\text{NiSi}_2$  に対応しており、1 分後の試料と比較して、3 分および 5 分後に形成された  $\text{Ni}$  シリサイドは  $\text{Si}$  含有量が高いことを示している。このことは、 $\text{SiH}_4$  照射が 3 分から 5 分の間に進行し、シリサイド化反応が進行したことを意味している。しかし、 $\text{SiH}_4$  照射 10 分後では、3 分および 5 分後に確認された  $\text{NiSi}$  および  $\text{NiSi}_2$  に対応するピーク強度が減少し、一方で  $\text{Ni}_{0.82}\text{Si}_{0.18}$  に関連するピーク強度

が増加した。これにより、 $\text{Si}$  リッチシリサイドが分解し、 $\text{Ni}$  リッチシリサイドが形成されたことが示唆される。この結果は、図 4(a) の XPS 結果とも整合している。図 5(b) は、 $\text{SiH}_4$  照射時間に対する  $\text{Ni}$  膜厚 3 nm の試料の GIXRD パターンを示している。5 分までの  $\text{SiH}_4$  照射では、 $\text{Ni}$  膜厚 5 nm の試料と同様のシリサイド化反応が確認された。しかし、 $\text{SiH}_4$  照射 10 分後では、 $\text{Ni}_{0.82}\text{Si}_{0.18}$  に関連するピーク強度の増加は見られず、 $\text{NiSi}$  および  $\text{NiSi}_2$  に対応するピークに広がりが増加した。この結果は、形成された  $\text{NiSi}$  および  $\text{NiSi}_2$  の結晶性が悪化したことを示している。これらの AFM、XPS、GIXRD の結果に基づき、 $\text{SiH}_4$  照射時間に対するシリサイド化反応の進行について議論するためのモデルを次に示す。

図 6(a) および図 6(b) は、それぞれ厚さ 5 nm および 3 nm の  $\text{Ni}$  薄膜における  $\text{SiH}_4$  照射 1 分後のシリサイド化モデルを示した図である。 $\text{SiH}_4$  照射の初期段階では、 $\text{Ni}$  の触媒特性により、低温環境下でも  $\text{Ni}$  薄膜表面で  $\text{SiH}_4$  は分解される。その後、分解された  $\text{Si}$  および  $\text{H}$  原子が、 $\text{Ni}$  表面の自然酸化膜を還元する。同時に、分解された  $\text{Si}$  原子が  $\text{Ni}$  薄膜と反応し、 $\text{Ni}$  シリサイドが形成されたと考えられる。 $\text{SiH}_4$  照射 3 分および 5 分の場合には、図 6(c) および図 6(d) に示されているように、シリサイド化反応は低温下での  $\text{Si}$  原子の拡散に制限される。その結果、過剰な  $\text{Si}$  原子が表面に堆積し、 $\text{Si}$  リッチ層が形成される。過剰な  $\text{Si}$  原子およびこの  $\text{Si}$  リッチ層は、 $\text{Ni}$  原子の触媒作用を抑制し、 $\text{SiH}_4$  の分解が停止したと考えられる。図 6(e) は、厚さ 5 nm の  $\text{Ni}$  薄膜における  $\text{SiH}_4$  照射 10 分後のシリサイド化モデル



**Fig. 6.** Possible silicidation model of the samples after the  $\text{SiH}_4$  exposure (a) 1 min for 5-nm-thick  $\text{Ni}$  films, (b) 1 min for 3-nm-thick  $\text{Ni}$  films, (c) 3-5 min for 5-nm-thick  $\text{Ni}$  films, (d) 3-5 min for 3-nm-thick  $\text{Ni}$  films, (e) 10 min for 5-nm-thick  $\text{Ni}$  films, and (f) 10 min for 3-nm-thick  $\text{Ni}$  films.

ルを示している。この条件下では、Si の供給が停止し、Ni が基板方向から拡散して Si リッチシリサイドから Si 組成が適切な安定した Ni リッチシリサイド相が形成される。一方、厚さ 3 nm の Ni 薄膜の場合では、Ni 原子数が不足しているため、安定した Ni リッチシリサイド相を形成できず、結晶性の悪い Si リッチシリサイドが形成される (図 6(f)参照)。また、Ni シリサイドの格子定数および結晶構造は Si 含有量に強く依存する[9]。Si リッチシリサイドから Ni リッチシリサイドへの相転移や、異なる Si 組成を持つ Ni シリサイドの存在は、層内に大きなひずみを引き起こす可能性がある。条件に関係なく確認された RMS ラフネスの増加は、これらが要因と考えられる。

#### 4. まとめ

厚さ 3 nm および 5 nm の Ni 薄膜に対する SiH<sub>4</sub> 照射が、表面形態、化学結合特性、および結晶相に与える影響を系統的に調査した。その結果、厚さ 3 nm の Ni 薄膜の場合、SiH<sub>4</sub> 照射後でも平坦な表面が得られることが明らかになった。また、Ni と SiH<sub>4</sub> の反応は照射時間が 3~5 分の間で限定され、5 分以上の照射では、Si リッチシリサイドから Ni リッチシリサイドへの相転移や、結晶性の悪い Si リッチシリサイドの形成が観察された。本研究の詳細な調査を通じて、低温 (280°C) でも平坦な表面を持つ Ni シリサイド超薄膜が SiH<sub>4</sub> 照射によって形成可能であることが示された。これらの結果は、ナノスケール Ni シリサイド膜の形成において重要な意義を持つと考えられる。

#### 参考文献

- [1] H. Duan et al., Nat. Commun. **5**, 3093 (2014).
- [2] N. Ota et al., Sensors **21**, 6634 (2021).
- [3] T. Tanaka et al., Sens. Actuators B: Chem. **258**, 913 (2018).
- [4] S. Takeichi et al., Trans. Mater. Res. Soc. Jpn. **40**, 69 (2015).
- [5] L. H. Dubois et al., J. Am. Chem. Soc. **105**, 365 (1983).
- [6] K. kimura et al., Jpn. Appl. Phys. **63**, 02SP72 (2024).
- [7] M. E. Schlesinger, Chem. Rev. **90**, 607 (1990).
- [8] Y. Cao et al., Surf. Interface Anal. **41**, 471 (2009).
- [9] A. Hiraki, Appl. Phys. **51**, 143 (1982).

# 成長した GeS 薄膜における複屈折効果の観察 Observation of the birefringent effect on grown GeS thin films

張 秦強<sup>1</sup> 松村 亮<sup>1</sup> 深田 直樹<sup>1-2</sup>

1 物質・材料研究機構 ナノアーキテクトニクス材料研究センター

〒305-0044 茨城県つくば市並木 1-1

2 筑波大学 〒305-8577 茨城県つくば市天王台 1-1-1

Qinqiang Zhang<sup>1</sup>, Ryo Matsumura<sup>1</sup>, and Naoki Fukata<sup>1,2</sup>

1 NIMS-MANA, 1-1 Namiki, Tsukuba, Ibaraki 305-0044, Japan

2 University of Tsukuba, 1-1-1 Tennodai, Tsukuba, Ibaraki 305-8577 Japan

(e-mail: ZHANG.Qinqiang@nims.go.jp; FUKATA.Naoki@nims.go.jp)

## Abstract

Two-dimensional layered semiconductors, i.e., germanium monosulfide (GeS), have been considered as one of the candidates for developing next-generation functional electronics and optoelectronics [1-3]. Previously, lateral growth of GeS thin films using the pre-deposited amorphous GeS method and fabrication of GeS field-effect transistors (FETs) have been investigated [4-5]. In this study, observation of the birefringent behavior in grown GeS thin films is demonstrated using the cross-polarizer of the optical microscope.

## 1. Introduction

The discovery of graphene has accelerated the development of a wide range of functional devices using two-dimensional (2D) layered materials [1]. The rediscovery of germanium monosulfide (GeS) as a new group of functional semiconductors including Group IV monochalcogenides, highlights the significant potential for the development of novel applications owing to their unique electronic and optoelectronic properties such as in-plane ferroelectricity, direct bandgap of 1.6 eV, photostrictive properties and so forth [2-3]. Laterally-grown GeS thin films show the significant potential of GeS for use as a key functional material in the development of next-generation electronic and optoelectronic applications such as full-light controlled computing-in-memory devices and sensors. In this study, same as our previous studies [4-5], a novel method that takes Mullins-Sekerka instability into account is utilized to grow GeS thin films using a quartz tube furnace [6]. The crystallization of grown GeS thin films is evaluated by using X-ray diffraction (XRD) measurement and the birefringent behavior is observed by using the crossed-polarizer of optical microscope.

## 2. Experimental methods

In experiment, a horizontal quartz tube with two

independently controlled heating regions is utilized to facilitate the deposition and crystal growth of GeS thin films. The GeS powder is placed in the upstream heating region of the tube, while substrates (e.g., 300-nm-SiO<sub>2</sub>/Si and quartz) are positioned in the downstream heating region. The XRD data is collected using a PANalytical X'Per PRO MRD X-ray diffractometer with a Cu K $\alpha$  source, in the range of  $2\theta$  from 10° to 40° with a step of 0.01°. Optical microscope with an angle resolved polarizer is utilized for the observation of the birefringent behavior of grown GeS thin films.

## 3. Experimental results

The XRD spectra is shown in Fig. 1. It confirms the orthorhombic structure of GeS, in accordance with the standard GeS reference of PDF#00-009-0231. Only the diffraction peaks located at about 16.9° for (002) and 34.2° for (004) are obtained, indicating that the crystal orientation is along with the c-axis, and normal to the van der Waals stacking layers. This suggests that GeS thin films directly grown on SiO<sub>2</sub>/Si substrates mainly consist of the layered structure. Optical microscope with an angle-resolved polarizer is utilized for the evaluation of the birefringent behavior of GeS thin films as shown in Figs. 2. The black regions, so-called Maltese extinction crosses as depicted in Fig. 2(b), are the

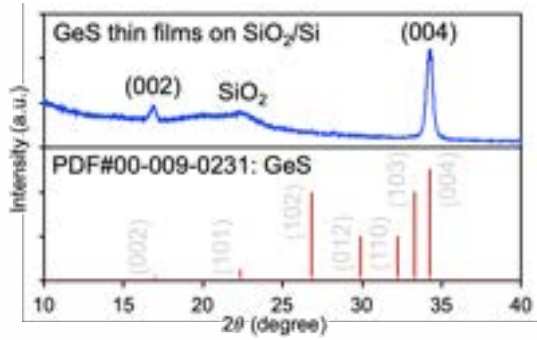


Fig. 1. XRD spectra of GeS thin films

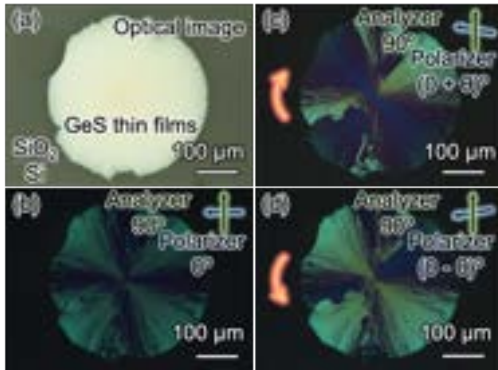


Fig. 2. Observation of the birefringent effect

common characteristic of radial anisotropic body between crossed polarizers. The Maltese-cross is parallel to the polarizer/analyzer orientation of the microscope and independent of the stage orientation. Maltese-cross results from the cancellation of birefringence every  $90^\circ$  with crossed polarizer, hence all the vertical and horizontal crystalline GeS are dark in the observed optical image. With the polarizer slightly rotating by certain angle, one arm of Maltese-cross rotates accordingly as shown in Figs. 2(c-d). The observed features suggest that the grown GeS thin films possess spherulite-like structures, since spherulite-substance exhibits a Maltese-cross pattern observed by optical microscope with a crossed polarizer [7]. It is considered that the green area likely shows the same structural orientation along armchair/zigzag edge as the sub-domain of crystallized GeS, existing in the circular domain of spherulite-like GeS thin films.

The formation of spherulite-like GeS thin films is likely attributed to a sharp local phase gradient existed in the adatom region of growth front among crystallized GeS, GeS vapor source and re-sublimated GeS. The ultrahigh supersaturation induced condensation at the growth front likely

results in a lateral growth of spherulite-like GeS at the interface of the sharp local phase gradient. In addition, the growth rate for a nonlinear spherulitic growth is analogous to the supercooling-like method in the order of several micrometers per second [8]. The formed dendrite at the circular periphery likely confirms the Mullins-Sekerka instability which is only limited to the normal growth mechanism for diffusion-limited growth, whereas the spherulite formation at the inner body of GeS is considered to be controlled by kinetic growth since the spherulites do not form under diffusion control. The diffusion-limited growth starts from the growth front at the periphery of the spherulite-like GeS after the nucleation, and then it may exhibit a transformation suddenly into a kinetic-limited growth for the body of spherulite-like GeS thin films. The detailed growth model is under consideration.

#### 4. Conclusions

The birefringent behavior of grown GeS thin films is evaluated in this study. It is suggested that the grown GeS thin films possess spherulite-like structures that holds the potential to achieve single-crystalline GeS, as previously demonstrated with  $\text{GeO}_2$  [9], paving the way for the development of next-generation GeS FETs with the potential advantage in programmable of FETs using the optic control method.

#### Acknowledgment

This work is supported by JSPS KAKENHI (Grants no. JP20K14796, JP23K13370, JP24KF0164). Part of this work is also supported by the Advanced Research Infrastructure for Materials and Nanotechnology in Japan (ARIM), MEXT, Japan, proposal number 24NM5064 and 24UT1037.

#### Reference

- [1] K. S. Novoselov, et al, *Science*, 306, 666, 2004
- [2] E. Sutter, et al, *ACS Nano*, 13, 9352, 2019
- [3] R. Nanae, et al, *Adv. Funct. Mater.*, 2406140, 2024
- [4] Q. Zhang, et al., *J. Mater. Chem. C*, 12, 18101, 2024
- [5] Q. Zhang, et al, *ACS Appl. Nano Mater.*, 6, 6920, 2023
- [6] W. W. Mullins, et al, *J. Appl. Phys.*, 34, 323, 1963
- [7] A. Shtukenberg, et al., *Chem. Rev.*, 112, 1805, 2012
- [8] H. Tanaka, et al., *Phys. Rev. A*, 39, 783, 1989
- [9] S. Zhou, et al, *Acta Mater.*, 215, 117069, 2021

# CVD 単層 MoS<sub>2</sub> を用いた MIS キャパシタにおける CV 特性評価

## Analysis of Capacitance-voltage Characteristics in MIS Capacitors Using CVD Monolayer MoS<sub>2</sub>

中村 志穂<sup>1</sup>, 鶴岡 大樹<sup>1</sup>, 遠藤 尚彦<sup>2</sup>, 宮田 耕充<sup>2</sup>, 青木 伸之<sup>1</sup>, 柯 梦南<sup>1</sup>

1 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

2 東京都立大学 〒192-0397 東京都八王子市南大沢 1-1

Shiho Nakamura<sup>1</sup>, Daiki Tsuruoka<sup>1</sup>, Naohiko Endo<sup>2</sup>, Yasumitsu Miyata<sup>2</sup>, Nobuyuki Aoki<sup>1</sup>, Mengnan Ke<sup>1</sup>

*1 Chiba University, 1-33 Yayoicho, Inage, Chiba, Japan*

*2 Tokyo Metropolitan University, 1-1 Minamiosawa, Hachioji, Tokyo, Japan*

*Tel: + 81-43-290-3430 (e-mail: mke@chiba-u.jp)*

### Abstract

In this study, we fabricated ring-shaped metal-insulator-semiconductor (MIS) edge capacitors using CVD-grown monolayer MoS<sub>2</sub> and Al<sub>2</sub>O<sub>3</sub> deposited via atomic layer deposition (ALD). Capacitance-Voltage (C-V) characteristics were measured for devices with different ring diameters, demonstrating increased frequency dispersion for devices with larger diameters. Furthermore, we evaluated interface state density ( $D_{it}$ ) using the conductance method to investigate differences among devices with varying ring diameters.

### 1. はじめに

近年、電界効果トランジスタ (FET) の微細化には限界が来つつある。そのため Si に代わる新たな材料の開発が盛んである。そこで注目されているのが遷移金属ダイカルコゲナイド (TMDC) である。2次元材料である TMDC は、短チャネル効果を抑制でき、三次元積層構造に有利であるため、次世代構造の CMOS スケーリングにおける材料として研究が盛んに行われている。特に二硫化モリブデン (MoS<sub>2</sub>) や二セレン化タングステン (WSe<sub>2</sub>) を用いた電界効果トランジスタ (FET) の研究が盛んである。一方で、2次元材料の特性上、金属-絶縁体-半導体 (MIS) キャパシタの測定が難しく、MIS 界面に関する研究は少ない [1][2]。

MoS<sub>2</sub> の薄膜は、剥離法と化学気相成長法 (CVD) によって得ることができるが、剥離法で得られる結晶は再現性が低く、また結晶の大きさが限られる。そこで本研究では、CVD 単層 MoS<sub>2</sub> および、原子層堆積法 (ALD) で得られる

高誘電率絶縁体、アルミナ(Al<sub>2</sub>O<sub>3</sub>)を用いて、単層 MoS<sub>2</sub> リング状エッジ MIS キャパシタを作製した。作製したリング直径の異なるデバイスは、真空中で静電容量特性(C-V 特性)を測定し、さらにコンダクタンス法を用いた界面準位密度 ( $D_{it}$ ) 測定を行った。

### 2. 実験条件

Fig.1(a)のプロセスフローに沿って、ガラス基板をアセトンで 10 分間洗浄したのちイソプロピルアルコール (IPA) で 5 分間洗浄した。その基板の上にフォトレジストとして PMMA 950 A5 をスピニングにて塗布し、453K のホットプレートで 2 分間ベークを行い、その後絶縁性である基板のチャージアップを防ぐため Aqua Save をスピニングにて塗布、その後 353K にて 1 分間乾燥を行った。

次に、電子線リソグラフィーにて基板上にパターン描画を行い、その後 Ti/Pd (5/10 nm) を蒸着し電極を作製した。さらに Al<sub>2</sub>O<sub>3</sub>(12 nm)を ALD 成膜し、その上に CVD monolayer MoS<sub>2</sub> をトランスファーしデバイスの形状に O<sub>2</sub> プラズ



マエッチングした。1度目の電極作成時と同様に電子線リソグラフィを行いパターン作製，その後 In/Au (10/30 nm) を蒸着した。作製したデバイスは，真空中にてアニール (573K, 1h) を行い，hp 4824A LCR meter にて静電容量特性を測定した。

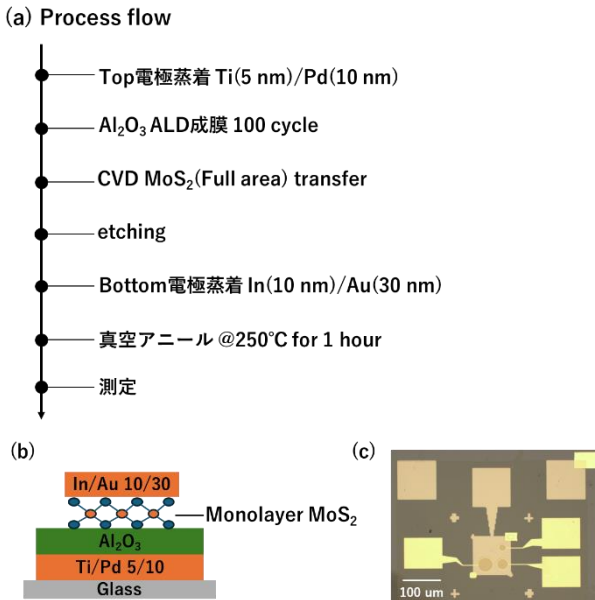


Fig.1 Fabrication of devices: (a) Process flow, (b) Schematic illustration, (c) Optical microscopy image

### 3. 結果および考察

真空アニール後のデバイスを真空中 300 K で静電容量を測定した(Fig. 2).

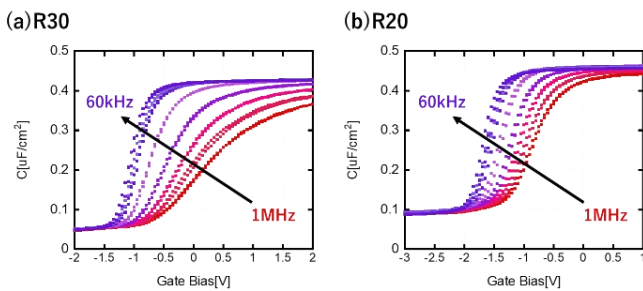


Fig.2 Multi frequency capacitance voltage measurements for MIS capacitors: Device with a diameter of (a) 30  $\mu\text{m}$ , (b) 20  $\mu\text{m}$

リング直径が 30  $\mu\text{m}$  の大きいデバイスでは Accumulation 領域でより大きい周波数分散が確認された。一方リング直径が 20  $\mu\text{m}$  のデバイスでは，Depletion 領域の  $C_{\text{min}}$  が大きな値となった。

さらに，同デバイスに対してコンダクタンス法を用いて 180 K で  $D_{\text{it}}$  測定を行った。リング直径が 20  $\mu\text{m}$  のデバイスと比較して，リング直径が 30  $\mu\text{m}$  のデバイスにおいて大きなコンダクタンスピークが見られた(Fig.3).

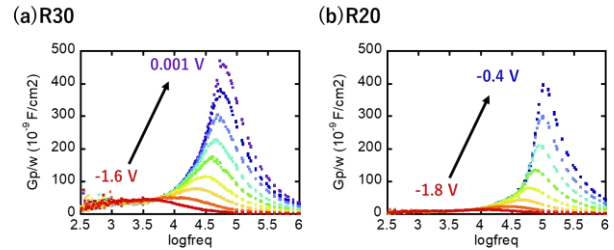


Fig.3  $G_p/\omega$  versus  $\log(\text{frequency})$  for MIS capacitors: Device with a diameter of (a) 30  $\mu\text{m}$ , (b) 20  $\mu\text{m}$

このコンダクタンスピークの高さの違いにはデバイスの大きさによる， $\text{MoS}_2$  チャンネルの抵抗の大きさの違いにあると考える。チャンネルの大きさが大きくなることでキャリアの横方向の移動に伴う抵抗の増加が予想され，コンダクタンスピークの増大につながる。

そこで，カーブフィッティングを用いて  $D_{\text{it}}$  による寄与とチャンネルの抵抗による寄与を分離することを試みた(Fig.4).

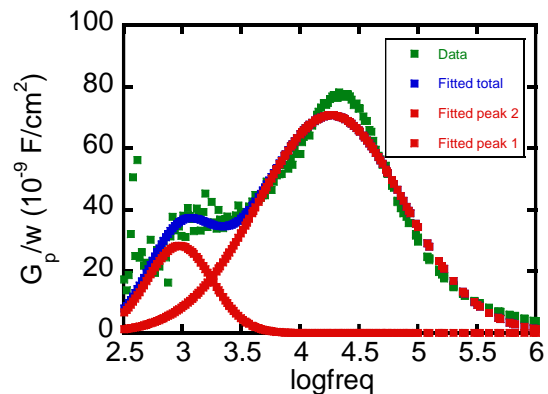


Fig.4 Curve fitting of  $G_p/\omega$  (Device diameter 30  $\mu\text{m}$ , at 180 K, and -1.6 V)

カーブフィッティングによってコンダクタンスは低周波数における周波数によって変化するピークと高周波数における周波数とともにシフトするピークに分離することができる。Fig.5 は，周波数とともにシフトするピークを  $D_{\text{it}}$  によるものとしてリング直径が 30  $\mu\text{m}$  のデバイスの  $D_{\text{it}}$  を，フィッティング前のデータおよび，リング直径が 20  $\mu\text{m}$  のデバイスにおける  $D_{\text{it}}$  と比較したものである。

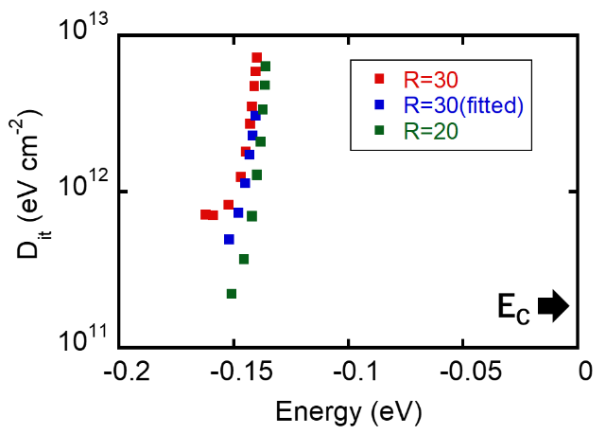


Fig.5  $D_{it}$  of the devices with the diameter of 20  $\mu\text{m}$ , 30  $\mu\text{m}$  and fitted data of the device with the diameter of 30  $\mu\text{m}$

フィッティング後のリング直径 30  $\mu\text{m}$  のデバイスにおける  $D_{it}$  の値は、リング直径 20  $\mu\text{m}$  のデバイスの  $D_{it}$  との差異はあるものの、フィッティングによってアクセス抵抗による影響をある程度修正できると考える。

#### 4. まとめ

本研究では CVD 単層  $\text{MoS}_2/\text{Al}_2\text{O}_3$  リング状 MIS キャパシタを作製し、異なるリング直径のデバイスにおいて C-V 特性の測定をした。 $\text{MoS}_2$  のチャンネルが大きい場合に周波数分散が大きくなることを確認し、さらにコンダクタンス法により  $D_{it}$  測定を行った。測定されたコンダクタンスには  $D_{it}$  だけでなく、チャンネルの抵抗による影響が含まれており正確な  $D_{it}$  評価が難しいが、コンダクタンスピークを分離することによってコンダクタンスをある程度修正でき、 $D_{it}$  評価の精度向上が期待できる。

#### 謝辞

本研究は、戦略的創造研究推進事業さきがけ JPMJPR24H2, 株式会社東京エレクトロン, JSPS 科研費 JP23K13361, 服部報公会, 日本科学協会笹川科学研究助成, 池谷科学技術振興財団によりサポートされた。

#### 参考文献

- [1] Park, Seonyoung, et al. ACS Applied Materials & Interfaces 8.18 (2016): 11189-11193.
- [2] Gaur, Abhinav, et al. 2D Materials 6.3 (2019): 035035.

## 二次元半導体材料の界面準位密度評価手法

### The analytical method for evaluation of interface state density of 2D semiconductor channel materials

佐藤 優<sup>1</sup> 川井 大介<sup>1</sup> 松木 武雄<sup>1</sup> 蓮沼 隆<sup>1</sup>

- 1 筑波大学数理物質科学研究群 〒305-8571 茨城県つくば市天王台 1-1-1  
Masaru Sato<sup>1</sup>, Daisuke Kawai<sup>1</sup>, Takeo Matsuki<sup>1</sup>, Ryu Hasunuma<sup>1</sup>  
1 Univ. of Tsukuba, 1-1-1 Tennodai, Tsukuba, Ibaraki 305-0, Japan  
Tel: + 81-80-2812-7690, (e-mail: s2420293@u.tsukuba.ac.jp)

#### Abstract

We propose an analytical method to estimate the density of interfacial states of MOS system with 2D semiconductor channel materials. In this method, we use a 2-D channel MOSFET with a source electrode, a grounded back-gate electrode and a floating drain electrode. A charging/discharging in the MOS system occurred with a pulse voltage bias to the source. The difference in the time constants between the charging and the discharging is due to the carrier emission process from the interface states. It is expected that the energy distribution of the interface state can be obtained by the time constants.

#### 1. はじめに

Si-MOSFET の微細化にともなう短チャネル効果にたいして、Si に替えて遷移金属ダイカルコゲナイド (MoS<sub>2</sub>, WS<sub>2</sub> など) の単層膜を二次元半導体材料としてチャネル材料にすることが検討されている[1,2]。二次元半導体材料はグラフェンのようにシート状につながった構造を持ち、高い移動度を持つ半導体材料である[3]。遷移金属ダイカルコゲナイドである MoS<sub>2</sub> は単層 (0.65nm) で 380cm<sup>2</sup>/vs という高移動度が報告されている[4]。二次元半導体材料をチャネルとする MOSFET の集積化を実現するためには様々な課題を克服する必要があるが、その一つにゲート絶縁膜との界面欠陥の評価技術の確立、低欠陥密度ゲートスタック作製プロセスの構築が挙げられる。バルク Si をチャネルとする従来の MOSFET においては通常、そのゲート絶縁膜/Si 界面欠陥密度は Hi-Lo C-V 法を用いて測定される。この手法は、交流電場印加による電荷量変化が空乏層端では高い周波数に追従するのに対し、界面欠陥では追従しないことを利用したものである。最も重要な点は一方が空乏層端での、他方が界面での現象であることであり、このことが容量の周波数依存性、すなわち測定感度を高める要因となっている。しかし、二次元半導体材料はその薄さにより空乏層が

広がらず、電荷量変化は周波数によらず常に界面で起こる。したがって Hi-Lo C-V 法による界面準位密度測定は極めて困難である。

本研究では二次元半導体材料の界面準位密度を定量的に測定する試みを行っている。今回は MOS キャパシタの充電・放電時のチャネル電位の時間変化から界面準位密度を測定するアプローチを紹介する。

#### 2. 実験方法

低抵抗シリコン基板(100)の表面に厚さ約 100nm の熱酸化 SiO<sub>2</sub> を形成した後、CVD 法によって MoS<sub>2</sub> 膜を形成した。MoS<sub>2</sub> 上にリソグラフィでソース・ドレイン電極となるレジストパターンを形成した後、その電極膜として、Ni、さらに Au をそれぞれ 50nm の膜厚で連続的に真空蒸着した。その後、リフトオフによって 100 × 100μm<sup>2</sup> の電極を形成した。このソース・ドレイン電極間隔は、20μm とした。Si 基板裏面に 5nm の Ti、さらに 100nm の Au を真空蒸着することで、バックゲートとした。以上により、チャネル長 20nm の MOSFET 構造ができた。チャネル幅は 100 μm とした。

Fig.1 に我々が用いた MOSFET とその測定系の概略を示す。バックゲートとソース間に電源を設置し、電圧を印加できるようにした。ドレインは浮遊させ、高インピーダンス ( $\geq 1 \times 10^{12} \Omega$ ) の電圧計に接続した。この測定系を用いて  $\text{MoS}_2/\text{SiO}_2/\text{Si}$  で構成されたキャパシタを充電・放電させるときのドレイン電位の時間変化を計測する。

ここで、キャパシタを充電・放電させたときの様子を、エネルギーバンド図を用いて説明する。Fig.2 は充電時の様子である。まずソース-バックゲート間電圧を  $0\text{V}$  にする(Fig.2(a))。また、ドレインを一度強制的に接地させ、ドレイン電極も  $0\text{V}$  とする。その後ソースに負電圧  $V_s'$  ( $V_s' < 0$ ) を印加し、MOSFET をオン状態にする(Fig.2(b))。印加直後はチャネルに電子が流入していないのでドレイン電位は  $0\text{V}$  である。その後電子が流入し、チャネル内をドレインに向かって拡散する(Fig.2(c))。このときドレイン電位は、チャネル内のドレイン端での電位と等しくなる。十分時間が経過したのちはソース、チャネル、ドレイン電位がすべて等しくなり、 $V_s'$  となる(Fig.2(d))。次に放電時の様子を Fig.3 に示す。まずソース-バックゲート間電圧を  $0\text{V}$  に戻し、MOSFET をオフ状態にする(Fig.3(a))。この瞬間は放電が始まっていないため、チャネルおよびドレインの電位は  $V_s'$  である。その後電子が流出し、チャネル内をソースに向かって拡散する(Fig.3(b))。これに伴いチャネル電位が減少すると同時にドレイン電位も減少していく。界面準位が存在しない理想的な二次元半導体材料では、充電された電子がすべて放出され、ソース、チャネル、ドレイン電位がすべて等しくなり、 $0\text{V}$  となる(Fig.3(c))。

界面準位が存在する場合、充電された電子の一部が界面準位に捕獲される(Fig.4(a))。したがって、放電の時定数が大きくなり、ドレイン電位の減少速度が小さくなる(Fig.4(b))。充電時も含めた、ドレイン電位の時間変化を Fig.5 に示す。放電時のドレイン電位変化の遅れは界面準位の量と深さに応じて大きくなる。これにより二次元半導体材料の界面準位のエネルギー分布を得ることができると考えられる。

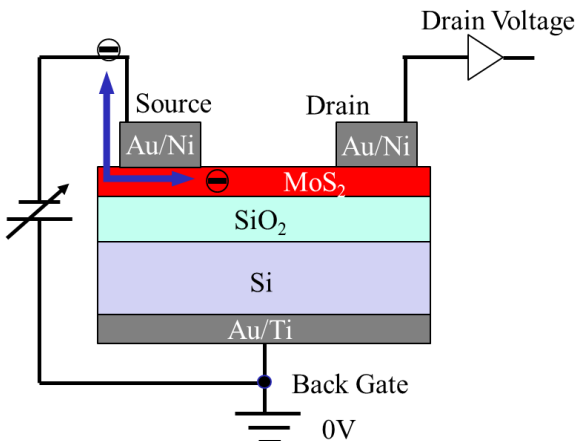


Fig.1 A Schematic illustration of the sample structure and the measurement system.

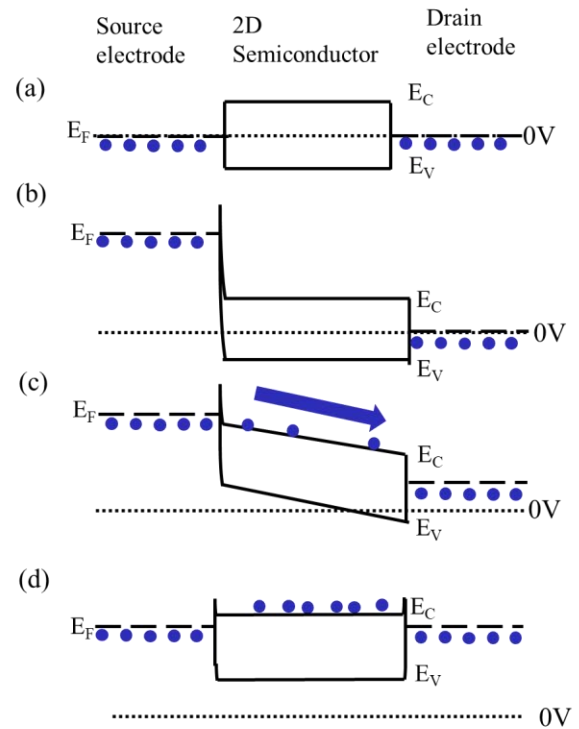


Fig.2 The energy band diagrams of the MOSFET, while (a) source voltage is  $0\text{V}$ , (b) just after applying a negative source voltage, (c) electrons are being injected, and (d) after reaching at steady state.

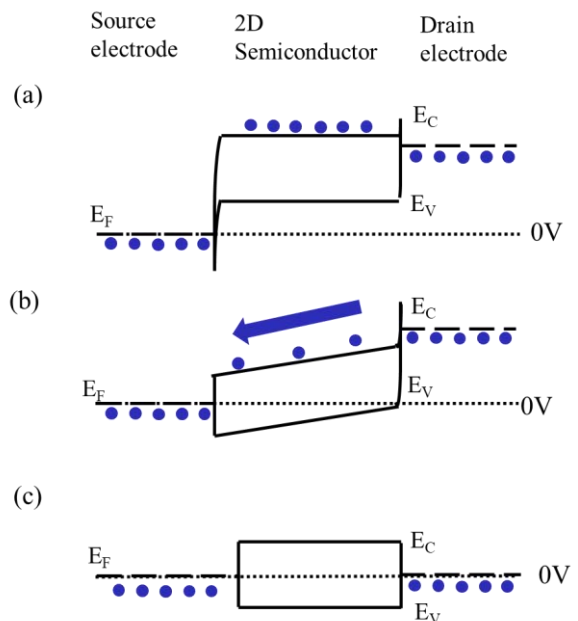


Fig.3 The energy band diagrams of the MOSFET without interface states during discharge, while (a) just after the source voltage is set to  $0\text{V}$ , (b) electrons are being removed from 2D semiconductor, and (c) after reaching at steady state.

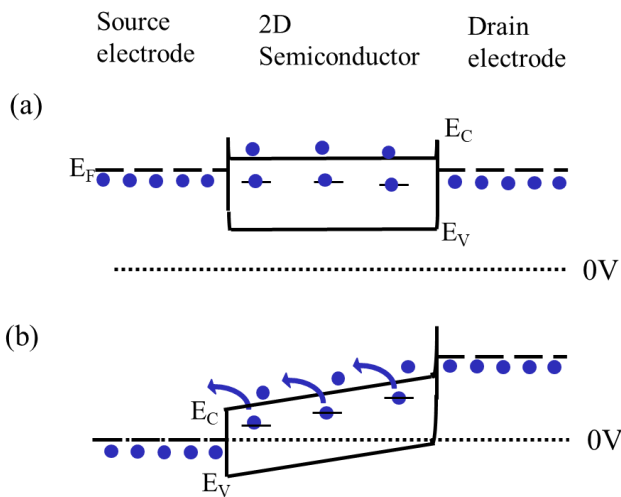


Fig.4 The energy band diagrams of the MOSFET with interface states. (a) The diagram before discharging and (b) that of being discharged.

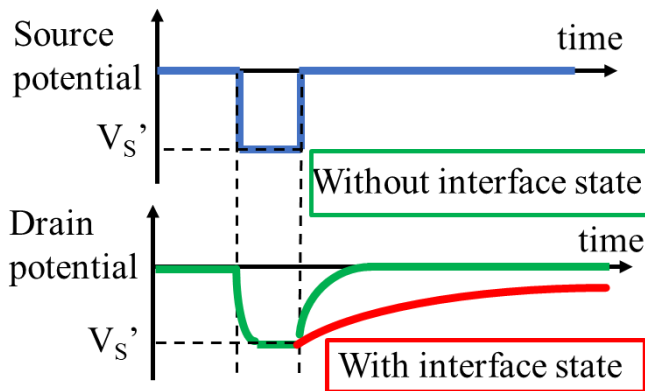


Fig.5 The schematic drawing of the time-varying potential during charging and discharging.

### 3. 結果および考察

Fig.6(a), (b)にそれぞれ、ソース電位および今回得られたドレイン電位の時間変化を示す。ソースへの印加電圧  $V_s'$  は  $-20$ 、 $-40$ 、 $-60V$  の3種である。充電時間はすべて  $10s$  とした。図中、それぞれの充電開始時の時刻を  $0$  としている。図より、充電時のドレイン電位はほぼドレイン電位の時間変化を追従しており、すなわち電子のチャンネルへの流入速度やチャンネル内の拡散速度が少なくとも今回の時間スケールにおいては十分速いことがわかる。一方、放電時のドレイン電位変化は明らかに時定数が大きいことがわかる。また、十分な時間が経過したのちはドレイン電位がほとんど変化しなくなることもわかる。ここで、放電開始後  $10s$  までを遷移領域、それ以降を飽和領域と呼ぶことにする。

Fig.7 に放電開始後  $1$  秒間のドレイン電位変化を示す。なお、縦軸は電位の絶対値を対数表記したものである。図より、放電開始直後は速やかにドレイン電位が減少し、その後、緩やかに減少していることがわかる。放電開始直後のきわめて大きな減少速度は充電時のドレイン電位の応答速度と同程度であり、すなわち、二次元半導体材料の伝導帯にある電子のチャンネル内の拡散現象を反映していると考えられる。緩やかな減少については、界面準位に捕獲された電子の放出速度を反映していると考えられる。ドレイン電位変化の時定数が連続的に変化していることも明らかであり、すなわち、界面準位の深さがさまざまであることを示唆している。ただし、ソースコンタクト抵抗やドレインコンタクト抵抗の影響が含まれている可能性も否定できない。しかし、例えば  $V_s' = -60V$  のときのドレイン電位変化が緩やかになるのはおよそ  $-30V$  となった以降である。一方、充電時において  $V_s' = -20V$  での充電速度は十分に大きい。つまり、ソースコンタクト抵抗とドレインコンタクト抵抗が同程度であるとするならば、緩やかなドレイン電位変化がドレインコンタクト抵抗によるものとは言えない。またバンド図から、放電時にソースコンタクト抵抗を高めるような障壁がないことは明らかである。また、Fig.8 に示すようにソース-ドレイン間抵抗と緩やかなドレイン電位変化の時定数との間に相関がないことを確認した。なお、本図のソース-ドレイン間抵抗はバックゲート電圧  $60V$ 、ソース-ドレイン間電圧  $0.1V$  の時のドレイン電流から求めた。また、時定数は  $V_s' = -60V$  の時の放電時のドレイン電位が  $-30V$  から  $-30/eV$  になるまでの時間とした。

次に飽和領域について読み取れることを述べる。Fig.6 の  $35$  秒時点から  $5$  秒間のドレイン電位の時間変化を拡大したものを Fig.9 に示す。飽和領域ではドレイン電位が一定値を取る残



留電位を確認することができる。これは非常に深い界面準位に捕獲された電子が放出されずに残っていることを示唆している。 $V_s'$ が大きいほど残留電位が大きいことが明らかで、電子捕獲に寄与する界面準位分布を反映していると考えられる。たとえば、 $V_s'=-60V$ の時は、残留電位が $-5.5V$ 程度であり、酸化膜容量から最後まで電子を捕獲している界面準位密度が $10^{11}cm^{-2}$ 程度であると見積もられる。

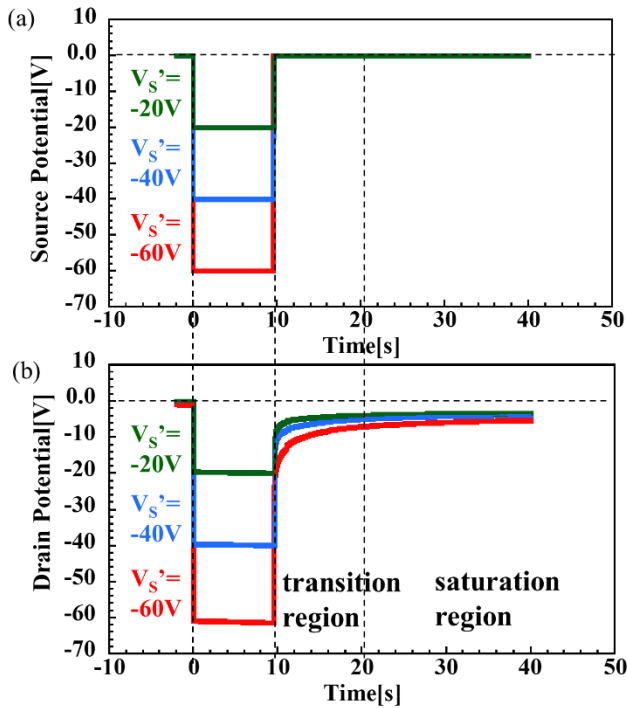


Fig.6 Time variation of (a) source potential And (b) drain potential.

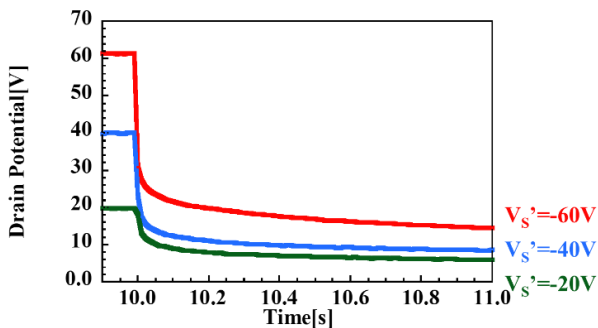


Fig.7 Time variation of drain potential in the transition region.

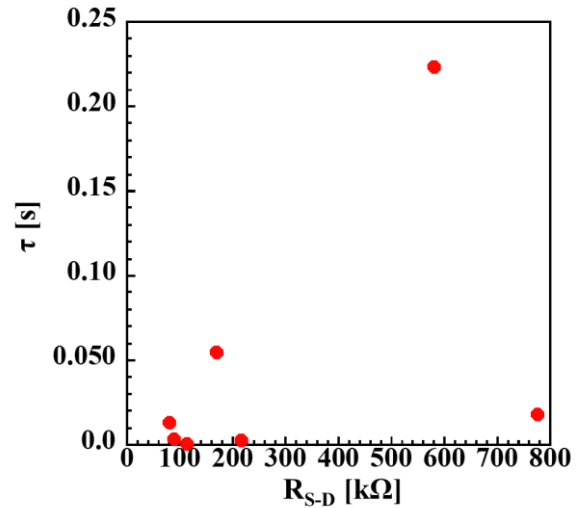


Fig.8 Correlation of S-D resistance and time constant of discharging in the transition region.

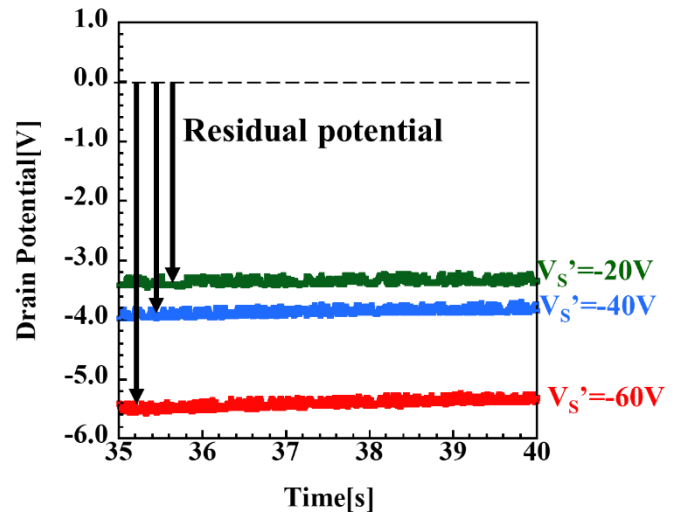


Fig.9 Time variation of drain potential in the saturation region.

#### 4. まとめ

今回我々は二次元半導体材料をチャネルとした MOSFET のチャネルに電荷を充放電したときのドレイン電位の時間変化を観測することで界面準位密度の測定を試みた。放電時に界面準位からの電子の放出過程を観測することができると思われる。放出過程の時定数は界面準位の深さに依存し、様々であると予想される。これを詳細に解析することで、界面準位のエネルギー分布や量を明らかにすることが可能である。そのためには放電の温度依存性を調べるのが有効であると考えられる。

今回は比較的遅い応答が観測されたが、より速い放出過程を調べるためには、今回考慮しなかったコンタクト抵抗やチャネル抵抗を正確に調べ、共に十分小さなデバイス作製プロセスを確立することが重要である。

#### 謝辞

本研究は「電波有効利用研究プログラム 革新的情報通信技術 (Beyond 5G) 基金事業」および「未来社会創造事業 (探索加速型)」の支援を得て遂行された。

#### 参考文献

- [1] 入沢 寿史. “2 次元材料トランジスタ IRDS ロードマップに見る期待と最新研究動向”. 応用物理, 93 巻 11 号(2024)
- [2] International Roadmap for Devices and Systems (IRDS) 2022 update.
- [3] D. Akiwande, C. Huyghebaert, C.-H. Wang, M.I. Serna, S. Goossens, L.-J. Li, H.-S. Philip Wong, and F.H.L. Koppens: Nature 573, 507 (2019)
- [4] B. Radisavljevic, M.B. Whitwick, and A. Kis, Appl. Phys. Lett. (2012)

# グラフェン/スマネン/グラフェン積層構造の抵抗変化現象

## Unique resistive switching characteristics using graphene/sumanene/graphene stacked structures

川合 遼一<sup>1</sup>, 桐原 芳治<sup>1</sup>, 藤江 麗香<sup>1</sup>, 田畑 佳夏<sup>1</sup>, 勝亦 亮介<sup>1</sup>, 君島 海都<sup>1</sup>,  
石川 亮佑<sup>1</sup>, 野平 博司<sup>1</sup>, 三谷 祐一郎<sup>1</sup>

1 東京都市大学 〒158-8557 東京都世田谷区玉堤 1-28-1

Ryoichi Kawai<sup>1</sup>, Yoshiharu Kirihara<sup>1</sup>, Reika Fujie<sup>1</sup>, Kana Tabata<sup>1</sup>, Ryosuke Katsumata<sup>1</sup>, Kaito Kimijima<sup>1</sup>,  
Ryousuke Ishikawa<sup>1</sup>, Hiroshi Nohira<sup>1</sup> and Yuichiro Mitani<sup>1</sup>

1 Tokyo City University, 1-28-1 Tamadutsumi, Setagaya-ku, Tokyo-to 158-8557, Japan

Tel: + 81-3-5707-0104, (e-mail: g2381230@tcu.ac.jp)

### **Abstract**

As advances in technologies such as IoT, AI, automotive, industrial, medical, and mobile devices, the world is flooded with massive amounts of data. In order to store and effectively utilize this enormous amount of data, there is a growing demand for new memories with higher density and capacity. New methods of information processing using neural networks are also attracted much attention. One method of reproducing neural networks is an in-memory computing (IMC), a device that uses memory for computation. As one of the candidates for such a new memory device, we are focusing on a new material memory using Sumanene molecules. In this study, we fabricated a two-terminal device using a graphene/sumanene/graphene stacked structure and measured the electrical properties. As a result, the resistive switching is observed and the large  $I_{on}/I_{off}$  ratio is confirmed. On the other hand, since  $I_{on}$  is significantly large, we aimed to suppress the current by inserting insulating films.

### 1. はじめに

2 端子型抵抗変化メモリは近年の高度情報化社会における電子データの保存（大容量メモリ）やエッジ処理（インメモリコンピューティング）で注目され、研究・開発が精力的に行われている。<sup>[1]</sup> 2 端子型抵抗変化メモリには多様な動作方式や材料が提案されている<sup>[2,3]</sup>が、我々はグラフェンとスマネン分子で形成されるオールカーボン製の抵抗変化素子に着目している。スマネン<sup>[4,5]</sup>は  $C_{21}H_{12}$  の分子式を持つお椀状の炭化水素分子であり、外部エネルギーによりボウル反転する特徴を有する。<sup>[6]</sup> この分子を 2 層のグラフェンによって挟み込んだ構造（グラフェン/スマネン/グラフェン）において、スマネン分子

のボウル反転によって電子と正孔の分布が変調することが第一原理計算により予測されている。<sup>[7]</sup>

この研究より着想を得て、私たちは Metal/グラフェン/スマネン/グラフェン/ $n^+$  Si/Metal の 2 端子デバイス構造を作製し、大きな抵抗変化現象が発現することを見出した。<sup>[8,9]</sup> またこの抵抗変化現象はグラフェン/スマネン/グラフェン構造でのみ発現する。<sup>[9]</sup>

一方で作製したデバイスの動作電流は大きいこともわかっており、メモリデバイスとしての実用化を考えると高い消費電力がボトルネックとなる。そのため動作時の電流を抑制し低消費電力での動作を実現するために、電極-グラフェン間に抵抗体となる絶縁膜を挟むなど

の工夫を行ったので、その結果を報告する。

## 2. 実験条件

デバイス作製のプロセスフローを Fig. 1 に、作製したデバイス構造を Fig. 2 に示す。まず熱 CVD 法によって銅箔上に製膜された単層のグラフェンを n<sup>+</sup> Si 基板上に転写し、その上にスマネン溶液(溶媒:トルエン)をスピコート法により塗布する。その上に再度グラフェンを転写し、蒸着によって金属電極を表裏の両面に形成する。この構造を基本構造として、Fig. 2 に示す種々の積層構造を作製した。

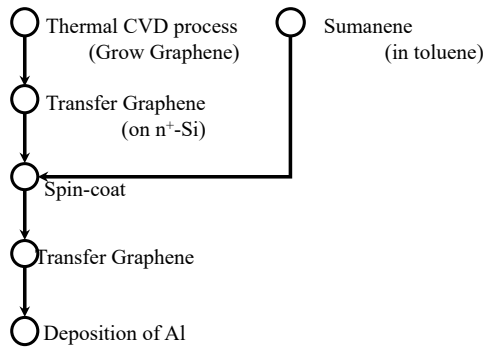


Fig. 1 The process flow of the device used in this work.

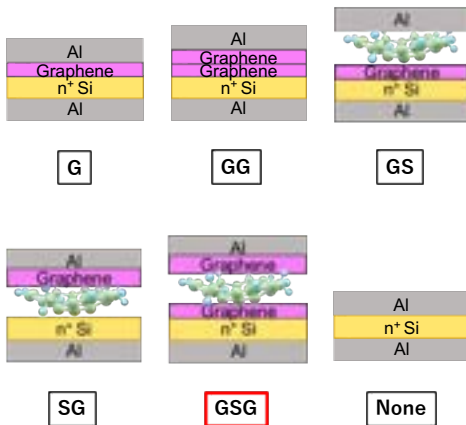


Fig. 2 Schematics of device structure.

以降、種々のデバイス構造は Fig. 2 に示す略号を用いて記載する。

抵抗変化現象の計測は、デバイスを 100°C に昇温した環境で 0V→+5V→0V→-5V→0V の順に往復電圧掃引を実施した。また、Fig. 1 に示すプロセスで、2 層グラフェン間にスマネン分子が存在しているかを確認するために SPring-8 BL09XU<sup>[10]</sup> の HAXPES 装置を用いて確認する。入射光のエネルギー  $h\nu$  は 7933 eV, 光電子取り込み角度 (TOA) は 45°, 測定光電子は C 1s, Si 1s である。なお予めデバイスに +5V の電圧印可を行うため、光電子の脱出深さも考慮して Fig. 3 に示すように 15 nm 程度の薄い Ni 電極を成膜した。<sup>[11]</sup> 電圧印可を行う理由はスマネン分子の状態を揃えるためである。

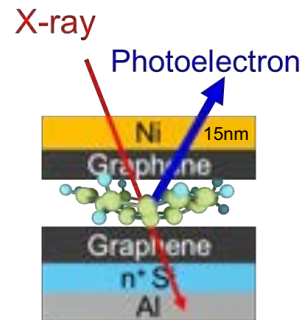


Fig. 3 Schematic of device structure for HAXPES.

## 3. 結果および考察

### 3.1 グラフェン/スマネン/グラフェン積層構造の抵抗変化現象

HAXPES 測定の結果を Fig. 4 に示す。なお、Si 基板からの Si 1s 光電子スペクトルのピーク位置でエネルギー補正を行なっている。

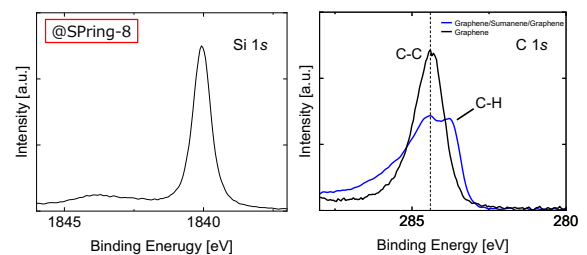


Fig. 4 C 1s and Si 1s photoelectron spectra. 黒線はグラフェンのみ、青線は Fig. 3 で示し

た構造の C 1s 光電子スペクトルである。C-C 結合のピークは両者ともに確認することはできるが、C-H 結合と思われるピークは青線のみ確認する事ができる。グラフェンのみの結果から大気中で付着するコンタミ成分(主成分は C-C、C-H)である。そのため、C-H 結合がコンタミ成分とは考えにくいいため、グラフェン/スマネン/グラフェン構造で観測される C-H 結合と思われるピークはスマネン起因と考えられる。このことは、デバイス作製プロセスを経てもスマネンがグラフェン間に存在していることを示す。

次に Fig. 2 で示した各デバイスの J-V(電流密度-電圧)特性を Fig. 5 に示す。

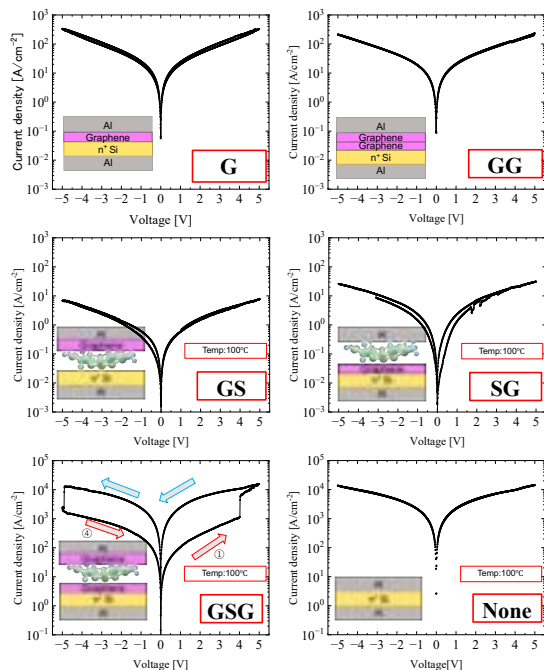


Fig. 5 J-V (current density - voltage) characteristics.

“G”、“GG”、“GS”、“SG”、“None”は明確な抵抗変化現象は観測されない。一方で“GSG”のみ抵抗変化現象が明確に得られている。これらの結果から抵抗変化現象発現には“GSG”構造が必須であることがわかった。

また、“GSG”の ON 電流は“None”、すなわち n<sup>+</sup>Si/Al 構造で流れている電流と同程度の電流

が流れていることから、低抵抗状態のグラフェン/スマネン/グラフェン層の抵抗はかなり小さいと考えられる。この低抵抗状態での電流 (ON 電流) の大きさ (すなわち抵抗値の小ささ) が低消費電力動作を目指す上で障害となり得る。そこで次節からは電流の抑制を目指して、絶縁膜を上下電極間に挟む構造について述べる。

### 3.2 薄膜絶縁層挿入によるグラフェン/スマネン/グラフェン積層構造の電流抑制の検討

先の結果を踏まえて、ON 電流を抑制するために Fig. 6 の構造を作製した。n<sup>+</sup>シリコン基板表面を RTA によって熱酸化し約 4nm の SiO<sub>2</sub> 膜を形成し、その上にグラフェン/スマネン/グラフェン積層構造を作製、さらにその上に約 2nm の Al<sub>2</sub>O<sub>3</sub> 薄膜を堆積し、上部電極を形成した。このときグラフェン上の Al<sub>2</sub>O<sub>3</sub> は ALD 法では均一膜にならないという先行実験を踏まえ、極薄 Al 膜を蒸着し大気中で酸化することで形成した (ここでは示さないが、Al 蒸着の膜厚を極薄化することで大気酸化によって金属 Al が残存しないことは HAXPES で確認している)。<sup>[12]</sup>



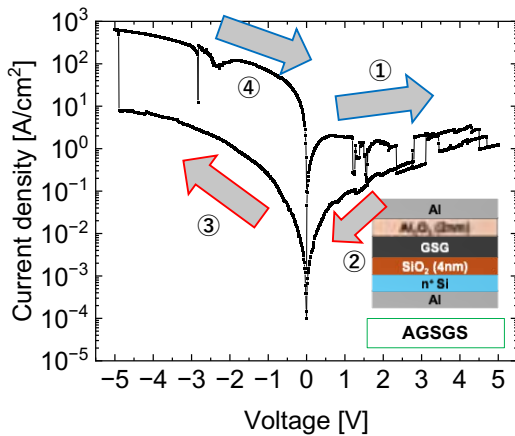
Fig. 6 Schematic of device structure for current suppression.

この構造に対して電圧を印加して、その際の電流密度を見ていく。実験方法は 2 節と同様の 0V → +5V → 0V → -5V → 0V の往復電圧掃引で実施する。なお、以降この構造を“AGSGS”と呼称する。

“AGSGS”構造における J-V 特性を Fig. 7 に示



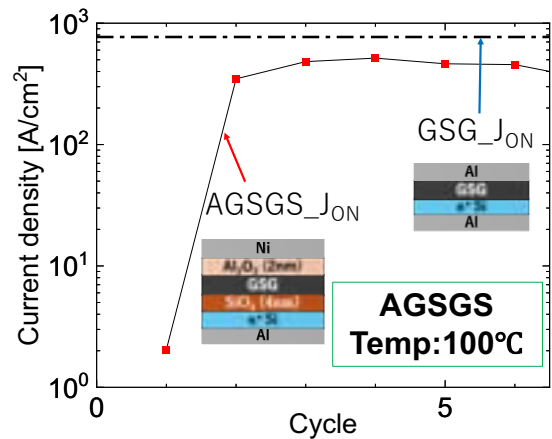
す。



**Fig. 7 J-V characteristic of "AGSGS" structure (@cycle1).**

Fig. 5 の“GSG”の結果と比較すると、電流は3桁強抑制できていることが分かる。また電流が抑制されても抵抗変化現象が確認できたことは、グラフェン/スマネン/グラフェンの積層構造が抵抗変化を示すのに電流ではなく電圧が作用していることを示す。さらに Fig. 7 から2つの特徴が観測される。一つは低抵抗状態での電流が不規則に高抵抗化する点である。この原因は現状理解できていないが、絶縁膜を挟んでいることでボウル反転に伴う抵抗変化現象に何かしらの影響が現れると考える。一方ゲート電極側に負バイアスを印加したところ、電流が増大していることも分かる。そこで、サイクル特性（高抵抗状態と低抵抗状態の繰り返し特性）を調べた結果を Fig. 8 を示す。このグラフは横軸: サイクル数、縦軸: ON 電流(+3V 時)の電流密度である。また、点線は“GSG”構造の電流密度を示す。なお Fig. 7 の結果は Fig. 8 の1サイクル目の結果と同じである。これによると1サイクル目は電流が抑制されていることが分かる。一方で、2サイクル目以降は電流が大幅に増加している。これは1サイクル目での電圧印加によって絶縁膜が破壊（絶縁破壊）してしまったためだと現時点で考えている。つまり、

現状グラフェン/スマネン/グラフェン積層構造の抵抗変化現象には Fig. 5 に示したとおり4~5Vの電圧が必要で、かつ低抵抗時に大きな電流が流れ込むために絶縁膜が耐えられず絶縁破壊が起こったためと考えられる。絶縁膜挿入の効果は1サイクル目のみだが確認できていることから、絶縁膜を挿入することによる低消費電力化のアプローチの方向は有効ではある。一方で、グラフェン/スマネン/グラフェン積層構造の抵抗変化の動作電圧を下げる工夫ができればサイクル耐性の大幅改善も可能であることも示された。今後は挿入する絶縁膜の膜厚や製膜方法を最適化することに加え、グラフェン/スマネン/グラフェン積層構造の抵抗変化動作の低電圧化に向けた追加実験を行う必要があると考える。



**Fig. 8 Schematic of cycle tolerance for "AGSGS" (@+3V).**

#### 4. まとめ

スマネン分子とグラフェンを用いてオールカーボンで作製したデバイスが、抵抗変化特性を持つことを実験的に明らかにした。その一方でON電流が大きいといった、メモリデバイスとして実用化を目指す際に障害となる事象も確認した。そこで絶縁膜を挟むことにより電流

の抑制を目指した結果、1 サイクルのみだが電流の抑制を確認することができた。その一方で、サイクル耐性が無いことが課題に挙げられる。薄膜絶縁層を挿入することによる電流抑制のアプローチは有効であると考えられることから、絶縁膜の膜厚や製膜方法を含め追加実験を行なっていくと同時に、グラフェン/スマネン/グラフェン積層構造の抵抗変化の低電圧動作の実現が必要であると考えている。また今回の電流を抑制しても ON-OFF 比が得られた結果から、抵抗変化の起源は電流ではなく電圧に依存していると推定できる。

## 謝辞

本研究の一部は、東京都市大学ナノ科学技術学際研究センターの支援を受けたものです。放射光実験は、大型放射光施設 SPring-8 の BL09XU を用いて、高輝度光科学研究センターの承認 (JASRI, Proposal No. 2024A1595, 2024A1651) によって実行されました。

## 参考文献

- [1] T. Marukame et al., IEEE J. Electron Devices Soc., 11, 602, (2023)
- [2] S. Siegel et al., Adv. Electron. Mater., 7, 2000815, (2021)
- [3] Y. Chen, IEEE Trans. Electron Devices, 67, 1420,(2020)
- [4] H. Sakurai et al., Science, 301, 1878, (2003)
- [5] S. Higashibayashi et al., Chem. Lett., 40, 122, (2011)
- [6] S. Fujii et al. J. Am. Chem. Soc., 138, 12142, (2016)
- [7] M. Maruyama et al., ACS Appl. Nano Mater., 4, 3007, (2021)
- [8] E. Ashihara et al., Jpn. J. Appl. Phys., 63, 04SP35, (2024)
- [9] R. Kawai et al., Jpn. J. Appl. Phys., 63, 04SP05, (2024)
- [10] A. Yasui et al., J. Synchrotron Radiat. 30, 1013 (2023)
- [11] M. P. Seah et al., Surface and Interface Analysis., 26, 908, (1998)
- [12] R. Kawashima et al., Jpn. J. Appl. Phys., 62, SG1035, (2023)

# F6-TCNNQ 単分子層成膜による WSe<sub>2</sub> 上への ALD 成膜評価

## Evaluation of ALD deposition on WSe<sub>2</sub> by F6-TCNNQ monolayer deposition

松田 健生, 小島 拓也<sup>1</sup>, 野口 裕士<sup>1</sup>,  
柯 夢南<sup>1</sup>, 熊谷 翔平<sup>2</sup>, 岡本 敏宏<sup>2</sup>, 青木 伸之<sup>1</sup>

1 千葉大学 〒263-8522 千葉県千葉市稲毛区弥生町 1-33

2 東京工業大学 〒226-8502 神奈川県横浜市緑区長津田町 4259

Kensho Matsuda<sup>1</sup>, Takuya Kojima<sup>1</sup>, Yuto Noguchi<sup>1</sup>,  
Mengnang Ke<sup>1</sup>, Shohei Kumagai<sup>2</sup>, Toshihiro Okamoto<sup>2</sup>, Nobuyuki Aoki<sup>1</sup>

1 Chiba University, 1-33 Yayoi-cho, Inage-ku, Chiba City, Chiba Prefecture 263-8522, Japan

2 Tokyo Institute of Technology, 4259 Nagatsuta-cho, Midori-ku, Yokohama, Kanagawa 226-8502, Japan

### Abstract

Transition metal dichalcogenides (TMDCs) are two-dimensional layered materials and semiconductors with a band gap. As they are layered materials, they are resistant to short channel effects, and are expected to be highly integrated by thin film stacking, which is difficult to achieve with three-dimensional semiconductors. However, a doping method for TMDCs had not been established. Previous studies have confirmed that the p-type doping effect on WSe<sub>2</sub> and the improvement of contact characteristics by tunnel current were achieved by depositing F6-TCNNQ on WSe<sub>2</sub>. However, although the deposition status of F6-TCNNQ is important for subsequent device fabrication, it has not been evaluated. In addition, the deposition of insulating films on TMDCs by atomic layer deposition (ALD), which is an important technique, has not been realized. The results suggested that it is possible to form a uniform and flat monomolecular film on WSe<sub>2</sub> by performing F6-TCNNQ film formation and vacuum annealing multiple times. Furthermore, it was confirmed that by using the F6-TCNNQ monolayer as a seed layer, it was possible to form a film using ALD for WSe<sub>2</sub>. At this conference, we deposited a F6-TCNNQ monolayer on WSe<sub>2</sub> and confirmed the p-type doping effect, and also deposited an insulating film on WSe<sub>2</sub> by ALD using the F6-TCNNQ monolayer as a seed layer. We will also discuss the top gate characteristics.

### 1. はじめに

遷移金属ダイカルコゲナイド(TMDC)は二次元層状物質であり、バンドギャップを持つ半導体である。層状物質であるため短チャネル効果に強く三次元半導体では実現困難な薄膜積層による高集積化が期待されている。しかし TMDC に対するドーピング方法は確立されていなかった。これまでの研究より WSe<sub>2</sub> 上への F6-TCNNQ 成膜によって WSe<sub>2</sub> に対する p 型ドーピング効果とトンネル電流によるコンタクト特性の改善が確認されている。しかしその後のデバイス作製においては F6-TCNNQ の成膜状況は重要であるものの評価がなされていなかった。また重要な技術であ

る TMDC に対する原子層堆積法(ALD法)による絶縁膜成膜についても実現できていなかった。

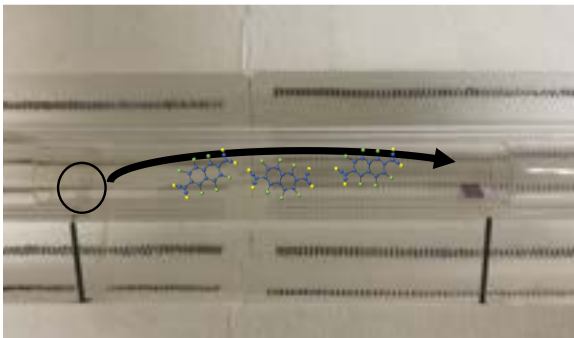
本研究では F6-TCNNQ 成膜時の基板温度やその後の真空アニール温度、時間などを変化させることによる成膜状況の変化について AFM などを用いることで評価し、F6-TCNNQ 単分子層形成について議論するとともに、F6-TCNNQ 分子層をシード層として用いた ALD 成膜とその評価を行った。

### 2. 実験条件

機械的剥離によって得られた数層の WSe<sub>2</sub> に対してオゾンクリーニング 5 分行い表面清

浄化を図った。その後 Fig(a)に示すような装置を用いて真空管状炉内で F6-TCNNQ 結晶を 160 °C 20 分加熱し昇華させ、温度を維持した同一管内の WSe<sub>2</sub> 結晶に対して成膜した。その後成膜した WSe<sub>2</sub> 結晶に対して真空アニールを In situ で行い、さらに成膜と真空アニールを繰り返し行った。その試料に対して ALD 法によって Al<sub>2</sub>O<sub>3</sub> を成膜し AFM を用いて評価した。

またドーピング量の評価やデュアルゲート特性の評価を行うため、n<sup>+</sup>-Si/SiO<sub>2</sub> 基板上に機械的剥離によって得られた数層の WSe<sub>2</sub> に対して Pt/Au で電極を作製しバックゲート FET を作製した。その後 WSe<sub>2</sub> 上に F6-TCNNQ 有機分子を成膜し、成膜前後での特性変化を調べた。その後 F6-TCNNQ 上に ALD 法によって Al<sub>2</sub>O<sub>3</sub> を成膜し、その上に金属のトップゲートを作製することでデュアルゲート FET を作製した。



F6-TCNNQ  
(160°C)

WSe<sub>2</sub> crystal

Fig(a) . Picture of F6-TCNNQ sublimation deposition on WSe<sub>2</sub>.

### 3. 結果および考察

Fig.(a)は未処理の WSe<sub>2</sub> に対して ALD 法によって Al<sub>2</sub>O<sub>3</sub> を 120 °C で 3 nm, 200 °C で 12 nm の計 15 nm 積層させた時の AFM 像である。この結果より未処理の WSe<sub>2</sub> の面直方向にはダングリングボンドが存在しないため、直接 ALD 法によって絶縁膜を均一に積層させることは困難であることがわかる。

Fig.(b)は F6-TCNNQ を 160 °C 20 分加熱し昇華させ、WSe<sub>2</sub> 基板を 150 °C 40 分に維持し、その後真空アニールを 200 °C 2 時間、真空管状炉内で 2 度繰り返した試料の AFM 像である。ラインプロファイル青に示すように F6-TCNNQ 上の高低差は約 0.4 nm である。この結果より成膜と真空アニールを繰り返すことで均一で平坦な有機単分子膜成膜を実現できる可能性が示唆された。また存在する高低差については WSe<sub>2</sub> 結晶の下に用いている SiO<sub>2</sub> 表面の凹凸を反映しているものと考えられる。

Fig.(c)は(b)に対して ALD 法によって Al<sub>2</sub>O<sub>3</sub> を 150 °C で 3nm, 200 °C で 7nm の計 10 nm 積層させた後の AFM 像である。この結果を Fig.(a)と比較すると均一で平坦な成膜が実現出来ていることがわかる。一方でラインプロファイル青に示すように、表面に存在する穴状のものは Fig.(b)のラインプロファイル赤に示すような高低差とおおよそ一致しているため、WSe<sub>2</sub>/F6-TCNNQ における高低差を反映しているものと考えられる。

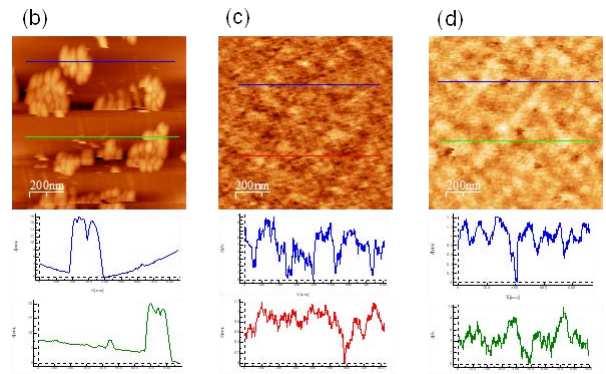


Fig. (b). 1 $\mu$ m  $\times$  1 $\mu$ m AFM image after depositing Al<sub>2</sub>O<sub>3</sub> on untreated WSe<sub>2</sub> by ALD. (c) 1 $\mu$ m  $\times$  1 $\mu$ m AFM image of F6-TCNNQ on WSe<sub>2</sub>. (d) 1 $\mu$ m  $\times$  1 $\mu$ m AFM image after depositing Al<sub>2</sub>O<sub>3</sub> for (c) by ALD.

### 4. まとめ

WSe<sub>2</sub> に対して F6-TCNNQ の成膜と真空アニールを複数回行うことで均一で平坦な単分子膜成膜を実現できる可能性が示唆された。また F6-TCNNQ 単分子膜をシード層として用いることで WSe<sub>2</sub> に対して ALD 法による成膜を実現できることが確認された。本学会では WSe<sub>2</sub> に対して F6-TCNNQ 単分子膜を成膜し p 型ドーピング効果を確認するとともに、F6-TCNNQ 単分子層をシード層として用いて WSe<sub>2</sub> 上への ALD 法による絶縁膜成膜を行い、トップゲート特性についても議論を行う。

### 5. 謝辞

本研究は東京エレクトロン(株)の支援を受けている。

### 6. 参考文献

- [1] L. Wang, et al., Science, 342, pp.614 (2013).
- [2] K. Matsuyama, et al., ACS Appl. Mater.Interfaces, 14, 6, 8163-8170 (2022)